

Міністерство освіти і науки України  
Харківський національний університет радіоелектроніки

**ОБРИЗАН ВОЛОДИМИР ІГОРОВИЧ**

УДК 658: 512.011: 681.326: 519.713

**Мультиверсний паралельний синтез цифрових структур на основі  
SystemC специфікації**

05.13.05 – комп'ютерні системи та компоненти

Автореферат дисертації на здобуття наукового ступеня  
кандидата технічних наук

Харків – 2017

Дисертацією є рукопис

Робота виконана в Харківському національному університеті радіоелектроніки.  
Міністерство освіти і науки

**Науковий керівник:** доктор технічних наук, професор  
Хаханов Володимир Іванович, Харківський  
національний університет радіоелектроніки,  
професор кафедри автоматизації проектування  
обчислювальної техніки

**Офіційні опоненти:** доктор технічних наук, професор  
Мірошник Марина Анатоліївна, Український  
державний університет залізничного транспорту  
МОН України, завідувач кафедри спеціалізованих  
комп'ютерних систем;

доктор технічних наук, професор  
Хажмурадов Манап Ахмадович, Національний  
науковий центр "Харківський фізико-технічний  
інститут" НАН України, начальник відділу  
математичного моделювання та дослідження  
ядерно-фізичних процесів и систем.

Захист відбудеться "05" липня 2017 р. в 13-00 години на засіданні спеціалізованої вченої ради Д64.052.01 в Харківському національному університеті радіоелектроніки за адресою: 61166, місто Харків, пр. Науки, 14.

З дисертацією можна ознайомитись в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, місто Харків, пр. Науки, 14.

Автореферат розісланий "03" червня 2017 року.

Вчений секретар  
спеціалізованої вченої ради

О.А. Винокурова

## ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

**Актуальність теми дослідження.** Створення цифрових систем на кристалах грає ключову роль для розвитку комп'ютерних технологій, що використовуються в економіці, соціології, медицині, бізнесі, промисловості, освіті, які формують кіберекосистему планети: розподілені центри великих даних, Internet of Things, Internet of Everything, Cyber Physical Systems, Cloud-Mobile Computing, Service Computing.

Важливо відзначити експоненціальне зростання не тільки продуктивності комп'ютерних систем, але й продуктивності інженерів, завдяки створенню хмарних сервісів проектування апаратних і програмних додатків, інтегрованих в поняття комп'ютинг (рис. 1). Комп'ютинг -

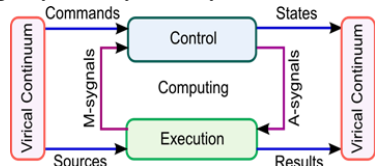


Рис.1. Комп'ютинг для створення цифрових систем на кристалах

процес досягнення поставленої мети шляхом використання ресурсів, механізмів управління та виконання в циклічно замкненій системі з заданими відносинами і результуючою продукцією, сигналами моніторингу та актуації. Розвиток хмарних сервісів не має на меті скоротити робочі місця, а надати інженерам інструментарій для виконання високотехнологічних робіт в будь-якій точці земної кулі, зі створення якісних програмно-апаратних додатків, які мінімізують час виходу придатної продукції на ринок.

Технології хмарних сервісів з розробки цифрових систем на кристалах системного рівня дозволяють створювати виконувані специфікації – опис проекту на функціональному рівні, який можна верифікувати у віддаленому online-режимі. На функціональному рівні специфікація відображає питання «що робити?», а не «як робити?». Таким чином, вона не містить вимог до структури або архітектури цільової платформи. При цьому компонентами створення деякої цифрової системи виступають вже сервіси, а не функціональні елементи. Така заміна дає суттєвий вигрaш у часі проектування, що визначається швидкодією процедур верифікації та тестування, за рахунок варіювання параметрами системного, RT і вентилярного рівнів, домагаючись кращих характеристик реалізації цифрового виробу на кристалі.

Проблеми проектування, тестування і верифікації цифрових систем на кристалах описані в публікаціях вчених: Y. Zorian, M.Abramovich, J. Bergeron, Z. Navabi, A. Jerraya, D.B Armstrong, P. Prinetto, J. Abraham, H. Fujiwara, T. Nishida, X. Wang, A.I. Петренко, P. Убар, A. Ivanov, A.M. Романкевич, Д.В. Сперанський, П.П. Пархоменко, Ю.В.Малишенко, В.Н. Ярмолик, В.П. Чіпуліс, J.P. Roth, А.Ю. Матросова, Самвел Шокурян, Ю.А. Скобцов, М.Ф. Коровай, В.С. Харченко, Л.В. Дербунович, Р. Шейнаукас, Н.

Євтушенко, Р. Базилевич, В. Меліян. Значний внесок у розвиток теорії проектування комп'ютерних сервісів внесли вчені Самарій Баранов, Сергій Майоров, Геннадій Новіков, Віктор Глушков, Деніел Гайські, Роберт Кун, Алекс Орайлоглу, Раеш Гупта, Ахмед Джерайя, Яник Бергерон, Хідео Фудживара, Айріш Померанц, Раймунд Убар, В'ячеслав Харченко.

**Зв'язок роботи з науковими програмами, планами, темами.** Розробка розділів дисертації здійснювалася відповідно до планів НДР і договорів, що виконувались на кафедрі АПОТ Харківського національного університету радіоелектроніки в період з 2011 року: 1) Договір про дружбу і співробітництво між ХНУРЕ та корпорацією «Aldec Inc.» (USA) № 04 від 01.11.2011; 2) Держбюджетна фундаментальна НДР «Теорія й проектування енергозберігаючих цифрових обчислювальних систем на кристалах, що моделюють і підсилюють функціональні можливості людини, № 232 (2009-2011), № ДР 0109U001646; 3) Держбюджетна фундаментальна НДР «Мультипроцесорна система пошуку, розпізнавання та прийняття рішень для інформаційної комп'ютерної екосистеми», № 269 (2011-2013), № ДР 0111U002956; 4) Держбюджетна фундаментальна НДР №268 «Персональний віртуальний кіберкомп'ютер та інфраструктура аналізу кіберпростору» 01.01.2012-31.12.2014, № ДР 0112U000209; 5) Держбюджетна науково-дослідна фундаментальна робота №297 "Кіберфізична система «Розумне хмарне управління транспортом» (Cyber Physical System – Smart Cloud Traffic Control)" 01.01.2015-31.12.2017, № 0115U-000712; 6) Проект 530785-TEMPUS-1-2012-1-PL-TEMPUS-JPCR Curricula Development for New Specialization: Master of Engineering in Microsystems Design (MastMEMS)» сумісно з університетом «Львівська політехніка», Київським національним університетом, Технічним університетом м. Лодзь (Польща), Ліонським університетом (Франція), Університетом м. Ільменау (Німеччина), Університетом м. Павія (Італія) на 2012 – 2016 pp.; 7) Educating the Next generation experts in Cyber Security: the new EU-recognized Master's program (ENGENSEC) 544455-TEMPUS-1-2013-1-SE-TEMPUS-JPCR (01 Dec 2013 - 30 Nov 2016).

Автор дисертації при виконанні зазначених договорів і програм брав участь, як розробник системного рівня архітектури цифрових виробів на кристалах і програміст, при створенні моделей функціональних примітивів і методів верифікації. Він також є виконавцем в C++ і Verilog-кодуванні програмно-апаратних компонентів системи верифікації HDL-кодів на основі IEEE стандартів, інтегрованих з програмним забезпеченням компанії Aldec.

*Сутність ринково-орієнтованого науково-технічного дослідження* полягає в мультиверсному проектуванні архітектури цифрового виробу на основі заданої специфікації в середовищі SystemC (C++) і автоматичному виборі синтезованих функціональних структур з метою істотного зменшення

часу створення проекту і підвищенні виходу придатної продукції за рахунок паралельного синтезу і верифікації архітектурних рішень системного рівня відповідно до запропонованої метрикою. *Основна інноваційна ідея* – паралельний автоматичний синтез квазіоптимальної архітектури відповідно до запропонованої специфікації і метрики, регулюючої підбір синтезованих функціональних структур.

**Мета дослідження** – суттєве зменшення часу проектування обчислювальних архітектур і підвищення якості цифрових виробів шляхом мультиверсного синтезу структури цифрового виробу на основі заданої специфікації в середовищі SystemC (C++) і автоматичному підборі функціональних компонентів за рахунок паралельного синтезу і верифікації архітектурних рішень системного рівня відповідно до запропонованої метрики.

**Об'єкт дослідження** – процеси паралельного синтезу і верифікації цифрових структур.

**Предмет дослідження** – моделі, методи та інфраструктура для мультиверсного паралельного синтезу цифрових структур на основі SystemC специфікації.

**Задачі:**

1. Огляд існуючих моделей, методів, алгоритмів і програмних засобів створення цифрових систем на кристалах.

2. Розробка структур даних для опису функціональних примітивів системного рівня, орієнтованих на використання семантичних і синтаксичних конструкцій мови C++ і SystemC з метою забезпечення паралельного синтезу і верифікації архітектурних рішень.

3. Розробка методу синтезу інтерфейсних структур і протоколів виконання транзакцій RT-рівня на основі аналізу специфікації SoC-архітектури системного рівня, яка використовує стандартну шину Wishbone обміну даними між функціональними модулями.

4. Розробка методу синтезу RTL-моделей функціональностей шляхом перетворення C++ і SystemC-описів цифрових блоків системного рівня в алгоритми і структури даних автоматної моделі Мура, що задана синтезованою підмножиною мовних конструкцій VHDL.

5. Розробка методу мультиверсного синтезу керуючих і операційних автоматів, орієнтованих на архітектурні рішення в метриці, що мінімізує час виконання функціональності за рахунок розпаралелювання операцій при обмеженні на апаратні витрати.

6. Програмна реалізація моделей і методів мультиверсної розробки операційних пристроїв в рамках інтегрованої системи проектування функціональних і архітектурних рішень SoC на основі використання продуктів верифікації та синтезу компаній Aldec і Xilinx.

### **Наукова новизна отриманих результатів.**

1. **Вперше** запропоновано метод синтезу інтерфейсних структур і протоколів виконання транзакцій RT-рівня на основі аналізу специфікації SoC-архітектури системного рівня, який **характеризується** використанням двобічної стандартної шини Wishbone обміну даними між функціональними модулями, що дозволяє здійснювати мультиверсне створення компонентів цифрових систем на кристалах.

2. **Вперше** запропоновано метод синтезу RTL-моделей функціональностей, який **характеризується** однозначним перетворенням C++ і SystemC-описів цифрових блоків системного рівня в алгоритми і структури даних автоматної моделі Мура, заданої синтезованою підмножиною мовних конструкцій VHDL, що дає можливість істотно зменшити час виконання процесів проектування, тестування і верифікації.

3. **Удосконалено** структури даних для опису функціональних примітивів системного рівня, які відрізняються орієнтацією на використання семантичних і синтаксичних конструкцій мови C++ і SystemC, що дозволяє здійснювати паралельний синтез і верифікацію архітектурних рішень.

4. **Удосконалено** метод мультиверсного синтезу керуючих і операційних автоматів, орієнтованих на архітектурні рішення в метриці, яка відрізняється мінімальним часом виконання функціональності за рахунок розпаралелювання операцій при обмеженні на апаратні витрати, що дозволило збільшити ефективність засобів автоматизованого проектування цифрових виробів.

### **Практична значущість отриманих результатів.**

1. Розроблено програмні засоби для реалізації моделей і методів мультиверсного створення операційних пристроїв в рамках інтегрованої системи проектування функціональних і архітектурних рішень SoC на основі використання продуктів верифікації та синтезу компаній Aldec і Xilinx.

2. Проведено тестування і верифікацію програмних модулів мультиверсної розробки операційних пристроїв в рамках інтегрованої системи проектування функціональних і архітектурних рішень SoC на десяти прикладах реалізації промислово-орієнтованих функціональних блоків.

**Особистий внесок здобувача.** Всі наукові і практичні результати отримані автором особисто. У роботах, опублікованих зі співавторами, здобувачеві належать: [1] – структури даних для опису функціональних примітивів системного рівня; [2] – розробка програмних модулів системи SIGETEST для моделювання несправностей та генерації тестів; [4] – програмна реалізація методу верифікації HDL-коду; [5] – приклади застосування метрики аналізу Big Data для прикладних архітектурних рішень; [6] – огляд застосування хмарних сервісів в кіберфізичній системі управління ресурсами; [8] – програмна реалізація дедуктивно-паралельного

методу моделювання несправностей; [9] – приклад використання алгебрологічної моделі вбудованого діагностування несправностей; [10] – програма реалізації алгебрологічного методу діагностування; [11] – огляд технологій проектування систем на кристалах; [12] – застосування методу верифікації цифрових систем на основі стандарту IEEE 1500 SECT; [13] – ієрархічне тестування програмно-технічних комплексів; [14] – рефлексивна модель подання даних; [15] – MQT-автомат для аналізу великих даних; [16] – sigetest-fault моделювання та випробування покоління для цифрових пристроїв; [17] – висока продуктивність моделювання несправностей для цифрових систем; [18] – система моделювання несправностей для дискретних пристроїв; [19] – нові можливості дедуктивного моделювання несправностей; [20] – паралелізм мозкоподібних обчислень; [21] – високопродуктивний дедуктивний метод моделювання несправностей; [22] – ієрархічне тестування складних цифрових систем; [23] – перевірка цифрової системи за допомогою нового механізму на основі IEEE 1500; [24] – SIGETEST-система моделювання тестів перевірки несправностей цифрових пристроїв; [25] – апаратні засоби моделювання і верифікації технології; [26] – технології для апаратного моделювання та верифікації; [27] – тестування проблеми SoC апаратно-програмних компонентів; [28] – спосіб автоматичної генерації RTL-інтерфейсу з описом C++; [29] – транзакційна модель мікропроцесора для векторно-логічного аналізу; [30] – метрика для обробки великих даних; [31] – мультіарендні хмарні сервіси; [32] – багатоваріантність паралельного синтезу цифрових структур на основі специфікації SystemC; [33] – тестування сферичного мультипроцесору PRUS для вирішення булевих рівнянь; [34] – PRUS-сферичні мультипроцесори для обчислень булевих рівнянь; [35] – процесорна структура для реалізації цифрової схеми; [36] – математичні моделі опису об'єктів газотранспортної промисловості.

**Апробація результатів дисертації.** Результати роботи були представлені та обговорені на 20 конференціях: 1) IEEE East-West Design and Test Symposium, 2004 (Алушта, Україна), 2007, 2016 (Єреван, Вірменія), 2008 (Львів, Україна), 2010 року (Санкт-Петербург, Росія), 2013 (Ростов-на-Дону, РФ); 2) Современные технологии проектирования систем на микросхемах программируемой логики, 2003, (Харків, Україна); 3) Молодіжний радіоелектронний форум «Радіоелектроніка та молодь у XXI сторіччі», 2003, 2015 (Харків, Україна); 4) Міжнародний науково-практичний семінар «Высокопроизводительные параллельные вычисления на кластерных системах», 2005, (Харків, Україна); 5) Міжнародний радіоелектронний форум «Прикладна радіоелектроніка», 2005, (Харків, Україна); 6) Advanced Compact Modeling Workshop, 2005 (Porto, Portugal); 7) Euromicro Symposium on Digital Systems Design, 2003 (Белек-Анталія, Туреччина); 8) The Experience of designing and Application of CAD Systems in Microelectronics, International

Conference, 2005, 2015 (Поляна, Україна); 9) International Conference Mixed Design of Integrated Circuits and Systems, 2006 (Gdynia, Poland); 10) 10th IEEE European Test Symposium, 2005, (Tallinn, Estonia); 11) Українсько-китайський форум «Наука – виробництво», 2007, (Харків, Україна); 12) Modern Problems of Radio Engineering, Telecommunications and Computer Science, 2006, 2008 (Slavske, Lviv, Ukraine).

**Публікації.** Результати дисертаційної роботи відображені у 36 друкованих працях: 16 статей, серед яких 13 у наукових журналах, що входять до «Переліків наукових фахових видань України» (з них 12 – у міжнародних наукометричних базах), 3 статті в міжнародних наукових журналах за кордоном (з них 2 – в міжнародній наукометричній базі Scopus); а також 20 публікацій у міжнародних наукових конференціях (з них 8 за кордоном, 11 входять до наукометричної бази Scopus). Здобувач має 15 публікацій, що входять до наукометричної бази Scopus, та має індекс Хірша  $h=2$ .

## ОСНОВНИЙ ЗМІСТ РОБОТИ

У **вступі** обгрунтовано актуальність завдань, які вирішуються в дисертаційній роботі, сформульовані мета дослідження, а також викладені наукова новизна і практична цінність отриманих результатів.

У **першому розділі** показані розвиток моделей, методів, алгоритмів і програмних засобів створення цифрових систем на кристалах в часі і просторі. Визначено вузькі місця і переваги найцікавіших моделей і методів, опублікованих в спеціальній літературі: матеріали конференцій і журнали.

У процесі дослідження було встановлено, що системи автоматизованого проектування мікроелектроніки дозволяють інженерам створювати надскладні рішення за дуже короткий термін і з високою точністю. Значне скорочення часу виходу продукту на ринок і його вартості досягається за рахунок наступних чинників:

- використання САПР мікроелектроніки на кожному кроці проектування: введення, моделювання, верифікація, синтез, тестування;
- використання високорівневої мови проектування SystemC з широкими виразними можливостями C ++;
- повторне використання готових і протестованих логічних блоків при проектуванні моделі пристрою;
- висока швидкість і точність методів, реалізованих в програмному забезпеченні.

На основі проведеного аналізу сформульовано мету і завдання дослідження, орієнтовані на усунення вузьких місць і використання найбільш ефективних існуючих рішень для розробки теоретичних основ і практичних засобів системно-орієнтованого проектування обчислювальних пристроїв.



**Другий розділ** присвячений розробці методів системного і архітектурного синтезу інтерфейсних структур і протоколів виконання транзакцій RTL-рівня, а також RTL-моделі функціональності шляхом використання HDL-опису цифрових блоків для подальшого мультиверсного створення компонентів цифрових систем на кристалах.

Модель системного рівня може не мати однозначного інтерфейсу на логічному рівні. Розроблений метод визначає інтерфейс моделі, щоб її можна було однозначно представити на логічному рівні. Метод розглядає прототипи C++ функцій: кількість аргументів, їх типи і типи значень, що повертаються. У розділі представлено відповідність стандартних C++ типів типам мови VHDL. Для обраного протоколу взаємодії будується граф-схема алгоритму, яка об'єднується з граф-схемою проєктованого пристрою. Таким чином, синтезований пристрій пов'язаний з іншими пристроями, що працюють на тій же самій шині даних.

Зазвичай високорівневі моделі не мають поняття модельного часу: все обчислення відбувається на одному умовному такті роботи. Моделі ж на логічному рівні працюють за тактами. Таким чином, можна виділити дві підзадачі: а) визначення відповідності аргументів функції на системному рівні і сигналів на логічному рівні; б) визначення протоколу взаємодії з синтезованою функцією. Тут протокол – це послідовність зміни інформаційних і керуючих сигналів схеми, яка призводить до виконання синтезованої функції.

Розглянемо синтез інтерфейсів для популярного стандарту шини системи на кристалі Wishbone. Цей стандарт передбачає різні сполучення модулів в системі: з'єднання «точка-точка»; конвеєрне з'єднання (для обробки потоку даних); з'єднання «багато до багатьох» через загальну шину; з'єднання «багато до багатьох» через комутатор; з'єднання у складі мережі на кристалі.

На рис. 2 показано алгоритми роботи ведучого і веденого інтерфейсів в системі Wishbone. У стані  $a_3$  показаний виклик функції  $fl$  з параметром  $par$ . Відповідно до цієї ГСА обчислення функції займає рівно один такт роботи автомата. Це може бути справедливо лише для високорівневих моделей без

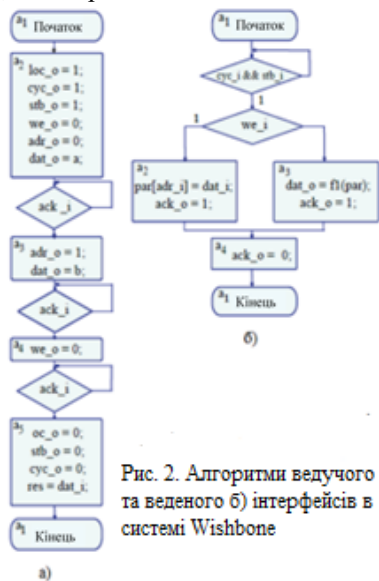


Рис. 2. Алгоритми ведучого а) та веденого б) інтерфейсів в системі Wishbone

моделного часу. У системах на структурному рівні опису цього можна домогтися тільки для комбінаційних функцій. Для автоматів, які потребують більшу кількість станів, необхідно змінити ГСА (див. рис. 2,а) наступним чином. На місці стану а3 необхідно підставити ГСА, що викликається функцією  $f1$ . У випадку, якщо розмір шини менше 32 біт, потрібно кілька циклів читання результату з регістра R1. Можна розрахувати кількість тактів, необхідних для передачі параметрів. Нехай  $P_i$  – вектор параметрів функції,  $i=1, \dots, n$ , де  $n$  – кількість параметрів, переданих у функцію;  $S(P_i)$  – розмір параметра  $P_i$  в байтах;  $M$  – розрядність шини даних в байтах. Тоді кількість

$$l = \sum_{i=1}^n \left\lceil \frac{S(P_i)}{M} \right\rceil.$$

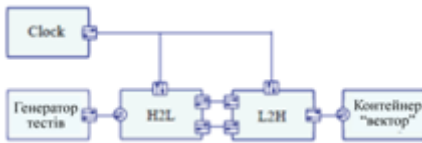
тактів  $l$ , необхідних для передачі параметрів, буде дорівнювати значенню виразу:

У цьому випадку передбачається: всі параметри, що передаються, вирівнюються по межі ширини шини даних. Наприклад, якщо ширина шини даних  $M$  дорівнює 16 біт і передаються чотири параметри типу `char` (1 байт), то буде потрібно чотири такти запису. Видно, що за чотири такти можна передати вісім байт, але за фактом передається лише чотири. Обчислимо ефективність використання шини:

$$e = \frac{\sum_{i=1}^n S(P_i)}{l \times M} \times 100\%.$$

**В третьому розділі** вирішуються завдання розробки моделей і структур даних опису логічних блоків системного рівня, що базуються на використанні мов опису апаратури System-C, VHDL, Verilog, які можуть бути застосовані як бібліотечні примітиви для створення IP-core цифрових систем на кристалах.

На першому етапі розробки моделі контейнера «вектор» системного рівня



**Рис. 3. Повний комплект модулів і транзактів для розробки системної моделі контейнера "вектор"**

формалізовано інтерфейс відповідного SystemC-модуля. На рис. 3 показана система, що містить всі необхідні компоненти системного рівня. Clock – генератор тактових імпульсів. Контейнер «вектор» – синхронний пристрій, у якого всі операції здійснюються за переднім фронтом сигналу синхронізації.

Генератор тестів – це високорівневий модуль, який містить генератор тестів для контейнера і аналізатор відповідних реакцій. Цей генератор буде повторно використаний для верифікації моделі на логічному рівні.

H2L (high level to low level) – це транзактор, який перетворює високорівневі виклики функцій контейнера до протоколу на рівні перемикання логічних сигналів. L2H (low level to high level) – транзактор, який здійснює перетворення, зворотне H2L – протокол рівня логічних сигналів до високорівневих викликів функцій контейнера «вектор». На рис. 4 показаний детальний інтерфейс транзактора L2H. Цей же інтерфейс матиме майбутня апаратна реалізація.

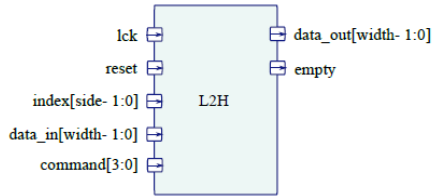


Рис. 4. Інтерфейс логічного рівня моделі контейнера "вектор"

Логічна модель контейнера «вектор» реалізована за допомогою примітивів блокової пам'яті кристала Xilinx Virtex-5. Один блок пам'яті кристала розрахований на 36 кбіт даних і може бути налаштований або як два незалежних модуля пам'яті по 18 кбіт, або як один модуль ємністю 36 кбіт. Можна користуватися наступними конфігураціями пам'яті: 32K по одному біту, 16K по 2, 8K по 4, 4K по 9, 2K по 18 або 1K по 36 біт. Обмеження логічної моделі: контейнер займає всю пам'ять, яку надає базовий елемент блокової пам'яті, використаний в реалізації; максимальна кількість елементів вектора визначається розміром одного елемента і обсягом елементів пам'яті, використаних в реалізації. Обсяг займаної пам'яті може бути обчислений за формулою  $V = w \times k$ , де  $w$  – розмір елемента в бітах,  $k$  – кількість елементів.

Для успішної реалізації моделі контейнера «вектор» розроблено додаткову логіку, яка реалізує необхідні операції для елементів пам'яті. Контейнер «вектор» надає повний набір конструкторів, деструкторів і операцій копіювання. Для реалізації множини операцій використовується дешифратор команд, який переводить з двійкового коду інструкції в позиційний код, які активує сигнали контейнера. Логічна модель має наступні параметри. DATA\_WIDTH визначає ширину шини даних. Цей параметр залежить від того, для якого типу даних створений контейнер «вектор». Параметр вибирається залежно від максимальної кількості доступних команд, число яких дорівнює  $2^{\text{CMD\_WIDTH}}$ ; SIZE визначає ширину шини адреси. Цей параметр впливає на максимальну кількість адресованих комірок контейнера і дорівнює  $2^{\text{SIZE}}$ .

Структурна модель контейнера «вектор» показана на рис. 5. Тут дешифратор команд *dc* перетворює двійковий код в керуючі сигнали.

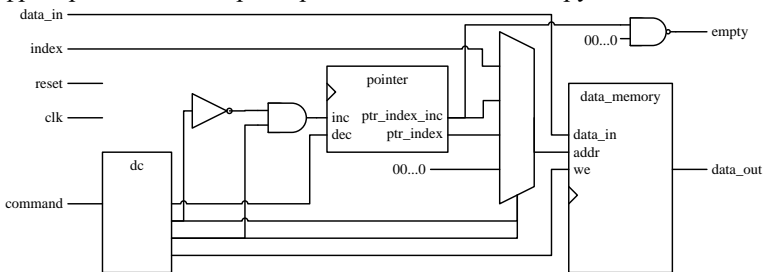


Рис. 5. Структурна модель контейнера «вектор»

Для верифікації отриманих моделей були використані тести, що перевіряють 100% режимів роботи пристрою. Вихідні еталони були отримані з програми на C++.

У цьому розділі розглядаються тільки функціональні тести – перевірка правильності функціонування моделі, і навантажувальні тести – виміри продуктивності і часових характеристик моделі.

На рис. 6 показана схема процесу верифікації логічної моделі. Створюється набір тестів на C++, в яких використовуються контейнер «вектор». У цих тестах присутні виклики всіх методів, які підтримує контейнер. На наступному етапі тести компілюються звичайним C++ компілятором для отримання виконуваного файлу. При виконанні цієї програми в файл зберігаються результати роботи контейнера.

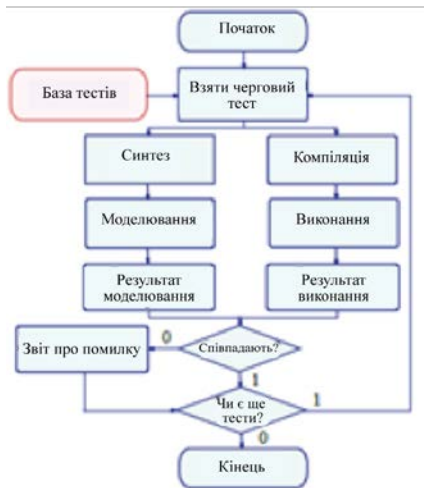


Рис. 6. Схема верифікації логічної моделі

З іншого боку, відбувається синтез вихідних тестів. В результаті синтезу виходить модель системного рівня, що містить контейнер «вектор», описаний на VHDL. Далі здійснюється моделювання за допомогою програми Aldec Active-HDL для отримання результатів. Вони порівнюються з результатами, отриманими внаслідок роботи

звичайної програми. Логічна модель складена вірно, якщо результати моделювання і виконання збігаються.

Наступним етапом верифікації є перевірка відповідності функціональної моделі і моделі з часовими затримками. В функціональній моделі відсутня інформація про час поширення сигналу від входів елементів до виходів. Мається на увазі, що сигнал поширюється миттєво або за один дельта-цикл моделювання. Програма логічного синтезу, трасування і розміщення генерує спеціальний файл затримок поширення сигналу для обраної архітектури. Цей файл може бути завантажений в САПР Aldec Active-HDL для побудови часової моделі.

Останнім етапом тестування є перевірка моделі, реалізованої в кристалі. В роботі обрана архітектура ПЛІС Xilinx – дешева і високопродуктивна мікросхема з можливістю багаторазового перепрограмування. Проведено верифікацію програмно-структурних рішень, що виникають в процесі синтезу функціональних примітивів на основі використання тестових послідовностей, взятих з відкритих бібліотек ISCAS-89, opencores.com.

У **четвертому** розділі представлені програмно-апаратна реалізація моделей, методів і структур даних для проектування цифрових систем на кристалах, яка містить процедури створення специфікації, синтезу, тестування, моделювання та верифікації на основі запропонованої інфраструктури, що використовує промислові засоби компаній Aldec і Xilinx. Розглянуті також питання тестування створених програмних продуктів на реальних цифрових проектах створення IP-Core як примітивів для реалізації цифрових систем на кристалах.

Представлений метод мультиверсного синтезу керуючих і операційних автоматів в заданій інфраструктурі проектування, орієнтованих на архітектурні рішення в метриці, що мінімізує час виконання функціональності за рахунок розпаралелювання операцій при обмеженні на апаратні витрати.

Виконано тестування і верифікацію програмних модулів інфраструктури проектування цифрових систем на кристалах, а також визначення ефективності запропонованих моделей, методів і структур даних при створенні реальних компонентів цифрових виробів. Архітектура тестової системи на кристалі показана на рис. 7.



Рис. 7. Архітектура тестової системи на кристалі

Тестування системи складається з декількох етапів: розробка схеми тестування компілятора; підготовка тестів; підготовка еталонів; виконання тестів і аналіз результатів. Проведено порівняння продуктивності розробленої апаратної моделі і програмної реалізації на процесорі експериментальним шляхом. Дані отримані в результаті роботи 10 інженерів над одним проектом. Оцінювалися такі характеристики: часові витрати на проектування, швидкодія, енергоспоживання, площа на кристалі. Отримано, що в разі адитивної оцінки автоматичний метод краще в 1,301292012 разів (рис. 8). При мультиплікативній оцінці автоматичний метод краще в 133,2182966 разів (рис. 9).

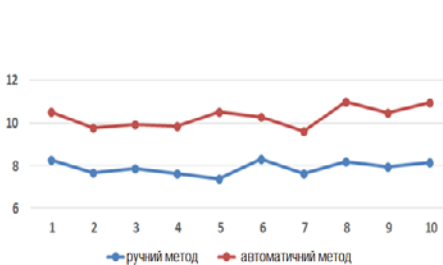


Рис. 8. Адитивна оцінка ефективності

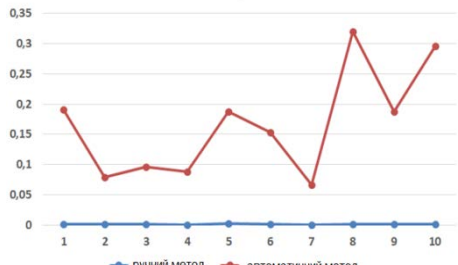


Рис. 9. Мультиплікативна оцінка ефективності

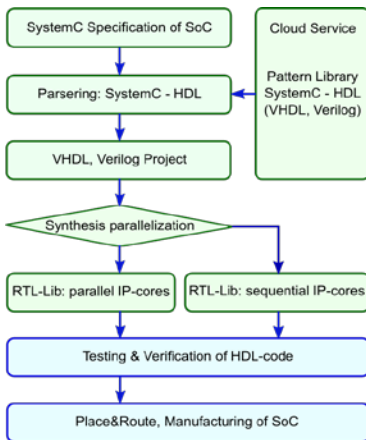


Рис. 10. Архітектура проектування SoC

На рис. 10 наведено архітектуру дисертаційного дослідження, яка містить компоненти, відображені у вигляді моделей, методів і алгоритмів: 1) визначення специфікації системи; 2) парсерінг опису з мови SystemC у мову VHDL; 3) паралельний опис проекту мовами VHDL, Verilog; 4) диверсифікація проектування цифрової системи на кристалі; 5) тестування та верифікація HDL-коду; 6) розміщення, трасування та виробництво SoC; 7) бібліотеки IP-cores для паралельного та послідовного проектування; 8) імплементація архітектури та методів у хмарний сервіс.

## ВИСНОВКИ

Проведені науково-технологічні дослідження в рамках дисертаційної роботи характеризуються успішним вирішенням актуальної науково-практичної задачі мультіверсного проектування архітектури цифрового виробу на основі заданої специфікації в середовищі SystemC (C++) і автоматичного вибору синтезованих функціональних структур з метою істотного зменшення часу створення проекту і підвищення виходу придатної продукції за рахунок паралельного синтезу та верифікації архітектурних рішень системного рівня відповідно до запропонованої метрики. Основна інноваційна ідея – паралельний автоматичний синтез квазіоптимальної архітектури відповідно до запропонованої специфікації і метрики на основі підбору синтезованих функціональних структур.

Автором одержано такі наукові та практичні результати:

1. **Новий** метод синтезу інтерфейсних структур і протоколів виконання транзакцій RT-рівня на основі аналізу специфікації SoC-архітектури системного рівня, який **характеризується** використанням двобічної стандартної шини Wishbone обміну даними між функціональними модулями. Здійснено синтез типових структур мовних конструкцій в моделі RT-рівня і їх оцінку з позиції швидкодії та апаратних витрат, які використовуються як бібліотечні описи для вибору оптимальних рішень в процесі створення обчислювальних пристроїв.

2. **Новий** метод синтезу RTL-моделей функціональностей, який **характеризується** однозначним перетворенням C++ і SystemC-описів цифрових блоків системного рівня в алгоритми і структури даних автоматної моделі Мура, що задана синтезованою підмножиною мовних конструкцій VHDL. Створено інфраструктуру проектування і верифікації компонентів цифрових систем на кристалах з метою перевірки алгоритмів перетворення специфікації з системного рівня на рівень RTL-опису яка дає можливість істотно зменшити час виконання всіх процесів проектування, тестування і верифікації.

3. Удосконалені структури даних для опису функціональних примітивів системного рівня, орієнтованих на використання семантичних і синтаксичних конструкцій мови C++ і SystemC, які **відрізняються** забезпеченням умов для виконання паралельного синтезу і верифікації архітектурних рішень. Розроблено і протестовано програмні модулі, що реалізують векторні і спискові моделі опису функціональних примітивів, а також інфраструктура для реалізації методів мультіверсної розробки операційних пристроїв в рамках інтегрованої системи проектування функціональних і архітектурних рішень SoC на основі використання продуктів верифікації та синтезу компаній Aldec і Xilinx.

4. **Удосконалений** метод мультиверсного синтезу керуючих і операційних автоматів в заданій інфраструктурі проектування, орієнтованих на архітектурні рішення в метриці, що мінімізує час виконання функціональності за рахунок розпаралелювання операцій при обмеженні на апаратні витрати. Виконана програмна реалізація моделей і методів мультиверсної розробки операційних пристроїв в рамках інтегрованої системи проектування функціональних і архітектурних рішень SoC на основі використання продуктів верифікації та синтезу компаній Aldec і Xilinx.

**Практична реалізація** полягає в розробці локальних і серверних програм, розміщених на хмарних сервісах Amazon Web Services. Система виконана за мікросервісною архітектурою, яка має властивості масштабованості, надійності, можливість розробляти та оновлювати модулі системи незалежно один від одного. Клієнтський додаток реалізовано на мові C++, він має графічний інтерфейс користувача з підсвічуванням синтаксису. Дані експерименту були отримані в результаті роботи 10 інженерів над одним проектом. Оцінювалися такі характеристики: часові витрати на проектування, швидкодія, енергоспоживання, площа на кристалі. Було вибрано три найпоширеніші реалізації: послідовна, паралельна, конвеєрна. В результаті експерименту отримали, що в разі адитивної оцінки автоматичний метод краще в 1,3 рази. При мультиплікативній оцінці автоматичний метод краще в 133,2 рази. В роботі показано, що значення ручного методу практично наближаються до нуля, в той час як в автоматичному методі значення наближаються до 1. Це доводить, що мультиверсний метод дійсно ефективніше.

## **СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ**

*Список публікацій здобувача, в яких опубліковані основні наукові результати дисертації:*

1. Хаханов В.И. Технология моделирования и синтеза тестов для сложных цифровых систем / В.И. Хаханов, К.В. Колесников, А.Н. Парфентий, И.В. Хаханова, В.И. Обризан, О.В. Мельникова // Радиоэлектроника и информатика. – 2003. – №1. – С. 70-78. (Входить до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

2. Hahanov V. Advanced Software Tools For Fault Simulation And Test Generation / V. Hahanov, A. Egorov, O. Melnikova, V. Obrizan, E. Kamenuka, O. Krapchunova, O. Guz // Радиоэлектроника и информатика. – 2003. – №3. – С. 77-81. (Входить до міжнародних наукометричних баз Index Copernicus,



Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

3. Obrizan V. A Method of High-Level Synthesis and Verification with SystemC Language / V. Obrizan // Радиоэлектроника и информатика. – 2010. – №4. – С. 47-50. (Входит до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

4. Obrizan V. Matrix-Model for Diagnosing SoC HDL-Code / V. Obrizan, I. Yemelyanov, V. Hahanov, E. Litvinova // Radioelektronika and informatics. – 2013. – №1. – P.12-19. (Входит до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

5. Обризан В.И. Метрика для анализа Big Data / В.И. Обризан, А.С. Мищенко, В.И. Хаханов, Tamer Bani Amer // Радиоэлектроника и информатика. – 2014. – № 2. – С. 26-29. (Входит до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

6. Обризан В.И. Киберфизические системы как технологии киберуправления (аналитический обзор) / В.И. Обризан, А.С. Мищенко, В.И. Хаханов, И.В. Филиппенко // Радиоэлектроника и информатика. – 2014. – № 1. – С. 39-45. (Входит до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

7. Обризан В.И. Инфраструктура проектирования SOC для метода мультиверсного синтеза / В.И. Обризан // Радиоэлектроника и информатика. – 2016. – №2. – С. 48-60. (Входит до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECSP, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

8. Hahanov V. High Performance Fault Simulation For Digital Systems / V. Hahanov, G. Krivoulya, I. Hahanova, O. Melnikova, V. Obrizan // International Scientific Journal of Computing. – 2003. – Vol. 2, Issue 2. – P. 114-121. (Входит до міжнародних наукометричних баз Index Copernicus, Norwegian Social Science Data Services (NSD), Google Scholar, Vernadsky National Library of Ukraine).

9. Hahanov V. Algebra-logical diagnosis model for SoC F-IP / V. Hahanov, V. Obrizan, E. Litvinova, Man K.L. // WSEAS Transactions on Circuits and Systems. – 2008. – No 7. – P. 708-717. (Входит до міжнародних наукометричних баз Scopus, Elsevier, Google Scholar).

10. Hahanov V. Embedded method of SoC diagnosis / V. Hahanov, E. Litvinova, V. Obrizan, W. Gharibi // Elektronika ir Elektrotechnika. – 2008. – No8. – P. 3-8. (Входит до міжнародних наукометричних баз Scopus, Thomson

Reuters (ISI), Web of Knowledge Citation Databases, Science Citation Index Expanded (SCIE); Journal Citation Reports (JCR); INSPEC; VINITI; EBSCO Publishing).

11. Хаханов В.И. Обзор международного рынка электронных технологий / В.И. Хаханов, В.И. Обризан, О.В. Мельникова // Вестник НТУ «ХПИ». – Серия: Информатика и моделирование. – 2004. – Вып. 46. – С.111-115.

12. Хаханов В.И. Assert-метод верификации цифровых систем на основе стандарта IEEE 1500 SECT / В.И. Хаханов, В.В. Елисеев, В.И. Обризан // АСУ и приборы автоматики. – 2005. – Вып. 132. – С. 93–105. (Входит до міжнародних наукометричних баз Google Scholar, Cyberleninka).

13. Хаханов В.И. Иерархическое тестирование программно-технических комплексов / В.И. Хаханов, В.В. Елисеев, В.И. Обризан // АСУ и приборы автоматики. – Харьков, 2006. – Вып. 134. – С. 93–102. (Входит до міжнародних наукометричних баз Google Scholar, Cyberleninka).

14. Михтонюк С.В. Архитектурная модель масштабируемой системы асинхронной обработки больших объемов данных / С.В. Михтонюк, Р.С. Хван, В.И. Обризан // АСУ и приборы автоматики. – 2008. – Вып. 142. – С. 13-17. (Входит до міжнародних наукометричних баз Google Scholar, Cyberleninka).

15. Хаханов В.И. MQT-автомат для анализа больших данных / В.И. Хаханов, В.И. Обризан, С.А. Зайченко, И.В. Хаханов // АСУ и приборы автоматики. – 2014. – Вып. 168. – С. 64-72. (Входит до міжнародних наукометричних баз Google Scholar, Cyberleninka).

*Результати, які засвідчують апробацію матеріалів дисертації:*

16. Hahanov V.I. Sigetest – fault simulation and test generation for digital designs / V.I. Hahanov, D.M. Gorbunov, Y.V. Miroshnychenko, O.V. Melnikova, V.I. Obrizan, E.A. Kamenuka // Современные технологии проектирования систем на микросхемах программируемой логики. – 23 сентября 2003. – Харьков. – С. 50-53.

17. Hahanov V. High performance Fault Simulation for Digital Systems / V. Hahanov, O. Melnikova, V. Obrizan, I. Hahanova // Proc. of the Euromicro Symposium on Digital Systems Design. – Turkey. Belek-Antalya. – 2003. – P. 15-16. (Входит до міжнародних наукометричних баз Scopus, IEEE Xplore).

18. Мирошниченко Я.В. Система моделирования неисправностей для дискретных устройств / Я.В. Мирошниченко, О.В. Мельникова, В.И. Обризан / Материалы 7-го молодежного форума «Радиоэлектроника и молодежь в XXI веке». – Украина, Харьков: ХНУРЭ. – 2003. – С. 463.

19. Hahanov V.I. New Features of Deductive Fault Simulation / V.I. Hahanov, V.I. Obrizan, A.V. Kiyaszhenko, I.A. Pobezhenko // Proc. of the 2nd East-West

Design and Test Workshop 2004. – September 23-26, 2004. – Alushta. – 2004. – P. 274-280.

20. Шабанов-Кушнарченко Ю.П. Параллелизм мозгоподобных вычислений / Ю.П. Шабанов-Кушнарченко, В.И. Обризан // Материалы 5-го Международного научно-практического семинара «Высокопроизводительные параллельные вычисления на кластерных системах». – 22-25 ноября 2005. – Харьков. – С. 196- 203.

21. Hahanov V.I. High-performance deductive fault simulation method / V.I. Hahanov, I. Hahanova, V.I. Obrizan // Proc. of the 10th IEEE European Test Symposium. – May 22-25, 2005. – Estonia. – Tallinn, 2005. – P. 91-96. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

22. Hahanov V. Hierarchical Testing of Complex Digital Systems / V. Hahanov, V. Obrizan, V. Yeliseev, W. Ghribi // Proc. of the International Conference “Modern Problems of Radio Engineering, Telecommunications and Computer Science (TCSET’2006)”. – February 28 – March 4, 2006. – Slavske, Lviv, Ukraine. 2006. – P. 426-429. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

23. Hahanov V. Verification of digital system by a new asserting mechanism based on IEEE 1500 SECT standard / V. Hahanov, V. Obrizan, I. Hahanova, E. Fomina // Proc. of the International Conference MIXDES 2006. – June 22-24, 2006. – Gdunia, Poland. – 2006. – P. 544-548. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

24. Хаханов В.И. SIGETEST – система моделирования тестов проверки неисправностей цифровых устройств / В.И. Хаханов, В.И. Обризан, Я.В. Мирошниченко, О.В. Мельникова // Каталог аннотаций и разработок по материалам первого украинско-китайского форума «Наука – производство». – Харьков: ХНУРЭ, 2007. – С. 25–26.

25. Hahanov V. Hardware Simulation and Verification Technologies / V. Hahanov, A. Hahanova, V. Obrizan, W. Ghribi // Proc. of the IEEE East-West Design and Test Symposium. – September 7-10, 2007. – Yerevan, Armenia. – Yerevan, 2007. – P. 739-744.

26. Hahanov V. Technologies for hardware simulation and verification / V. Hahanov, A. Hahanova, V. Obrizan, K. Zaharov // Proc. of the International Conference Modern Problems of Radio Engineering, Telecommunications and Computer Science. – TCSET’2008. – February 19-23, 2008. – Slavske, Lviv, Ukraine. – 2008. – P. 560-564. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

27. Hahanov V. Testing challenges of SoC hardware-software components / V. Hahanov, V. Obrizan, S. Miroshnichenko, A. Gorobets // Proc. of the IEEE East-West Design and Test International Symposium. – October 9-12, 2008. – Lviv,

Ukraine. – 2008. – P. 149-154. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

28. Obrizan V. A method for automatic generation of an RTL-interface from a C ++ description / V. Obrizan // Proc. of the East-West Design & Test Symposium (EWDTS) 2010. – 17-20 Sept. 2010. – St. Petersburg, Russia. – P.186-189. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

29. Hahanova I.V. Transaction level model of embedded processor for vector-logical analysis / I.V. Hahanova, V. Obrizan, A. Adamov, D. Shcherbin // Proc. of the East-West Design & Test Symposium. – 27-30 Sept. 2013. – Rostov-on-Don, Russia. – 4 p. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

30. Hahanova Yu. Metric for Analyzing Big Data / Yu. Hahanova, I. Yemelyanov, V. Obrizan, D. Krulevska, M. Skorobogatiy, A. Hahanova // Матеріали XIII Міжнародної науково-технічної конференції CADSM 2015 «Досвід розробки та застосування приладнати-технологічних САПР в мікроелектроніці». 24-27 лютого 2015. Львів – Поляна. – С.81-83. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

31. Обризан В.И. Мультиарендные облачные сервисы / В.И. Обризан, Ю.В. Ломова // Материалы XIX Международного молодежного форума «Радиоэлектроника и молодежь в XXI веке». – Украина, Харьков: ХНУРЭ. – 20-22 апреля 2015. – Ч. 5. – С.34-35.

32. Obrizan V. Multiversion parallel synthesis of digital structures based on SystemC specification / V.Obrizan; T. Soklakova // Proc. of the IEEE East-West Design & Test Symposium (EWDTS). – 2016 – Yerevan, Armenia. – бр. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

*Публікації, які додатково відображають наукові результати дисертації:*

33. Гайдук С.М. Сферический мультипроцессор PRUS для решения булевых уравнений / С.М. Гайдук, В.И. Хаханов, В.И. Обризан, Е.А. Каменюка // Радиоэлектроника и информатика. – Харьков, 2004. – № 4 (29). – С. 107–116. (Входить до міжнародних наукометричних баз Index Copernicus, Google Scholar, OECS, OAJI, Scholar Steer, SIS, Cyberleninka, CiteFactor, TIU Hannover, I2OR).

34. Hyduke S. PRUS – Spherical Multiprocessor for Computation of Boolean equations / S. Hyduke, V.I. Hahanov, V.I. Obrizan, Wade Ghribi // Proceedings of the 8th International Conference CADSM 2005. – Ukraine. – Lviv, 2005. – P. 41-48.

35. Hyduke S.M. PRUS – Processor Network for Digital Circuit Implementation / S.M. Hyduke, V.I. Hahanov, V.I. Obrizan, O. Guz // Proc. of the 8th Euromicro Conference on Digital System Design. – August 30 – September 3,

2005. – Porto, Portugal. – 2005. – P. 239-242. (Входить до міжнародних наукометричних баз Scopus, IEEE Xplore).

36. Шевченко А.А. Математические модели описания потенциально опасных объектов газотранспортной промышленности / А.А. Шевченко, О.А. Довгоша, В.И. Обризан, Д.Н. Красильников // Материалы 2-го Международного радиоэлектронного форума «Прикладная радиоэлектроника». – 19-23 сентября 2005. – Украина. – С. 272- 276.

## АНОТАЦІЯ

*Обризан Володимир Ігорович.* Мультиверсний паралельний синтез цифрових структур на основі SystemC специфікації. На правах рукопису. Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп'ютерні системи і компоненти. Харківський національний університет радіоелектроніки, Міністерство освіти і науки України, Харків, 2017.

**Мета дисертаційного дослідження** суттєве зменшення часу проектування обчислювальних архітектур і підвищення якості цифрових виробів шляхом мультиверсного синтезу структури цифрового виробу на основі заданої специфікації в середовищі SystemC (C++) і автоматичному підборі функціональних компонентів за рахунок паралельного синтезу і верифікації архітектурних рішень системного рівня відповідно до запропонованої метрики. **Основні результати:** 1) **Вперше** запропоновано метод синтезу інтерфейсних структур і протоколів виконання транзакцій RT-рівня на основі аналізу специфікації SoC-архітектури системного рівня, який **характеризується** використанням двобічної стандартної шини Wishbone обміну даними між функціональними модулями, що дозволяє здійснювати мультиверсне створення компонентів цифрових систем на кристалах. 2) **Вперше** запропоновано метод синтезу RTL-моделей функціональностей, який **характеризується** однозначним перетворенням C++ і SystemC-описів цифрових блоків системного рівня в алгоритми і структури даних автоматної моделі Мура, заданої синтезованою підмножиною мовних конструкцій VHDL, що дає можливість істотно зменшити час виконання процесів проектування, тестування і верифікації. 3) **Удосконалено** структури даних для опису функціональних примітивів системного рівня, які відрізняються орієнтацією на використання семантичних і синтаксичних конструкцій мови C++ і SystemC, що дозволяє здійснювати паралельний синтез і верифікацію архітектурних рішень. 4) **Удосконалено** метод мультиверсного синтезу керуючих і операційних автоматів, орієнтованих на архітектурні рішення в метриці, що відрізняється мінімальним часом виконання функціональності за рахунок розпаралелювання операцій при обмеженні на апаратні витрати.

Ключові слова: мультиверсний синтез, специфікація, інтерфейсні структури, операційний пристрій, верифікація, цифрові системи на кристалах.

## АННОТАЦІЯ

*Обризан Владимир Игоревич.* Мультиверсний паралельний синтез цифрових структур на основі SystemC специфікації. – На правах рукописи. Дисертація на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты. – Харьковский национальный университет радиоэлектроники, Министерство образования и науки Украины, Харьков, 2017.

**Цель диссертационного исследования** — существенное уменьшение времени проектирования вычислительных архитектур и повышение качества цифровых изделий **путем** мультиверсного синтеза структуры цифрового изделия на основе заданной спецификации в среде SystemC (C++) и автоматического подбора функциональных компонентов **за счет** параллельного синтеза и верификации архитектурных решений системного уровня в соответствии с предложенной метрикой.

**Объект исследования** – процессы параллельного синтеза и верификации цифровых структур. Предмет исследования – модели, методы и инфраструктура для мультиверсного параллельного синтеза цифровых структур на основе SystemC спецификации.

**Основные результаты:** 1) **Впервые** предложен метод синтеза интерфейсных структур и протоколов выполнения транзакций RT-уровня на основе анализа спецификации SoC-архитектуры системного уровня, который **характеризуется** использованием двунаправленной стандартной шины Wishbone обмена данными между функциональными модулями. 2) **Впервые** предложен метод синтеза RTL-моделей функциональностей, который характеризуется однозначным преобразованием C++- и SystemC-описаний цифровых блоков системного уровня в алгоритмы и структуры данных автоматной модели Мура, заданной синтезируемым подмножеством языковых конструкций VHDL. 3) Усовершенствованы структуры данных для описания функциональных примитивов системного уровня, которые отличаются ориентацией на использование семантических и синтаксических конструкций языка C++ и SystemC, что позволяет осуществлять параллельный синтез и верификацию архитектурных решений. 4) **Усовершенствован** метод мультиверсного синтеза управляющих и операционных автоматов, ориентированных на архитектурные решения в метрике, который **отличается** минимальным временем выполнения функциональности за счет распараллеливания операций при ограничении на аппаратные затраты.

Сущность рыночно-ориентированного научно-технического исследования заключается в мультиверсном проектировании архитектуры цифрового изделия на основе заданной спецификации в среде SystemC (Си++) и автоматическом выборе синтезируемых функциональных структур в целях существенного уменьшения времени создания проекта и повышения выхода годной продукции за счет параллельного синтеза и верификации архитектурных решений системного уровня в соответствии с предложенной метрикой. Основная инновационная идея — параллельный автоматический синтез квазиоптимальной архитектуры в соответствии с предложенной спецификацией и метрикой, регулирующей подбор синтезируемых функциональных структур.

**Практическая значимость полученных результатов:** 1) Разработаны программные средства для реализации моделей и методов мультиверсного создания операционных устройств в рамках интегрированной системы проектирования функциональных и архитектурных решений SoC на основе использования продуктов верификации и синтеза компаний Aldec и Xilinx; 2) Проведено тестирование и верификация программных модулей мультиверсной разработки операционных устройств в рамках интегрированной системы проектирования функциональных и архитектурных решений SoC на десяти примерах реализации промышленно-ориентированных функциональных блоков.

Проведен анализ автоматического и ручного метода экспериментальным путем, где автоматический метод – это метод полученный в данной работе. Данные эксперимента были получены вследствие работы 10 инженеров над одним проектом. Оценивались следующие характеристики: временные затраты на проектирование, быстродействие, энергопотребление, площадь на кристалле. Были выбраны три самые распространённые реализации: последовательная, параллельная, конвейерная. В результате эксперимента получили, что в случае аддитивной оценки автоматический метод лучше в 1,301292012 раз. При мультипликативной оценке автоматический метод лучше в 133,2182966 раз.

Ключевые слова: мультиверсионный синтез, спецификация, интерфейсные структуры, операционное устройство, верификация, цифровые системы на кристаллах.

## ABSTRACT

*Obrizan Volodymyr Ihorovych. Multiversion parallel synthesis of digital structures based on SystemC specification. – Manuscript.*

PhD thesis (candidate degree of technical sciences) in speciality 05.13.05 – Computer Systems and Components. — Kharkiv National University of Radio Electronics, Ministry of Education and Science of Ukraine, Kharkiv, 2017.

The goal of the investigation is significantly reducing the time for designing computing architectures and improving the quality of digital products by way of multiversion synthesis of a digital product structure based on a specified specification in SystemC (C++) environment, and automatically selecting functional components through the parallel synthesis and verification of architectural solutions of the system level in accordance with the proposed metric. Main results are the following: 1) a new method for synthesizing interface structures and RT-level transaction protocols is proposed; it is based on the analysis of the SoC system-level architecture specification, which is characterized by using a two-sided standard Wishbone data bus between functional modules, which allows the multiversion creating components of a digital system-on-chip; 2) a new method for synthesizing RTL-models of functionalities is proposed that is characterized by one-valued transformation of C++ and SystemC-descriptions of digital blocks of the system level into algorithms and data structures of the Moore automaton model defined by a synthesized subset of VHDL descriptions, which makes it possible to significantly reduce the time of designing, testing and verification; 3) data structures for the description of functional primitives of the system level have been improved, which differ using semantic and syntactic constructions of C++ and SystemC, which allows performing parallel synthesis and verification of architectural solutions; 4) a method of multiversion synthesis of control and operational automata focused on architectural solutions in the metric is improved, which is characterized by a minimum time for operating a functionality through parallel executing the operations with a limitation on hardware costs.

Key words: multiversion synthesis, specification, interface structure, operating device, verification, digital system-on-chip.





Підписано до друку 18.05.17. Формат 60x84 1/16. Папір друк.; Услов. друк. арк. 0,9  
Облік. вид. арк. 1,0. Зам. № б/н; Тираж 100 прим.  
Надруковано у видавництві ЧП «Степанов В.В.»  
61168, Харків, вул. Акад. Павлова, 311



