



УКРАЇНА

(19) UA (11) 29013 (13) A

(51) 6 H04N7/18

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА ВИНАХІД

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ СТИСНЕННЯ ЦИФРОВИХ ТЕЛЕВІЗІЙНИХ СИГНАЛІВ КОЛЬОРОВОГО ЗОБРАЖЕННЯ

(21) 97125781

(22) 02.12.1997

(24) 16.10.2000

(33) UA

(46) 16.10.2000, Бюл. № 5, 2000 р.

(72) Гришко Артур Віталійович, Рубан Ігор Вікторович, Корольова Любов Анатолійовна

(73) ХАРКІВСЬКИЙ ВІЙСЬКОВИЙ УНІВЕРСИТЕТ

(57) 1. Пристрій для стиснення цифрових телевізійних сигналів кольорового зображення, що містить аналого-цифровий перетворювач (АЦП), блок установлення опорного рівня, перший регістр, другий регістр, перший блок затримки, перший блок порівняння, перший лічильник, елемент АБО, елемент І, другий лічильник, третій лічильник, третій регістр, другий блок затримки, комутатор, другий блок порівняння, перший блок пам'яті, другий блок пам'яті, блок елементів АБО, формувач коду синхронізації, блок управління, що містить одновібратор, перший тригер, інвертор, генератор тактових імпульсів, другий тригер, перший лічильник-дільник, перший елемент І, другий елемент І, перший блок затримки, другий лічильник-дільник, третій лічильник-дільник, третій тригер, другий блок затримки, третій блок затримки, вхід пристрою стиснення цифрових телевізійних сигналів з'єднаний з аналого-цифровим перетворювачем, груповий вихід якого поданий на груповий вхід першого регістра і з блоком настанови опорного рівня, вихід якого з'єднаний з входом блока управління, перший вхід управління першого регістра з'єднаний з виходом блока управління, груповий вихід регістра поданий на перший груповий вхід блока порівняння, другий регістр і через перший блок затримки на перший груповий вхід першого блока пам'яті і другого блока пам'яті, перший вхід управління другого регістра з'єднаний з виходом блока управління, вихід блока управління з'єднаний з другим входом управління першого регістра, другого регістра, другого лічильника і третього лічильника, груповий вихід другого регістра поданий на другий груповий вхід блока порівняння, вхід управління блока порівняння з'єднаний з виходом блока управління, вихід блока порівняння з'єднаний з другим входом першого лічильника і елемента АБО, перший вхід першого лічильника з'єднаний з виходом блока управління, груповий вихід першого лічильника поданий на груповий вхід елемента І та через другий блок затримки на другий груповий вхід першого

блока пам'яті і другого блока пам'яті, вихід елемента І з'єднаний з першим входом елемента АБО, вихід елемента АБО з'єднаний з першим входом другого лічильника, груповий вихід другого лічильника поданий на перший груповий вхід комутатора і груповий вхід третього регістра, перший вхід третього лічильника з'єднаний з виходом блока управління, груповий вихід третього лічильника поданий на другий груповий вхід комутатора і перший груповий вхід другого блока порівняння, перший вхід управління третього регістра з'єднаний з виходом блока управління, груповий вихід третього регістра поданий на другий груповий вхід другого блока порівняння, вхід управління другого блока порівняння з'єднаний з виходом блока управління, вихід другого блока порівняння з'єднаний з другим входом управління третього регістра і першим входом блока управління, вихід блока управління з'єднаний з першим входом управління комутатора, першим блоком пам'яті і другим блоком пам'яті, вихід блока управління з'єднаний з другим входом управління комутатора, першим блоком пам'яті і другим блоком пам'яті, перший груповий вихід комутатора поданий на третій груповий вхід першого блока пам'яті, другий груповий вихід комутатора поданий на третій груповий вхід другого блока пам'яті, груповий вихід першого блока пам'яті поданий на перший груповий вхід блока елементів АБО, груповий вихід другого блока пам'яті поданий на другий груповий вхід блоку елементів АБО, вхід формувача коду синхронізації з'єднаний з виходом блока управління, груповий вихід формувача коду синхронізації поданий на третій груповий вхід блока елементів АБО, вхід блока управління з'єднаний з другим входом першого тригера, вхід блока управління з'єднаний з входом інвертора і першим входом другого тригера, вихід другого тригера з'єднаний з першим входом першого елемента І, вихід інвертора з'єднаний з другим входом першого елемента І, вихід першого елемента І з'єднаний з входом першого лічильника-дільника, вихід першого лічильника-дільника з'єднаний з другим лічильником-дільником, першим блоком затримки і виходом блока управління, виходи перший, другий і третій першого блока затримки з'єднані відповідно з виходом блока управління, вихід другого лічильника-дільника з'єднаний з

(19) UA (11) 29013 (13) A

другим входом блоком затримки і другим входом другого тригера, перший вихід другого блока затримки з'єднаний з третім тригером і одновібратором, виходи два і три другого блока затримки з'єднані відповідно з виходом блока управління, перший і другий виходи третього тригера з'єднані відповідно з виходом блока управління, вихід одновібратора з'єднаний з першим входом першого тригера і виходом блока управління, вихід першого тригера з'єднаний з другим входом другого елемента I, вихід другого елемента I з'єднаний з виходом третього лічильника-дільника і виходом блока управління, вихід третього лічильника-дільника з'єднаний з третім блоком затримки і виходом блока управління, вихід третього блока затримки з'єднаний з виходом блока управління, який **відрізняється** тим, що введені тригер, третій блок затримки, блок вибору кодограм, причому перший вихід тригера з'єднаний з виходом блоку управління і входом третього блока затримки, вихід третього блока затримки з'єднаний з другим входом тригера, вихід тригера поданий на четверті входи блоків пам'яті і третій вхід елемента АБО, груповий вихід блока елементів АБО поданий на груповий вхід блока вибору кодограм, вихід блока управління з'єднаний з входом блока вибору кодограм, перший вихід блока вибору кодограм є виходом пристрою для стиснення цифрових телевізійних сигналів, другий і третій виходи блока вибору кодограм з'єднані відповідно з входами блоку управління.

2. Пристрій за п. 1, який **відрізняється** тим, що блок управління містить четвертий лічильник-дільник, третій елемент I, елемент АБО, перший вхід четвертого лічильника-дільника з'єднаний з першим входом третього лічильника-дільника і виходом другого елемента I, другий вхід третього лічильника-дільника з'єднаний з входом блока управлі-

ння, другий вхід четвертого лічильника-дільника з'єднаний із входом блока управління, вихід четвертого лічильника-дільника з'єднаний з першим входом елемента АБО, вихід третього лічильника-дільника з'єднаний з другим входом елемента АБО, вихід елемента АБО з'єднаний з виходом блока управління і входом третього блоку затримки, вихід третього елемента I з'єднаний з першим входом другого тригера, вихід третього елемента I з'єднаний з виходом блока управління.

3. Пристрій за п. 2, який **відрізняється** тим, що блок вибору кодограм містить комутатор, перший елемент АБО, перший перетворювач коду, другий перетворювач коду, другий елемент АБО, груповий вихід блока елементів АБО поданий на груповий вхід комутатора, перший груповий вихід комутатора поданий на перший груповий вхід першого перетворювача коду, другий груповий вихід комутатора поданий на другий груповий вхід першого перетворювача коду і перший груповий вхід другого перетворювача коду, третій груповий вихід комутатора поданий на третій груповий вхід першого перетворювача коду, на другий груповий вхід другого перетворювача коду і на вхід першого елемента АБО, перший вихід першого елемента АБО з'єднаний з третім входом другого перетворювача коду і другим виходом блока вибору кодограм, другий вихід першого елемента АБО з'єднаний з четвертим входом першого перетворювача коду і третім виходом блока вибору кодограм, вхід блока вибору кодограм з'єднаний з п'ятим входом першого і четвертим входом другого перетворювача коду, вихід першого перетворювача коду з'єднаний з першим входом другого елемента АБО, вихід другого перетворювача коду з'єднаний з другим входом елемента АБО, вихід елемента АБО є першим виходом блока вибору кодограм.

Запропонований винахід відноситься до галузі передачі і збереження кольорових зображень у системах із застосуванням телевізійних дисплеїв та відеотерміналів, і може бути використаний, зокрема, у автоматизованих системах зображення, обробки даних та управління.

Відомий "Пристрій для стиснення цифрових телевізійних сигналів" який містить аналоговий цифровий перетворювач АЦП, перший блок порівняння, блок вибору символу, який передається, блок управління пам'яттю, блок пам'яті, блок установлення опорного рівня, формувач коду синхронізації, перший блок кодування, блок затримки, другий блок порівняння, другий блок кодування, перетворювач коду, буферний блок, блок управління [1].

Недоліком цього пристрою є відсутність синхронізації по рядкам у кадрі відображення.

Відомий також "Пристрій для стиснення кольорових сигналів телевізійних зображень", що містить аналого-цифровий перетворювач (АЦП), блок установлення опорного рівня, блок елементів I, перший і другий регістри, блок управління, перший блок порівняння, перший і другий лічильники, третій регістр, другий блок порівняння, блок пам'яті і перетворювач коду.

Блок установлення опорного рівня містить перший тригер, генератор тактових імпульсів, другий

тригер, перший і другий елементи I, перший лічильник-дільник, третій елемент I, першу-четверту лінію затримки відповідно, другий лічильник дільник, п'яту лінію затримки, перший елемент АБО, шосту лінію затримки, третій лічильник-дільник, другий елемент АБО, сьому лінію затримки і третій тригер [2].

До недоліків даного пристрою відноситься відсутність синхронізації по рядках у кадрі зображення.

Найбільш близьким до запропонованого технічного рішення, що вибрано як прототип, є "Пристрій для стиснення цифрових телевізійних сигналів кольорового зображення", який містить пристрій для стиснення цифрових телевізійних сигналів кольорового зображення і блок управління.

Вказаний пристрій для стиснення цифрових телевізійних сигналів містить аналого-цифровий перетворювач 1 (АЦП), блок 2 установлення опорного рівня, перший регістр 3, другий регістр 4, перший блок 5 затримки, перший блок 6 порівняння, перший лічильник 7, елемент АБО 8, елемент I 9, другий лічильник 10, третій лічильник 11, третій регістр 12, другий блок 13 затримки, комутатор 14, другий блок 15 порівняння, перший блок 16 пам'яті, другий блок 17 пам'яті, блок 18 елементів АБО,

формував 19 коду синхронізації, перетворювач 20 коду, блок 21 управління.

Структурна схема пристрою прототипу надана на фіг. 1.

Блок 21 управління містить одиницю 22, перший тригер 23, інвертор 24, генератор 25 тактових імпульсів, другий тригер 26, перший лічильник-дільник 27, перший елемент І 28, другий елемент І 29, перший блок 30 затримки, другий лічильник-дільник 31, третій лічильник-дільник 32, третій тригер 33, другий блок 34 затримки, третій блок 35 затримки.

Структурна схема блока 21 надана на фіг. 2.

Вхід пристрою стиснення цифрових телевізійних сигналів з'єднаний із аналого-цифровим перетворювачем 1, груповий вихід якого поданий на груповий вхід першого регістра 3, і з блоком 2 усунування опорного рівня, вихід якого з'єднаний з виходом 2 блока 21 управління, перший вхід управління першого регістра 3 з'єднаний з виходом 3 блока 21 управління, груповий вихід регістра 3 поданий на перший груповий вхід блок 6 порівняння, другий регістр 4 і через перший блок 5 затримки на перший груповий вхід першого блоку 16 пам'яті і другого блоку 17 пам'яті, перший вхід управління другого регістру 4 з'єднаний із виходом 4 блоку 21 управління, вихід 5 блоку 21 управління з'єднаний з другим входом управління першого регістра 3, другого регістра 4, другого лічильника 10 і третього лічильника 11, груповий вихід другого регістра 4 поданий на другий груповий вхід блока 6 порівняння, вхід управління блока 6 порівняння з'єднаний з виходом 6 блока 21 управління, вихід блока 6 порівняння з'єднаний з другим входом першого лічильника 7 і елемента АБО 8, перший вхід першого лічильника 7 з'єднаний з виходом 7 блоку 21 управління, груповий вихід першого лічильника 7 поданий на груповий вхід елемента І 9 і через другий блок 13 затримки на другий груповий вхід першого блоку 16 пам'яті і другого блоку 17 пам'яті, вихід елемента І 9 з'єднаний з першим входом елемента АБО 8, вихід елемента АБО 8 з'єднаний з першим входом другого лічильника 10, груповий вихід другого лічильника 10 поданий на перший груповий вхід комутатора 14 і груповий вхід третього регістра 12, перший вхід третього лічильника 11 з'єднаний із виходом 8 блока 21 управління, груповий вихід третього лічильника 11 поданий на другий груповий вхід комутатора 14 і перший груповий вхід другого блоку 15 порівняння, перший вхід управління третього регістра 12 з'єднаний із виходом 9 блоку 21 управління, груповий вихід третього регістра 12 поданий на другий груповий вхід другого блоку 15 порівняння, вхід управління другого блоку 15 порівняння з'єднаний із виходом 10 блоку 21 управління, вихід другого блоку 15 порівняння з'єднаний із другим входом управління третього регістра 12 і першим входом блоку 21 управління, вихід 11 блоку 21 управління з'єднаний із першим входом управління комутатора 14, першим блоком 16 пам'яті і другим блоком 17 пам'яті, вихід 12 блока 21 управління з'єднаний із другим входом управління комутатора 14, першим блоком 16 пам'яті і другим блоком 17 пам'яті, перший груповий вихід комутатора 14 поданий на третій груповий вхід першого блоку 16 пам'яті, другий груповий вихід комутатора 14 поданий на третій груповий вхід

другого блоку 17 пам'яті, груповий вихід першого блоку 16 пам'яті поданий на перший груповий вхід блоку 18 елементів АБО, груповий вихід другого блоку 17 пам'яті поданий на другий груповий вхід блоку 18 елементів АБО, вхід формувача 19 коду синхронізації з'єднаний із виходом 2 блоку 21 управління, груповий вихід формувача 19 коду синхронізації поданий на третій груповий вхід блоку 18 елементів АБО, груповий вихід блоку 18 елементів АБО поданий на груповий вхід перетворювача 20 коду, вхід управління перетворювача 20 коду з'єднаний з виходом 1 блоку 21 управління, вихід перетворювача 20 коду є виходом пристрою. Перший вхід блоку 21 управління з'єднаний з другим входом першого тригера 23, вхід 2 блоку 21 управління з'єднаний із входом інвертора 24 і першим входом другого тригера 26, вихід другого тригера 26 з'єднаний із першим входом першого елемента І 28, вихід інвертора 24 з'єднаний із другим входом першого елемента І 28, вихід з генератора 25 тактових імпульсів з'єднаний із третім входом першого елемента І 28 і перший вхід другого елемента І 29, вихід першого елемента І 28 з'єднаний із входом першого лічильника-дільника 27, вихід першого лічильника-дільника 27 з'єднаний із другим з'єднаний лічильником-дільником 31, першим блоком 30 затримки і виходом 4 блоку 21 управління, виходи перший, другий і третій першого блоку 30 затримки з'єднані відповідно із виходами шість, три і сім блоку 21 управління, вихід другого лічильника-дільника 31 з'єднаний з другим входом блоку 34 затримки і другим входом другого тригера 26, перший вихід другого блоку 34 затримки з'єднаний з третім тригером 33 і одиницею 22, вихід 2 і 3 другого блоку 34 затримки з'єднаний відповідно з виходами 5 і 9 блоку 21 управління, перший і другий вихід третього тригера 33 з'єднаний відповідно з виходами 12 і 11 блоку 21 управління, вихід одиниці 22 з'єднаний із першим входом першого тригера 23 і виходом 2 блоку 21 управління, вихід першого тригера 23 з'єднаний із другим входом другого елемента І 29, вихід другого елемента І 29 з'єднаний із входом третього лічильника-дільника 32 і виходом 1 блоку 21 управління, вихід третього лічильника-дільника 32 з'єднаний із третім блоком 35 затримки і виходом 10 блоку 21 управління, вихід третього блоку 35 затримки з'єднаний із виходом 8 блоку 21 управління.

Робота даного пристрою полягає у наступному.

У початковому стані перший регістр 3, другий регістр 4, другий лічильник 10, третій лічильник 11 обнулені. У третій регістр 12 записаний код максимальної адреси попереднього кадру або, якщо на вхід пристрою поступає перший кадр, - нульова комбінація. В один з блоків пам'яті (16 або 17) записані кодовані інструкції (J_i , D_i) про попередній кадр (у випадку, коли на вхід пристрою поступає перший кадр, обоє блоки пам'яті обнулені). Кожна інструкція містить інформацію про колір (J_i) та довжину (D_i), причому довжині відповідає кількість елементів відображення одної колірності вздовж рядку растру.

Розрядність коду $J_i(m)$ вибирається виходячи з вимог, які пред'являються до системи. Так, при $m=8$, число відображених відтінків складає $2^8=256$.

Розрядність коду $D_i(n)$ фіксована і доцільно обирати n у межах $6 \leq n \leq 8$.

Для зручності розглядання роботи припустимо, що стиснута інформація попереднього кадру записана на другий блок 17 пам'яті.

З надходженням на вхід пристрою аналогового ТВ-сигналу блок 2 установки опорного рівня формує імпульс, який відповідає кадровому імпульсу, і видає його на вхід 2 блоку 21 управління, дозволяючи цикл роботи. АЦП 1 перетворює аналоговий сигнал у m -розрядний код колірності, який поступає на груповий вхід першого регістра 3. Цей код відповідає поточному елементу відображення. З приходом тактового імпульсу з блоку 21 управління на перший вхід першого регістра 3 код записується у регістр. При поданні тактового імпульсу з блоку 21 управління на перший вхід першого регістра 4 у цей регістр записується код, який поступає з групового виходу першого регістра 3.

За рахунок того, що імпульс на виході 4 блоку 21 управління випереджає імпульс на виході 3, у другий регістр 4 записується код колірності попереднього елементу відображення (або, якщо починається обробка нового кадру, - нульової комбінації). Коди колірності поточного і попереднього елементів відображення, які поступають з групових виходів відповідно першого, другого регістрів 3, 4 на групові входи першого блоку 6 порівняння, порозрядно порівнюються. З приходом тактового імпульсу з виходу 6 блоку 21 управління на вхід управління першого блоку 6 порівняння на його виході формується сигнал результату порівняння. Цей сигнал одночасно поступає на перший вхід першого лічильника 7 і - через елемент АБО 8 - на перший вхід першого лічильника 10.

У випадку різниці кодів колірності сусідніх елементів зображення на виході першого блоку 6 порівняння формується одиничний імпульс, що обнуляє перший лічильник 7 і збільшує стан другого лічильника 10 на одиницю. Якщо коди колірності сусідніх елементів співпадають, то під впливом нульового потенціалу, що поступає з виходу блоку 6 порівняння, другий лічильник 10 зберігає свій стан незмінним, а перший лічильник 7 під впливом імпульсів з виходу 7 блоку 21 управління збільшує свій стан на одиницю. Паралельний код колірності елемента (J_i) з виходу першого регістра 3 через перший блок 5 затримки одночасно поступає на перші групові входи блоків пам'яті (16, 17). Паралельний код довжини смуги (D_i) із групового виходу першого лічильника 7 одночасно поступає на груповий вхід першого елемента 19 і - через другий блок 13 затримки на другі групові входи блоків пам'яті (16, 17).

Комутатор 14 здійснює підключення групового виходу другого лічильника 10 до третього групового входу блоку пам'яті, що працює у режимі запису (у випадку, що розглядається - першого блоку 16 пам'яті). Таким чином, за адресою, яка формується другим лічильником 10, у перший блок 16 пам'яті проводиться запис кодової інструкції (J_i, D_i). Якщо коди колірності поточного та попереднього елементів відображення співпадають, то запис нової інструкції (із змінним D_i) здійснюється за старою адресою. Якщо коди колірності поточного та попереднього елементів зображення не співпадають, то запис нової інструкції здійснюється за но-

вою адресою. Через те, що запис у блок пам'яті здійснюється асинхронно, то зміна адреси на третьому груповому вході блоку пам'яті повинна випереджувати зміну кодів (J_i, D_i) відповідно на першому, другому групових входах того ж блоку пам'яті. Для виконання цієї умови використовуються перший, другий блоки 5, 13 затримки. Якщо довжина смуги перевищує 2^n елементів зображення, то кодування здійснюється таким чином.

При повному заповненні першого лічильника 7 (тобто коли на його виходах встановиться n "одиниць") на виході елемента 19 формується одиничний потенціал, який проходячи через елемент АБО 8, впливає на перший вхід другого лічильника 10, при цьому стан лічильника 10 не змінюється і інструкція (J_i, D_i) записується в блок 16 пам'яті за старою адресою. Із приходом наступного тактового імпульсу на другий вхід першого лічильника 7 цей лічильник обнуляється, при цьому на виході елемента 19 формується нульовий потенціал, який утворює задній фронт імпульсу. По цьому задньому фронту другий лічильник 10 збільшує свій стан на одиницю, і нова інструкція (з попереднім J_i і $D_i=0$) записується у блок 16 пам'яті за новою адресою.

При поданні на вхід пристрою рядкового синхроімпульсу блок 2 установки опорного рівня видає на вхід 2 блоку 21 управління імпульс, синхронний рядковому імпульсу, при цьому час довжини цього імпульсу блоку 21 управління перестає видавати тактові імпульси на виходи 3, 4, 6, 7. Це призводить до того, що процедурі рядково-вагового кодування будуть підлягати тільки ті частини повного ТВ-сигналу, які несуть інформацію про колірність.

Після обробки останнього елемента кадру з виходу 9 блоку 21 управління на перший вхід третього регістра 12 поступить імпульс, під впливом якого у регістр 12 запишеться код максимального числа, який поступає з групового виходу другого лічильника 10. По закінченні запису коду максимальної адреси у регістр 12 на виході 5 блоку 21 управління формується імпульс, якщо обнуляє перший регістр 3, другий регістр 4, другий лічильник 10, третій лічильник 11. Одночасно із цим на виході 11 блоку 21 управління встановлюється нульовий потенціал, а на виході 12 блоку 21 управління - одиничний потенціал, чим досягається зміна режимів роботи першого і другого блоків (16, 17) пам'яті. На цьому цикл кодування поточного кадру зображення завершується.

Із надходженням кадрового синхроімпульсу наступного кадру на вихід пристрою починається цикл зчитування з першого блоку 16 пам'яті інструкцій про попередній кадр і кодування наступного кадру. Кодування наступного кадру зображення здійснюється аналогічно розглянутому, з тією різницею, що запис інструкції здійснюється в другий блок 17 пам'яті.

Зчитування інформації на вихід пристрою здійснюється наступним чином.

З початком надходження з виходу блоку 2 установки опорного рівня на вхід 2 блоку 21 управління імпульсу, відповідно кадровому синхроімпульсу, з виходу 2 блоку 21 управління на вхід формувача 19 коду синхронізації видається одиничний потенціал з виходу 1 блоку 21 управління на вхід управління перетворювача 20 коду - $(m+n)$ імпуль-

сів. Синхрокод у паралельному коді зчитується з виходу формувача 19 коду синхронізації на перший груповий вхід блоку 18 елементів АБО, з виходу якого він поступає на груповий вхід перетворювача 20 коду і з частотою подання тактових імпульсів на вхід управління перетворювача 20 коду видається на вихід пристрою у послідовному коді. По задньому фронту імпульсу, який поступає на вхід 2 блока 21 управління і відповідає кадровому синхроімпульсу, на виході 2 блока 21 управління встановлюється нульовий потенціал, що заперечує зчитуванню синхрокоду з виходу формувача 19 коду синхронізації. По закінченню зчитування синхрокоду з виходу 8 блока 21 управління на перший вхід третього лічильника 11 поступає імпульс. Під впливом цього імпульсу третій лічильник 11 формує адресу звертання до блоку пам'яті, який працює в режимі зчитування. У випадку, який розглядається, комутатор 14 підключає груповий вихід лічильника 11 до третього групового входу першого блоку 16 пам'яті. Інструкція, яка зчитується з комірки пам'яті блока 16 пам'яті, поступає через блок 18 елементів АБО на груповий вхід перетворювача 20 коду і зчитується на вихід пристрою у послідовному коді з частотою тактових імпульсів, які поступають на вхід управління перетворювача 20 коду. Код адреси формується третім лічильником 11, порівнюється у другому блоці 15 порівняння із кодом максимальної адреси, який поступає із виходу третього регістра 12. Сигнал результату порівняння ("0" у випадку "не дорівнює" і "1" у випадку "дорівнює") формується на виході блока 15 порівняння по приходу на його тактовий вхід імпульсу з виходу 10 блока 21 управління. За рахунок того, що імпульси з виходу 10 блока 21 управління трохи випереджають імпульси з виходу 8, другий блок 15 порівняння порівнює код максимальної адреси з кодом адреси комірки пам'яті, інструкція з якої була тільки що зчитана. Це приводить до того, що імпульс збігу коду максимальної адреси із кодом поточної адреси формується на виході блока 15 порівняння по закінченні зчитування усіх інструкцій про даний кадр із першого блоку 16 пам'яті. Цей імпульс обнуляє третій регістр 12 і, надходячи на вхід 1 блока 21 управління, забороняє видачу імпульсів з виходу 8, 10, 1 блока 21 управління до подання на вхід пристрою кадрового синхроімпульсу чергового кадру. На цьому цикл зчитування про даний кадр зображення завершується.

Блок 21 управління працює таким способом.

У початковому стані другий тригер 26, перший тригер 23, перший лічильник-дільник 27, другий лічильник-дільник 31, третій лічильник-дільник 32 обнулені. Імпульс, який поступає на вхід 2 блока 21 управління, одночасно подається на перший вхід другого тригера 26 і вхід інвертора 24. По передньому фронту імпульсу, який відповідає кадровому синхроімпульсу, другий тригер 26 перемикається у одиничний стан. Одиничний потенціал із його виходу подається на третій вхід першого елемента І 28. Але нульовий потенціал з виходу інвертора 24 продовжує удержувати перший елемент І 28 у "закритому" стані, перешкоджаючи проходженню тактових імпульсів з виходу ГТІ 25 на вихід елемента І 28. По задньому фронту блока 21 управління імпульсу, який поступає на вхід 2, на виході інвер-

тора 24 формується одиничний потенціал, що поступає на другий вхід першого елемента І 28, дозволяючи проходження через нього тактових імпульсів. Ці імпульси надходять на вхід першого лічильника-дільника 27, який здійснює ділення частоти вихідної послідовності на $(m+n)$. Частота імпульсів на виході першого лічильника-дільника 27 дорівнює частоті обробки інформації АЦП 1. Ці імпульси одночасно поступають на вхід другого лічильника-дільника 31, вихід 4 блока 21 управління, а також через перший блок 30 затримки – на виходи 6, 3, 7 блока 21 управління. При надходженні на вхід 2 блока 21 управління імпульсів, які відповідають рядковим синхроімпульсам, інвертор 24 формує сигнал, що блокує на час цих імпульсів проходження тактових імпульсів через елемент І 28. При цьому на той же час припиняється видача імпульсів на виходи 6, 3, 7, 4 блока 21 управління.

Після надходження на вихід другого лічильника-дільника 31 імпульсів на його виході формується імпульс, що обнуляє другий тригер 26. При цьому нульовий потенціал з виходу тригера 26 блокує проходження імпульсів через перший елемент І 28.

Імпульс з виходу лічильника-дільника 31, який затримується у другому блоці 34 затримки, поступає на виходи 5, 9 блока 21 управління, а також на вхід третього тригера 33 і одновібратора 22. При цьому тригер 33 перемикається у протилежний стан, що забезпечує зміну керуючих сигналів на виходах 12, 11 блока 21 управління, а одновібратор 22 формує імпульс, тривалість якого дорівнює часу зчитування синхрокоду на вихід пристрою, а задній фронт його співпадає із заднім фронтом кадрового синхроімпульсу що надходить на вхід пристрою ТВ-сигналу. Імпульс з виходу одновібратора 22 поступає на вихід 2 блока 21 управління і одночасно - на відповідний вхід першого тригера 23, при цьому тригер 23 перемикається у одиничний стан.

Одиничний потенціал з виходу першого тригера 23 подається на другий вхід другого елемента І 29, дозволяючи проходження через нього тактових імпульсів з виходу ГТІ 25. Імпульси з виходу елемента І 29 поступають на вихід 1 блока 21 управління і одночасно на вхід третього лічильника-дільника 32. Цей лічильник-дільник здійснює ділення частоти вхідної послідовності імпульсів на $(m+n)$. З виходу лічильника-дільника 32 імпульси поступають на вихід 10 блока 21 управління і - через третій блок 35 затримки - на вихід 8.

При надходженні імпульсу на вхід 1 блока 21 управління тригер 23 перемикається в нульовий стан, блокуючи проходження імпульсів через другий елемент І 29, що веде до припинення видачі імпульсів на виходи 1, 10, 8 блока 21 управління.

Таким чином, недоліком пристрою-прототипа є відсутність синхронізації по рядках у кадрі зображення.

В основу винаходу покладена задача збудувати такий пристрій для стиснення цифрових телевізійних сигналів кольорового зображення, який за рахунок додаткової інформації введе примусову синхронізацію по рядках і зменшить інформаційний об'єм необхідний на передачу одного кадру зображення.

Технічний результат, який може бути отриманий при здійсненні винаходу міститься у тому, що примусова синхронізація по рядках збільшить імовірність правильної відтворення інформації при впливі на неї перешкод, а зменшення кількості біт необхідних на передачу веде до скорочення об'єму пам'яті для збереження зображення і часу на передачу по каналу зв'язку.

Поставлена задача вирішується за рахунок того, що в пристрій, який вміщує аналого-цифровий перетворювач (АЦП), блок установлення опорного рівня, перший регістр, другий регістр, перший блок затримки, перший блок порівняння, перший лічильник, елемент АБО, елемент І, другий лічильник, третій лічильник, третій регістр, другий блок затримки, комутатор, другий блок порівняння, перший блок пам'яті, другий блок пам'яті, блок елементів АБО, формувач коду синхронізації, блок управління, блок управління містить одновібратор, перший тригер, інвертор, генератор тактових імпульсів, другий тригер, перший лічильник-дільник, перший елемент І, другий елемент І, перший блок затримки, другий лічильник-дільник, третій лічильник-дільник, третій тригер, другий блок затримки, третій блок затримки, вхід пристрою стиснення цифрових телевізійних сигналів з'єднується з аналого-цифровим перетворювачем груповий вихід якого поданий на груповий вхід першого регістра і з блоком установки опорного рівня вихід якого з'єднаний із входом блоку управління, перший вхід управління першого регістра з'єднаний з виходом блоку управління, груповий вихід регістра поданий на перший груповий вхід блоку порівняння, другий регістр і через перший блок затримки на перший груповий вхід першого блоку пам'яті і другого блоку пам'яті, перший вхід управління другого регістра з'єднаний із виходом блоку управління, вихід блока управління з'єднаний із другим входом управління першого регістра, другого регістра, другого лічильника і третього лічильника, груповий вихід другого регістра поданий на другий груповий вхід блоку порівняння, вхід управління блоку порівняння з'єднаний з виходом блока управління, вихід блока порівняння з'єднаний із другим входом першого лічильника і елемента АБО, перший вхід першого лічильника з'єднаний із виходом блоку управління, груповий вихід першого лічильника поданий на груповий вхід елемента І та через другий блок затримки на другий груповий вхід першого блоку пам'яті і другого блоку пам'яті, вихід елемента І з'єднаний із першим входом елемента АБО, вихід елемента АБО з'єднаний із першим входом другого лічильника, груповий вихід другого лічильника поданий на перший груповий вхід комутатора і груповий вхід третього регістра, перший вхід третього лічильника з'єднаний із виходом блоку управління, груповий вихід третього лічильника поданий на другий груповий вхід комутатора і перший груповий вхід другого блоку порівняння, перший вхід управління третього регістра з'єднаний із виходом блоку управління, груповий вихід третього регістра поданий на другий груповий вхід другого блоку порівняння, вхід управління другого блоку порівняння з'єднаний із виходом блоку управління, вихід другого блоку порівняння з'єднаний із другим входом управління третього регістра і першим входом блоку управління, вихід блоку управління з'єднаний із

першим входом управління комутатором, першим блоком пам'яті і другим блоком пам'яті, вихід блоку управління з'єднаний із другим входом управління комутатора, першим блоком пам'яті і другим блоком пам'яті, перший груповий вихід комутатора поданий на третій груповий вхід першого блоку пам'яті, другий груповий вихід комутатора поданий на третій груповий вхід другого блоку пам'яті, груповий вихід першого блоку пам'яті поданий на перший груповий вхід блоку елементів АБО, груповий вихід другого блоку пам'яті поданий на другий груповий вхід блоку елементів АБО, вхід формувача коду синхронізації з'єднаний із виходом блоку управління, груповий вихід формувача коду синхронізації поданий на третій груповий вхід блоку елементів АБО, вхід блоку управління з'єднаний із другим входом першого тригера, вхід блоку управління з'єднаний із входом інвертора і першим входом другого тригера, вихід другого тригера з'єднаний з першим входом першого елемента І, вихід інвертора з'єднаний з другим входом першого елемента І, вихід з генератора тактових імпульсів з'єднаний з третім входом першого елемента І та першим входом другого елемента І, вихід першого елемента І з'єднаний з входом першого лічильника-дільника, вихід першого лічильника-дільника з'єднаний з другим лічильником-дільником, першим блоком затримки і виходом блоку управління, вихід перший, другий і третій першого блоку затримки з'єднані відповідно з виходом блоку управління, вихід другого лічильника-дільника з'єднаний з другим входом блоком затримки і другим входом другого тригера, перший вихід другого блоку затримки з'єднаний з третім тригером і одновібратором, вихід два і три другого блоку затримки з'єднані відповідно з виходами блоку управління, перший і другий вихід третього тригера з'єднані відповідно з виходом блоку управління, вихід одновібратора з'єднаний з першим входом першого тригера і виходом блоку управління, вихід першого тригера з'єднаний з другим входом другого елемента І, вихід другого елемента І з'єднаний з входом третього лічильника-дільника і виходом блоку управління, вихід третього лічильника-дільника з'єднаний з третім блоком затримки і виходом блоку управління, вихід третього блоку затримки з'єднаний з виходом блоку управління, додатково введено тригер, третій блок затримки, блок вибору кодограм, у пристрій управління - четвертий лічильник-дільник, третій елемент І, елемент АБО; а блок вибору кодограм містить комутатор, перший елемент АБО, перший перетворювач коду, другий перетворювач коду, другий елемент АБО, причому перший вхід тригера з'єднаний з виходом блоку управління і входом третього блоку затримки, вихід третього блоку затримки з'єднаний з другим входом тригера, вихід тригера поданий на четвертий вхід блоків пам'яті і третій вхід елемента АБО, груповий вихід блоку елементів АБО поданий на груповий вхід блоку вибору кодограм, вихід блоку управління з'єднаний з входом блоку вибору кодограм, перший вихід блоку вибору кодограм є виходом пристрою для стиснення цифрових телевізійних сигналів, другий і третій вихід блоку вибору кодограм з'єднані відповідно з входами блоку управління, перший вхід четвертого лічильника-дільника з'єднаний з першим входом третього лічильника-дільника і ви-

ходом другого елемента І, другий вхід третього лічильника-дільника з'єднаний з входом блоку управління, другий вхід четвертого лічильника-дільника з'єднаний з входом блоку управління, вихід четвертого лічильника-дільника з'єднаний з першим входом елемента АБО, вихід третього лічильника-дільника з'єднаний з другим входом елемента АБО вихід елемента АБО з'єднаний з виходом блоку управління і входом третього блоку затримки, вхід третього елемента І з'єднаний з першим входом другого тригера, вихід третього елемента І з'єднаний з виходом блоку управління, груповий вихід блоку елементів АБО поданий на груповий вхід комутатора, перший груповий вихід комутатора поданий на перший груповий вхід першого перетворювача коду, другий груповий вихід комутатора поданий на другий груповий вхід першого перетворювача коду і перший груповий вхід другого перетворювача коду, третій груповий вихід комутатора поданий на третій груповий вхід першого перетворювача коду, на другий груповий вхід другого перетворювача коду і на вхід першого елемента АБО, перший вихід першого елемента АБО з'єднаний з третім входом другого перетворювача коду і другим виходом блоку вибору кодограм, другий вихід першого елемента АБО з'єднаний з четвертим входом першого перетворювача коду і третім входом блоку вибору кодограм, вхід блоку вибору кодограм з'єднаний з п'ятим входом першого і четвертим входом другого перетворювача коду, вихід першого перетворювача коду з'єднаний з першим входом другого елемента АБО, вихід другого перетворювача коду з'єднаний з другим входом елемента АБО, вихід елемента АБО є першим виходом блоку вибору кодограм.

Структурна схема запропонованого пристрою надана на фіг. 3.

Структурна схема блоку управління надана на фіг. 4.

Структурна схема блоку вибору кодограм надана на фіг. 5.

Запропонований пристрій містить аналого-цифровий перетворювач 1 (АЦП), блок 2 настанови опорного рівня, перший регістр 3, другий регістр 4, перший блок 5 затримки, перший блок 6 порівняння, перший лічильник 7, елемент АБО 8, елемент І 9, другий лічильник 10, третій лічильник 11, третій регістр 12, тригер 13, третій блок 14 затримки, другий блок 15 затримки, комутатор 16, другий блок 17 порівняння, перший блок 18 пам'яті, другий блок 19 пам'яті, блок 20 елементів АБО, формувач 21 коду синхронізації, блок 22 управління, блок 23 вибору кодограм.

Блок 22 управління містить одновібратор 24, перший тригер 28, інвертор 26, генератор 27 тактових імпульсів, другий тригер 25, перший лічильник-дільник 33, перший елемент І 30, другий елемент І 31, перший блок 38 затримки, другий лічильник-дільник 29, третій лічильник-дільник 35, третій тригер 36, другий блок 32 затримки, третій блок 40 затримки, четвертий лічильник-дільник 34, третій елемент І 37, елемент АБО 39.

Блок 23 вибору кодограм містить комутатор 41, перший елемент АБО 42, перший перетворювач 43 коду, другий перетворювач 44 коду, другий елемент АБО 45.

Вхід пристрою стиснення цифрових телевізійних сигналів з'єднаний з аналого-цифровим перетворювачем 1 груповий вихід якого поданий на груповий вхід першого регістру 3 і з блоком 2 настанови опорного рівня вихід якого з'єднаний з входом 22.1 блоку 22 управління, перший вхід управління першого регістру 3 з'єднаний з виходом 22.12 блоку 22 управління, груповий вихід регістру 3 поданий на перший груповий вхід блок 6 порівняння, другий регістр 4 і через перший блок 5 затримки на перший груповий вхід 18.1 першого блоку 18 пам'яті і перший груповий вхід 19.1 другого блоку 19 пам'яті, перший вхід управління другого регістру 4 з'єднаний з виходом 22.14 блоку 22 управління, вихід 22.8 блоку 22 управління з'єднаний з другим входом управління першого регістру 3, другого регістру 4, другого лічильника 10 і третього лічильника 11, груповий вихід другого регістру 4 поданий на другий груповий вхід блоку 6 порівняння, вхід управління блоку 6 порівняння з'єднаний виходом 22.11 блоку 22 управління, вихід блоку 6 порівняння з'єднаний з другим входом першого лічильника 7 і елемента АБО 8, перший вхід першого лічильника 7 з'єднаний з виходом 22.13 блоку 22 управління, груповий вихід першого лічильника 7 поданий на груповий вхід елемента І 9 і через другий блок 15 затримки на другий груповий вхід 18.2 першого блоку 18 пам'яті і другий груповий вхід 19.2 другого блоку 19 пам'яті, вихід елемента І 9 з'єднаний з першим входом елемента АБО 8, вихід елемента АБО 8 з'єднаний з першим входом другого лічильника 10, груповий вихід другого лічильника 10 поданий на перший груповий вхід комутатора 16 і груповий вхід третього регістру 12, перший вхід третього лічильника 11 з'єднаний з виходом 22.17 блоку 22 управління, груповий вихід третього лічильника 11 поданий на другий груповий вхід комутатора 16 і перший груповий вхід другого блоку 17 порівняння, перший вхід управління третього регістру 12 з'єднаний з виходом 22.9 блоку 22 управління, груповий вихід третього регістру 12 поданий на другий груповий вхід другого блоку 17 порівняння, вхід управління другого блоку 17 порівняння з'єднаний з виходом 22.16 блоку 22 управління, вихід другого блоку 17 порівняння з'єднаний з другим входом управління третього регістру 12 і входом 22.4 блоку 22 управління, вихід 22.10 блоку 22 управління з'єднаний з першим входом тригера 13 і входом третього блоку 14 затримки, вихід третього блоку 14 затримки з'єднаний з другим входом тригера 13, вихід тригера 13 поданий на четверті входи 18.4 і 19.4 блоків 18 і 19 пам'яті і третій вхід елемента АБО 8, вихід 22.7 блоку 22 управління з'єднаний з першим входом управління комутатора 16, входом 18.5 першого блоку 18 пам'яті і входом 19.5 другого блоку 19 пам'яті, вихід 22.6 блоку 22 управління з'єднаний з другим входом управління комутатора 16, входом 18.6 першого блоку 18 пам'яті і входом 19.6 другого блоку 19 пам'яті, перший груповий вихід комутатора 16 поданий на третій груповий вхід 18.3 першого блоку 18 пам'яті, другий груповий вихід комутатора 16 поданий на третій груповий вхід 19.3 другого блоку 19 пам'яті, груповий вихід 18.7 першого блоку 18 пам'яті поданий на перший груповий вхід блоку 20 елементів АБО, груповий вихід 19.7 другого блоку 19 пам'яті пода-

ний на другий груповий вхід блоку 20 елементів АБО, вхід формувача 21 коду синхронізації з'єднаний з виходом 22.5 блоку 22 управління, груповий вихід формувача 21 коду синхронізації поданий на третій груповий вхід блоку 20 елементів АБО, груповий вихід блоку 20 елементів АБО поданий на груповий вхід 23.1 блоку 23 вибору кодограм, вихід 22.15 блоку 22 управління з'єднаний з входом 23.2 блоку 23 вибору кодограм, перший вихід 23.3 блоку 23 вибору кодограм є виходом пристрою для стиснення цифрових телевізійних сигналів, другий вихід 23.4 і третій вихід 23.5 блоку 23 вибору кодограм з'єднані відповідно з входом 22.2 і входом 22.3 блоку 22 управління.

Вхід 22.4 блоку 22 управління з'єднаний з другим входом першого регістру 28, вхід 22.1 блоку 22 управління з'єднаний з входом інвертора 26, першим входом другого тригера 25 і третім елементом І 37, вихід третього елемента І 37 з'єднаний з виходом 22.10 блоку 22 управління, вихід другого тригера 25 поданий на перший вхід першого елемента І 30, вихід інвертора 26 поданий на другий вхід першого елемента І 30, вихід з генератора 27 тактових імпульсів поданий на третій вхід першого елемента І 30 і перший вхід другого елемента І 31, вихід першого елемента І 30 поданий на вхід першого лічильника-дільника 33, вихід першого лічильника-дільника 33 з'єднаний з другим лічильником-дільником 29, першим блоком 38 затримки і виходом 22.14 блоку 22 управління, виходи перший, другий і третій першого блоку 38 затримки з'єднані відповідно з виходами 22.11, 22.12 і 22.13 блоку 22 управління, вихід другого лічильника-дільника 29 з'єднаний з другим блоком 32 затримки і другим входом другого тригера 25, перший вихід другого блоку 32 затримки з'єднаний з третім тригером 36 і одновібратором 24, вихід 2 і 3 другого блоку 32 затримки з'єднаний відповідно з виходом 22.8 і 22.9 блоку 22 управління, перший і другий виходи третього тригера 36 з'єднані відповідно з виходами 22.6 і 22.7 блоку 22 управління, вихід одновібратора 24 з'єднаний з першим входом першого регістру 28 і виходом 22.5 блоку 22 управління, вихід першого регістру 28 з'єднаний з другим входом другого елемента І 31, вихід другого елемента І 31 з'єднаний з першим входом третього лічильника-дільника 35, першим входом четвертого лічильника-дільника 34 і виходом 22.15 блоку 22 управління, вихід третього лічильника-дільника 35 з'єднаний з другим входом елемента АБО 39, вихід четвертого лічильника-дільника 34 з'єднаний з першим входом елемента АБО 39, вихід елемента АБО 39 з'єднаний з входом третьої лінії затримки 40 і виходом 22.16 блоку 22 управління, другий вхід третього лічильника-дільника 35 з'єднаний з входом 22.3 блоку 22 управління, другий вхід четвертого лічильника-дільника 34 з'єднаний з входом 22.2 блоку 22 управління, вихід третього блоку 40 затримки з'єднаний з виходом 22.17 блоку 22 управління.

Груповий вхід 23.1 блоку 29 вибору кодограм поданий на груповий вхід 41.1 комутатора 41, перший груповий вихід 41.2 комутатора 41 поданий на перший груповий вхід 43.1 першого перетворювача 43 коду, другий груповий вихід 41.3 комутатора 41 поданий на другий груповий вхід 43.2 першого перетворювача 43 коду і перший груповий

вихід 44.1 другого перетворювача 44 коду, третій груповий вихід 41.4 комутатора 41 поданий на третій груповий вхід 43.3 першого перетворювача 43 коду, на другий груповий вхід 44.2 другого перетворювача 44 коду і на вхід першого елемента АБО 42, перший вихід першого елемента АБО 42 з'єднаний із шляхом 44.3 другого перетворювача 44 коду і виходом 23.4 блоку 23 вибору кодограм, другий вихід першого елемента АБО 42 з'єднаний з першим входом 43.4 першого перетворювача 43 коду і виходом 23.5 блоку 23 вибору кодограм, вхід 23.2 блоку 23 вибору кодограм з'єднаний з входом 43.5 першого і входом 44.4 другого перетворювача блоку 43 і 44 коду, вихід 43.6 першого перетворювача 43 коду з'єднаний з першим входом другого елемента АБО 45, вихід 44.5 другого перетворювача 44 коду з'єднаний з другим входом елемента АБО 45, вихід елемента АБО 45 є першим виходом 23.3 блоку 23 вибору кодограм.

У запропонованому пристрою АЦП 1 перетворює аналоговий телевізійний сигнал у цифровий, де кожному елементу відображення відповідає m-розрядний код колірності. Вихід аналого-цифрового перетворювача 1 об'єднаний з входом блоку 2 настанови опорного рівня і є входом пристрою (фіг. 3).

Блок 2 настанови опорного рівня призначений для формування імпульсів, відповідним кадровим і рядковим синхроімпульсам аналогового телевізійного сигналу.

Перший регістр 3 призначений для запису, зберігання і видачі коду колірності поточного елемента відображення.

Другий регістр 4 призначений для запису, зберігання і видачі коду колірності попереднього елемента відображення.

Перший блок 5 затримки для затримки коду колірності, що надходить на вихід блоків пам'яті (18.19), на час, що вимагається для переключення другого лічильника 10.

Перший блок 6 порівняння призначений для порозрядного порівняння m-розрядних кодів колірності поточного і попереднього елементів відображення і формування на своєму виході одиничного імпульсу у випадку їх незбігу. Перший блок 6 порівняння містить m елементів, які виключають АБО, виходи якого підключені до входів елемента АБО, вихід якого підключений до першого входу елемента І, другий вхід якого є третім входом першого блоку 6 порівняння, першим входом якого служать перші входи елементів що виключає АБО, другі входи яких утворюють другий вхід блоку 6 порівняння, виходом якого служить вихід елемента І.

Перший лічильник 7 призначений для формування n-розрядного коду довгих смуг (D_i), причому числовий код D_i визначає кількість елементів відображення, колірність яких співпадає з колірністю кожному з тих елементів відображення, які переодують.

Елемент АБО 8 призначений для об'єднання виходу першого блоку 6 порівняння, елемента І 9 і лінії затримки 14.

Елемент І 9 призначений для формування імпульсу переповнення першого лічильника 7.

Другий лічильник 10 призначений для формування коду адреси звертання до блоку пам'яті (18

або 19), який працює у режимі запису в даному циклі обробки інформації.

Третій лічильник 11 призначений для формування коду адреси звертання до блоку пам'яті (18 або 19), який працює в даному циклі обробки в режимі зчитування.

Третій регістр 12 призначений для запису, зберігання і видачі на другий груповий вхід другого блоку 15 порівняння коду максимальної адреси (тобто адреси комірки пам'яті блоку 18 або 19 пам'яті, в яку записана інструкція про останню смугу попереднього кадру). Цей код необхідний для формування сигналу закінчення зчитування інструкції на вихід пристрою.

Тригер 13 призначений для формування імпульсу відповідного значення маркера (M).

Третій блок 14 затримки призначений для формування імпульсу на виході тригера 13 певної тривалості. Тривалість імпульсу залежить від часу, необхідного на запис даного сигналу у блок пам'яті за відповідною адресою.

Другий блок 15 затримки призначений для затримки коду довжини смуги, що надходить водночас на відповідні групові входи першого і другого блоків (18 і 19) пам'яті, на час, що потрібний для перемикання другого лічильника 10.

Комутатор 16 призначений для підключення по черзі виходу другого, третього лічильників 10, 11 до відповідних групових входів першого і другого блоків 18 або 19 пам'яті. Вибір блоку пам'яті (18 або 19), до якого здійснюється підключення виходу того або іншого лічильника (10 або 11), визначається комбінацією сигналів, що надходить на перший, другий входи (входи управління) комутатора 16. Комутатор 16 містить чотири блока елементів I, два блока елементів АБО, вихід яких є груповим виходом комутатора 16, перший груповий вхід якого утворений першим входом першого і другого блоків елементів I. Другий груповий вхід комутатора 16 утворений першим входом третього і четвертого блоків елементів I.

Другий блок 17 порівняння призначений для порівняння коду максимальної адреси і коду поточної адреси (тобто адреси комірки пам'яті, з якої здійснюється зчитування інструкцій), а також для формування одиничного імпульсу при збігу цих кодів.

Перший блок 18 пам'яті призначений для запису, зберігання і видачі інструкцій (M, J_i, D_i) про код зображення.

Призначення другого блоку 19 пам'яті аналогічно призначенню першого блоку 18 пам'яті.

Блок 20 елементів АБО призначений для об'єднання виходу першого блоку 18 пам'яті, другого блоку 19 пам'яті, формувача 21 коду синхронізації.

Формувач 21 коду синхронізації призначений для зберігання і видачі синхронізуючої кодової комбінації перед початком зчитування інструкцій (M, J_i, D_i) про кадр зображення.

Блок 23 вибору кодограм призначений для формування вихідної послідовності інструкцій виду (M, J_i, D_i) або (M, J_i) у залежності від того, яке значення має маркер (M). Якщо M=0, то інструкція приймає вид (M, J_i, D_i), якщо M=1, то (M, J_i). Маркер приймає значення "0" в усіх інструкціях вздовж рядка растру, окрім останньої інструкції у рядку.

Блок 22 управління призначений для забезпечення узгодженої роботи блоків приладу шляхом формування і видачі керуєчих сигналів і тактових імпульсів на відповідні виходи блоків пристрою.

Одновібратор 24 (фіг. 4) призначений для формування імпульсу заданої тривалості при надходженні на його вхід одиничного імпульсу.

Перший тригер 28 призначений для управління проходженням тактових імпульсів через другий елемент I 31.

Інвертор 26 призначений для формування сигналу, що забороняє на час надходження на вхід пристрою кадрових і малих синхроімпульсів формування і видання тактових імпульсів на вихід, що підключені до входів блоків пристрою, які забезпечують обробку інформації, що надходить.

Генератор 27 тактових імпульсів призначений для формування тактових імпульсів з частотою у (m+n+1) раз більшою, ніж частота обробки інформації АЦП 1. Така частота необхідна для забезпечення зчитування інформації про кадр за час, що перевищує час надходження кадру на вхід пристрою. У самому несприятливому випадку (для зображення, у якому колірність кожного наступного елемента відображення відрізняється від колірності попереднього) для опису одного елемента відображення потрібно (m+n+1) біт, тому швидкість, що потрібна для зчитування, повинна бути мінімум у (m+n+1) разів вище швидкості обробки інформації АЦП 1.

Другий тригер 25 призначений для управління проходженням тактових імпульсів через перший елемент I 30.

Перший лічильник-дільник 33 має коефіцієнт ділення, рівний (m+n), і призначений для формування імпульсів з частотою, яка дорівнює частоті обробки інформації АЦП.

Перший елемент I 30 призначений для управління видаванням тактових імпульсів на вхід першого лічильника-дільника 33.

Другий елемент I 31 призначений для управління видаванням тактових імпульсів водночас на вихід 22.15 блоку 22 управління, перший вхід третього лічильника-дільника 35 і перший вхід четвертого лічильника-дільника 34.

Другий блок 32 затримки призначений для затримки імпульсів, що надходять на його вхід, на деякий час τ , причому $\tau_1 > \tau_2 > \tau_3$ (де τ_1, τ_2, τ_3 - час затримки імпульсу відповідно на першому, другому, третьому виходах другого блоку 32 затримки).

Другий лічильник-дільник 29 має коефіцієнт ділення, рівний числу елементів зображення у кадрі, і призначений для формування імпульсу, що свідчить про завершення обробки кадру.

Третій лічильник-дільник 35 має коефіцієнт ділення, рівний (m+n+1), і призначений для формування імпульсів, кожний з яких формується по закінченню зчитування (m+n+1)-розрядної інструкції на другий вхід елемента АБО 39.

Четвертий лічильник-дільник 34 має коефіцієнт ділення, рівний (m+1), і призначений для формування імпульсів, кожний з яких формується по закінченню зчитування (m+1)-розрядної інструкції на перший вхід елемента АБО 39.

Елемент АБО 39 призначений для об'єднання виходу третього лічильника-дільника 35 і четвертого лічильника-дільника 34.

Третій тригер 36 має лічильний вхід (Т-тригер) і призначений для формування керуючих сигналів (потенціалів).

Третій елемент І 37 призначений для виділення сигналу, відповідного рядковим синхроімпульсам кадру зображення.

Перший блок 38 затримки призначений для затримки імпульсів, що надходять на його вхід, на різноманітний час τ , причому $\tau_1 > \tau_2 > \tau_3$ (де τ_1, τ_2, τ_3 - час затримки імпульсу відповідно на першому, другому, третьому виходах першого блоку 30 затримки).

Третій блок 40 затримки призначений для рознесення за часом імпульсів, що надходять на відповідний вихід блоку 22 управління.

Комутатор 41 (фіг. 5) призначений для розподілу групового потоку з виходу блоку 20 елементів АБО на груповий потік, маркера (М), кольори (J_i) і довжину (D_i). По своєму змісту комутатор 41 є фізичною лінією.

Перший блок 42 елементів АБО призначений для виділення значення маркера з групового потоку.

Перший перетворювач 43 коду призначений для перетворення інструкцій (М, J_i, D_i), які зчитуються у паралельному коді, у послідовний код. Перетворювач 43 коду містить лічильник і мультиплексор, вихід якого є виходом перетворювача 43 коду, перший вхід якого підключений до інформаційних входів мультиплексора, адресні входи якого підключені до виходу лічильника, лічильний вхід якого є виходом управління перетворювача 43 коду.

Другий перетворювач 44 коду призначений для перетворення інструкцій (М, J_i), які зчитуються у паралельному коді, у послідовний код. По своєму змісту перетворювач 44 коду має таку ж структуру, що і перетворювач 43 коду.

Другий блок 45 елементів АБО призначений для об'єднання виходу перетворювача 43 і 44 коду.

Робота запропонованого пристрою полягає у наступному.

ТВ-сигнал, що надходить на вхід пристрою - перетворюється АЦП 1 у форму, де кожному елементу відображення відповідає m -розрядний код колірності, і піддається упорядковано-ваговому кодуванню. У результаті кодування інформація про кадр подається списком інструкцій (М, J_i, D_i), що кодувалися і записується у перший або другий блок (18.19) пам'яті. Вибір блоку пам'яті здійснюється сигналами з виходу блоку 22 управління. При цьому, якщо інформація про j -тий кадр була записана у перший блок 18 пам'яті, то інформація про $(j+1)$ -й кадр запишеться у другий блок 19 пам'яті. Водночас із процесом запису стислої інформації про $(j+1)$ -й кадр в другий блок 19 пам'яті, з першого блоку 18 пам'яті буде здійснюватися зчитування інструкцій про j -тий кадр на вхід блоку 23 вибору кодограм. Інформація про наступний $(j+2)$ -й кадр запишеться у звільнений перший блок 18 пам'яті. У блоку 23 вибору кодограм відбувається вибір виду інструкції, що кодувалася (М, J_i, D_i) або (М, J_i). Вид інструкції залежить від того, чи є дана інструкція останньою у рядку (маркер рівний "1") або немає (маркер рівний "0").

Розглянемо роботу пристрою за структурною схемою (фіг. 3).

У вихідному стані перший регістр 3, другий регістр 4, другий лічильник 10, третій лічильник 11 і тригер 13 обнулені. У третій регістр 12 записаний код максимальної адреси попереднього кадру або, якщо на вхід пристрою надходить перший кадр, - нульова комбінація. В один з блоків пам'яті (18 або 19) записані інструкції (М, J_i, D_i), що кодувалися, про попередній кадр (у випадку, коли на вхід пристрою надходить перший кадр, обидва блоку пам'яті обнулені). Кожна інструкція містить інформацію про маркер (М), колір (J_i) і довжину (D_i), причому довжині відповідає кількість елементів відображення одної колірності вздовж рядка растру, а маркеру - розташування у рядку.

Розрядність коду J_i(m) вибирається виходячи з вимоги, яка ставиться до системи. Так, при $m=8$, число відображених відтінків містить $2^8=256$. Розрядність коду D_i(n) фіксована і доцільно вибрати n у межах $6 \leq n \leq 8$. Розрядність маркеру M(k)=1 Бит інформації.

Для зручності розгляду роботи припустимо, що стисла інформація про попередній кадр записана у другий блок 19 пам'яті.

З надходженням на вхід пристрою аналогового ТВ-сигналу блок 2 настанови опорного рівня формує імпульс, відповідний кадровому імпульсу, і видає його на вхід 22.1 блоку 22 управління, дозволяючи цикл роботи. АЦП 1 перетворює аналоговий сигнал в m -розрядний код колірності, що надходить на груповий вхід першого регістру 3. Цей код відповідає поточному елементу відображення. З надходженням тактового імпульсу з виходу 22.12 блоку 22 управління на перший вхід першого регістру 3 код записується у регістр. З надходженням тактового імпульсу з виходу 22.14 блоку 22 управління на перший вхід першого регістру 4 в цей регістр записується код, що надходить з групового виходу першого регістру 3. За рахунок того, що імпульс на виході 22.14 блоку 22 управління випереджає імпульс на виході 22.12, в другий регістр 4 записується код колірності попереднього елемента відображення (або, якщо починається обробка нового кадру, - нульовій комбінації). Коди колірності поточного і попереднього елементів відображення, що надходять з групового виходу відповідно першого, другого регістрів 3, 4 на групові входи першого блоку 6 порівняння порозрядно порівнюються. З надходженням тактового імпульсу з виходу 22.11 блоку 22 управління на вхід управління першого блоку 6 порівняння на його виході формується сигнал результату порівняння. Цей сигнал водночас надходить на перший вхід першого лічильника 7 і - через елемент АБО 8 - на перший вхід першого лічильника 10.

У випадку відмінності кодів колірності сусідніх елементів зображення на виході першого блоку 6 порівняння формується одиничний імпульс, який обнуляє перший лічильник 7 і стан, що збільшує другий лічильник 10 на одиницю. Якщо коди колірності сусідніх елементів співпадають, то під впливом нульового потенціалу, що надходить з виходу блоку 6 порівняння, другий лічильник 10 збереже свій стан незмінним, а перший лічильник 7 під впливом імпульсів з виходу 22.13 блоку 22 управління збільшить свій стан на одиницю. Паралель-

ний код колірності елемента (J_i) з виходу першого регістру 3 через перший блок 5 затримки водночас надходить на перші групові входи 18.1 і 19.1 блоків пам'яті (18.19). Паралельний код довгої смуги (D_i) с групового виходу першого лічильника 7 водночас надходить на груповий вхід першого елемента І 9 і - через другий блок 15 затримки на другі групові входи 18.2 і 19.2 блоків пам'яті (18, 19).

Комутатор 16 здійснює підключення групового виходу другого лічильника 10 до третього групового входу блоку пам'яті, який працює у режимі запису (у випадку, який розглядається - першого блоку 18 пам'яті). Таким чином, за адресою що формується другим лічильником 10, у перший блок 18 пам'яті проводиться запис інструкцій кольору (J_i) і довжини (D_i), що кодувалися. Якщо коди колірності поточного і попереднього елементів відображення співпадають, то запис нової інструкції (із зміною D_i) виробляється за старою адресою. Якщо коди колірності поточного і попередніх елементів зображення не співпадають, то запис нової інструкції виробляється за новою адресою. Тому що запис у блок пам'яті виробляється асинхронно, зміна адреси на третьому груповому вході блоку пам'яті повинна випереджати зміну адреси інструкції відповідно на першому, другому групових входах того ж блоку пам'яті. Для виконання цієї умови використовуються перший, другий блоки 5, 15 затримки. Якщо довжина смуги перевищує $2h$ елементів зображення, то кодування відбувається наступним чином.

При повному заповненні першого лічильника 7 (тобто коли на його виході встановиться п "одиниць") на виході елемента І 9 формується одиничний потенціал, який проходячи через елемент АБО 8, впливає на перший вхід другого лічильника 10, при цьому стан лічильника 10 не змінюється і інструкція кольору (J_i) і довжини (D_i) записується в блок 18 пам'яті за старою адресою. Із надходженням наступного тактового імпульсу на другий вхід першого лічильника 7 цей лічильник обнуляється, при цьому на виході елемента І 9 формується нульовий потенціал, що створює задній фронт імпульсу. По цьому задньому фронті другий лічильник 10 збільшує свій стан на одиницю, і нова інструкція (з колишнім J_i і $D_i=0$) записується у блок 18 пам'яті за новою адресою.

При надходженні на вхід пристрою малого синхроімпульсу блок 2 настанови опорного рівня видає на вхід 22.1 блоку 22 управління імпульс, синхронний малому імпульсу. З виходу 22.10 блоку 22 управління цей імпульс переключаче тригер 13 в одиничний стан, а лінія затримки 14 визначає тривалість цього імпульсу. По передньому фронту цього імпульсу в блок (18.19) пам'яті записується маркер (М) рівний "1", але стан лічильника 10 не змінюється. При надходженні заднього фронту імпульсу запис в блок (18.19) пам'яті припиняється, і лічильник 10 збільшує своє значення через елемент АБО 8 на одиницю. В усіх інструкціях, окрім останньої в рядку, записується значення маркера (М) рівне "0". Паралельно із записом маркера, в блок (18.19) пам'яті, блок 22 управління перестає видавати тактові імпульси на вихід 22.12, 22.14, 22.11, 22.13 під час тривалості малого синхроімпульсу. Це призводить до того, що процедурі упорядковано-вагового кодування будуть піддава-

тися тільки ті частини повного ТВ-сигналу, що несуть інформацію про колірність.

Після обробки останнього елемента кадру із виходу 22.9 блоку 22 управління на перший вхід третього регістру 12 надійде імпульс, під впливом якого в регістр 12 запишеться код максимального числа, що надходить з групового виходу другого лічильника 10. По закінченню запису коду максимальної адреси в регістр 12 на виході 22.8 блоку 22 управління формується імпульс, який обнуляє перший регістр 3, другий регістр 4, другий лічильник 10, третій лічильник 11. Водночас з цим на виході 22.6 блоку 22 управління встановлюється нульовий потенціал, а на виході 22.7 блоку 22 управління - одиничний потенціал, чим досягається зміна режимів роботи першого і другого блоків (18, 19) пам'яті. На цьому цикл кодування поточного кадру зображення завершується.

З надходженням кадрового синхроімпульсу наступного кадру на вихід пристрою починається цикл зчитування з першого блоку 18 пам'яті інструкцій про попередній кадр і кодування наступного кадру. Кодування наступного кадру зображення здійснюється аналогічно розглянутому, з тієї різниці, що запис інструкції призволиться у другий блок 19 пам'яті.

Зчитування інформації на вихід пристрою здійснюється наступним чином.

З початком надходження з виходу блоку 2 настанови опорного рівня на вхід 22.1 блоку 22 управління імпульсу, відповідного кадровому синхроімпульсу, з виходу 22.5 блоку 22 управління на вхід формувача 21 коду синхронізації видається одиничний потенціал, з виходу 22.15 блоку 22 управління на вхід 23.2 блоку 23 вибору кодограм видаються синхроімпульси. Синхрокод у паралельному коді зчитується з виходу формувача 21 коду синхронізації і подається на третій груповий вхід блоку 20 елементів АБО. По задньому фронті імпульсу, що надходить на вхід 22.1 блоку 22 - управління і відповідному кадровому синхроімпульсу, на виході 22.5 блоку 22 управління встановлюється нульовий потенціал, що забороняє зчитування синхрокоду з виходу формувача 21 коду синхронізації. З виходу 22.17 блоку 22 управління на перший вхід третього лічильника 11 надходить імпульс тривалістю $(m+n+1)$ або $(m+1)$. Під впливом цих імпульсів третій лічильник 11 формує адреси звертання до блоку пам'яті, працюючого в режимі зчитування. У випадку, який розглядається, комутатор 16 підключає груповий вихід лічильника 11 до третього групового входу першого блоку 18 пам'яті. Інструкція, яка зчитується з комірки пам'яті блоку 18 пам'яті, надходить через блок 20 елементів АБО на груповий вхід 23.1 блоку 23 вибору кодограм і зчитується на вихід пристрою у паралельному - код. Код адреси формується третім лічильником 11, порівнюється у другому блоку 17 порівняння із кодом максимальної адреси, що надходить з виходу третього регістру 12. Сигнал результату порівняння ("0" у випадку "не рівно" і "1" у випадку "рівно") формується на виході блоку 17 порівняння при надходженні на його тактовий вхід імпульсу з виходу 22.16 блоку 22 управління. За рахунок того, що імпульси з виходу 22.16 блоку 22 управління трохи випереджають імпульси з виходу 22.9, другий блок 17 порівняння порівнює код

максимальної адреси з кодом адреси комірки пам'яті, інструкція з якої була щойно зчитана. Це призводить до того, що імпульс збігу коду максимальної адреси з кодом поточної адреси формується на виході блоку 17 порівняння по закінченню зчитування усіх інструкцій про даний кадр з першого блоку 18 пам'яті. Цей імпульс обнуляє третій регістр 12 і, надходячи на вхід 22.4 блоку 22 управління, забороняє видавання імпульсів з виходу 22.15, 22.16, 22.17 блоку 22 управління до надходження на вхід пристрою кадрового синхроімпульсу чергового кадру. На цьому цикл зчитування даного кадру зображення завершується.

Блок 22 управління працює наступним чином.

У вихідному стані другий тригер 25, перший тригер 28, перший лічильник-дільник 33, другий лічильник-дільник 29, третій лічильник-дільник 35, четвертий лічильник-дільник 34 обнулені. Імпульс, що надходить на вхід 22.1 блоку 22 управління водночас подається на перший вхід другого тригера 25, третього елемента 1 37 і вхід інвертора 26. По передньому фронту імпульсу, відповідному кадровому синхроімпульсу, другий тригер 25 переключається в одиничний стан. Одиничний потенціал з його виходу подається на третій вхід першого елемента 1 30. Однак нульовий потенціал з виходу інвертора 26 продовжує відраховувати перший елемент 1 30 в "закритому" стані, перешкоджаючи проходженню тактових імпульсів з виходу ГТІ 27 на вхід елемента 1 30. По задньому фронту імпульсу, що надходить на вхід 22.1 блоку 22 управління на виході інвертора 26 формується одиничний потенціал, який надходить на другий вхід першого елемента 1 30, дозволяючи проходження через нього тактових імпульсів. Ці імпульси надходять на вхід першого лічильника-дільника 33, який здійснює ділення частоти вихідної послідовності на $(m+n)$. Частота імпульсів на виході першого лічильника-дільника 33 дорівнює частоті обробці інструкції АЦП 1. Ці імпульси водночас надходять на вхід другого лічильника-дільника 29, вихід 22.14 блоку 22 управління, а також через перший блок 38 затримки - на вихід 22.11, 22.12, 22.13 блоку 22 управління. При надходженні на вхід 22.1 блоку 22 управління імпульсу, відповідного рядковим синхроімпульсам, через елемент 1 37 цей сигнал подається на вхід 22.10 блоку 22 управління, а інвертор 26 формує сигнал, що блокує на деякий час проходження тактових імпульсів через елемент 1 30. При цьому на цей же час припиняється видавання імпульсів на виходи 22.11, 22.12, 22.13, 22.14 блоку 22 управління.

Після надходження на вхід другого лічильника-дільника 29 М - імпульсів на його виході формується імпульс, який обнуляє другий тригер 25. При цьому нульовий потенціал з виходу тригера 25 блокує проходження імпульсів через перший елемент 1 30.

Імпульс з виходу другого лічильника-дільника 29, затриманий в другому блоці 32 затримки, надходить на вхід 22.8, 22.9 блоку 22 управління, а також на вхід третього тригера 36 і одновібратора 24. При цьому тригер 36 переключається у протилежний стан, що забезпечує зміну керуючих сигналів на виході 22.6, 22.7 блоку 22 управління, а одновібратор 24 формує імпульс, тривалість якого дорівнює часу зчитування синхрокоду на вихід

пристрою, а задній фронт його співпадає із заднім фронтом кадрового синхроімпульсу на вхід пристрою, куди надходить ТВ - сигнал. Імпульс з виходу одновібратора 24 надходить на вихід 22.5 блоку 22 управління і водночас - на перший вхід першого тригера 28, при цьому тригер 28 перемикається в одиничний стан.

Одиничний потенціал з виходу першого тригера 28 подається на другий вхід другого елемента 1 31, дозволяючи проходження через нього тактових імпульсів з виходу ГТІ 27. Імпульси з виходу елемента 1 31 надходять на вхід 22.15 блоку 22 управління і водночас на перші входи третього лічильника-дільника 35 і четвертого лічильника-дільника 34. Лічильник-дільник 35 здійснює ділення частоти вхідної послідовності імпульсів на $(m+n+1)$, а лічильник-дільник 34 - на $(m+1)$. У залежності від того, на який вхід 22.2 або 22.3 блоку 22 управління надійде керуючий одиничний сигнал, буде сформована керуюча послідовність синхроімпульсів $(m+n+1)$ або $(m+1)$. З виходу четвертого лічильника-дільника 34 імпульси надходять на перший вхід елемента АБО 39, а вихід третього лічильника-дільника 35 на другий вхід елемента АБО 39. З виходу елемента АБО 39 імпульси надходять на вихід 22.16 і через лінію затримки 40 на вихід 22.17 блоку 22 управління.

При надходженні імпульсу на вхід 22.4 блоку 22 управління перший тригер 28 перемикається у нульовий стан, блокуючи проходження імпульсів через другий елемент 1 31, що веде до припинення видачі імпульсів на вихід 22.15, 22.16, 22.17 блоку 22 управління.

Блок 23 вибору кодограм працює наступним чином.

З групового виходу блоку 20 елементів АБО інструкції, що кодувалися надходять на груповий вхід 23.1 блоку 23 вибору кодограм. Проходячи через комутатор 41 інструкції, що кодувалися розділяються на інструкцію довжини (D_i) - вихід 41.2, кольору (J_i) - вихід 41.3 і маркера (M) - вихід 41.4 комутатора 41. На перетворювач 43 коду подаються інструкції довжини (D_i) - вхід 43.1, кольору (J_i) - вхід 43.2 і маркера (M) - вхід 43.3, а на перетворювач 44 коду - колір (J_i) - вхід 44.1 і маркер (M) - вхід 44.2. У залежності від того, яке значення має маркер (M), будуть підключатися перетворювач 43 коду або перетворювач 44 коду. Якщо на вході першого елемента АБО 42 буде "0", то на першому прямому виході буде "0", що буде закривати перетворювач 44 коду, а на другому інверсному виході буде "1", що відкриє перетворювач 43 коду. І навпаки, якщо на вході першого елемента АБО 42 буде "1", то перетворювач 44 коду буде відкритий, а перетворювач 43 коду - закритий. Перший вихід першого елемента АБО 42 є виходом 23.4 блоку 23 вибору кодограм, а другий вихід елемента АБО 42 є виходом 23.5 блоку 23. Вихід 23.4 і 23.5 блоку 23 вибору кодограм призначений для управління роботою, відповідно, четвертого лічильника-дільника 34 і третього лічильника-дільника 35 блоку 22 управління. Це необхідно для того, щоб затримати зчитування наступної кодограм на тривалість $(m+n+1)$ або $(m+1)$ тактів генератора 27 блоку 22 управління. З виходу перетворювача 43 коду через перший вхід, а перетворювача 44 коду - через другий вхід другого елемента АБО 45, ін-

струкції, що кодувалися у послідовному коді надходять на вихід 23.3 блоку 23 вибору кодограм. Даний вихід є виходом пристрою для стиснення цифрових телевізійних сигналів кольорового зображення.

Технічний результат досягається за рахунок введення примусової синхронізації по рядкам, що приводить до збільшення імовірності правильного відтворення інформації при впливі перешкод, а зменшення останньої кодової інструкції у рядку ве-

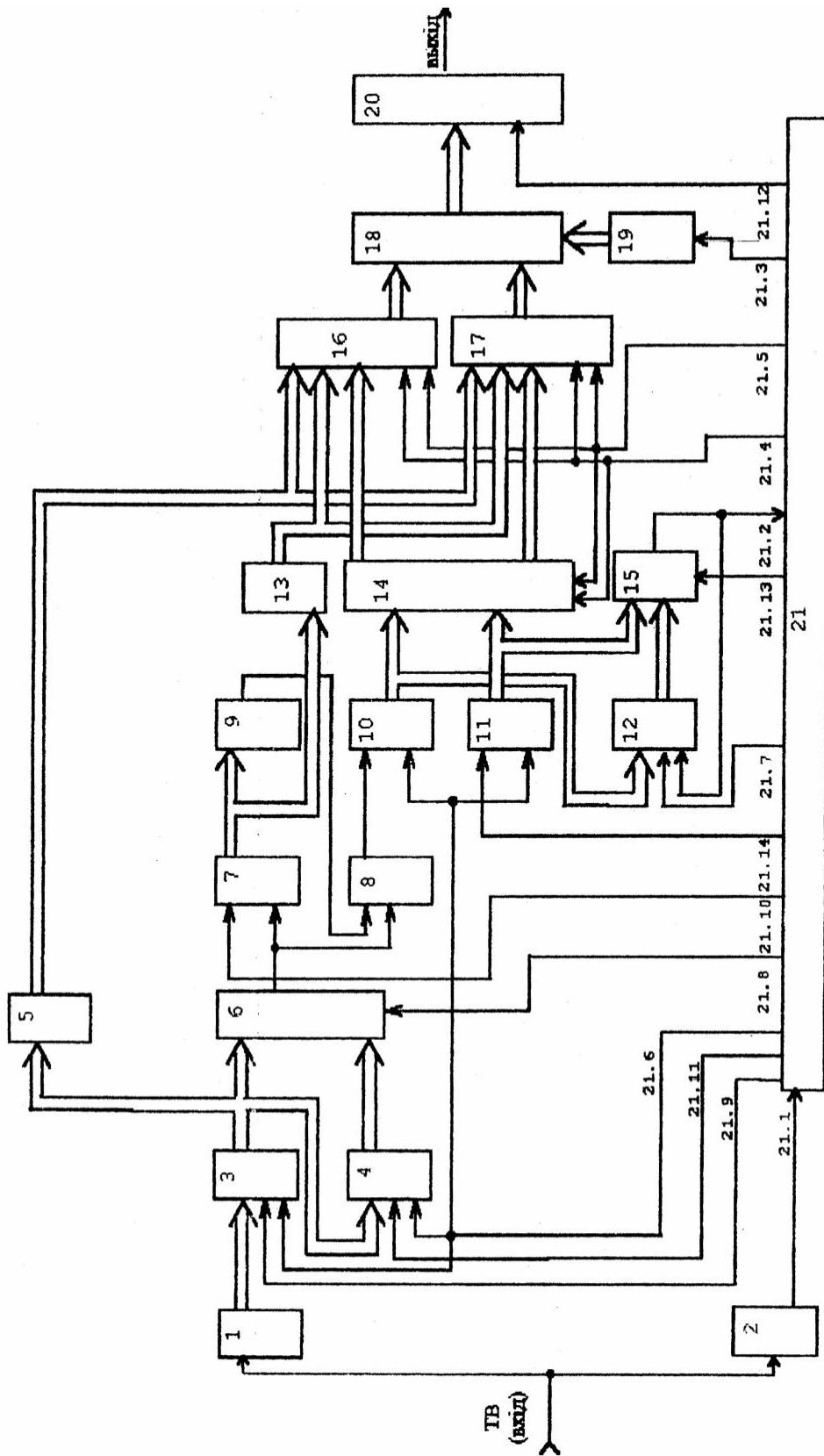
де до скорочення обсягу пам'яті, необхідної для зберігання зображення і часу на передачу по каналах зв'язку.

Джерела інформації

1. Авторське свідоцтво СРСР № 1136325 Н04N7/18, 1982.

2. Авторське свідоцтво СРСР № 1515400 Н04N7/18, 1987.

3. Авторське свідоцтво СРСР № 1529471 Н04N7/18, 1988 (прототип).



Фиг. 1

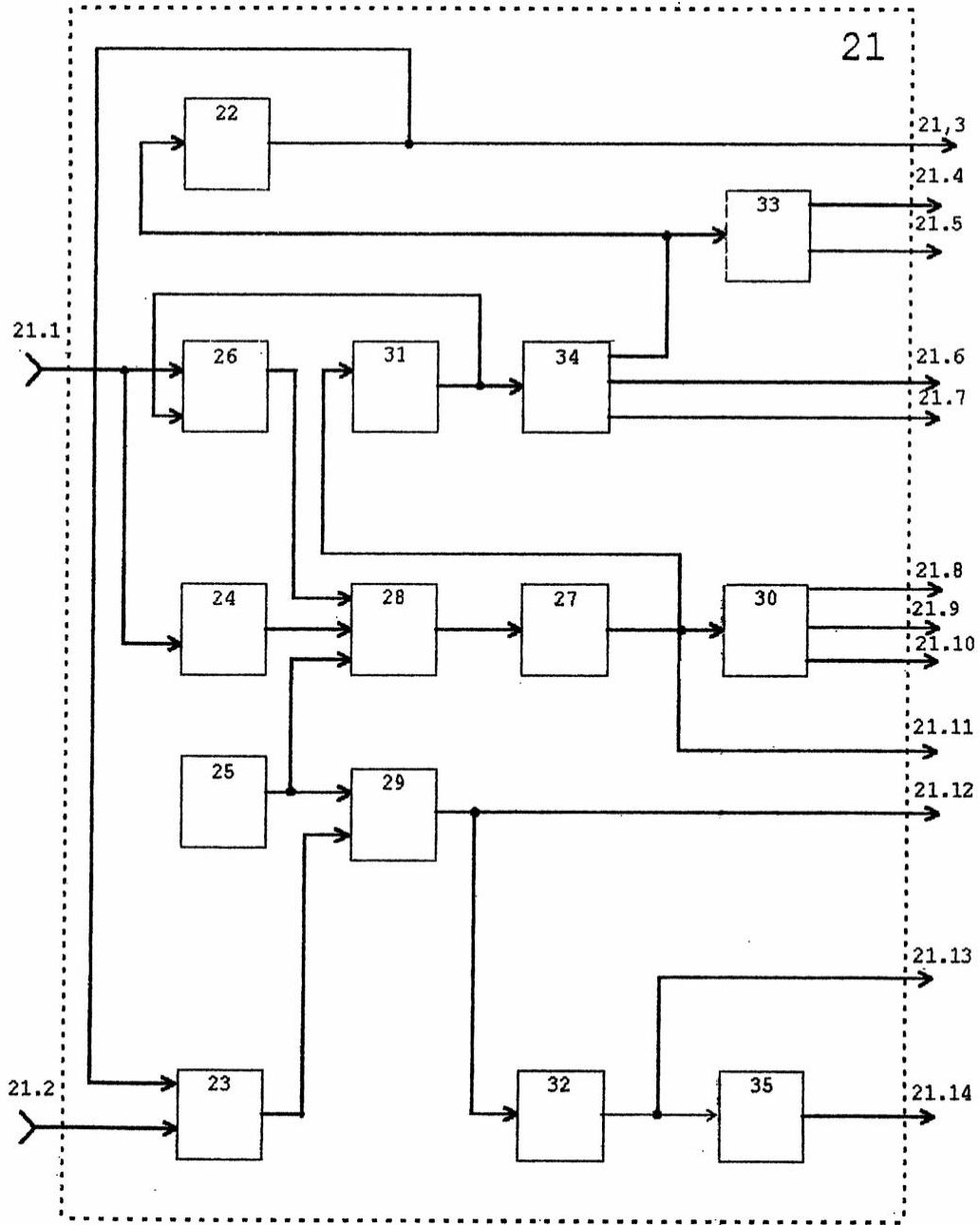
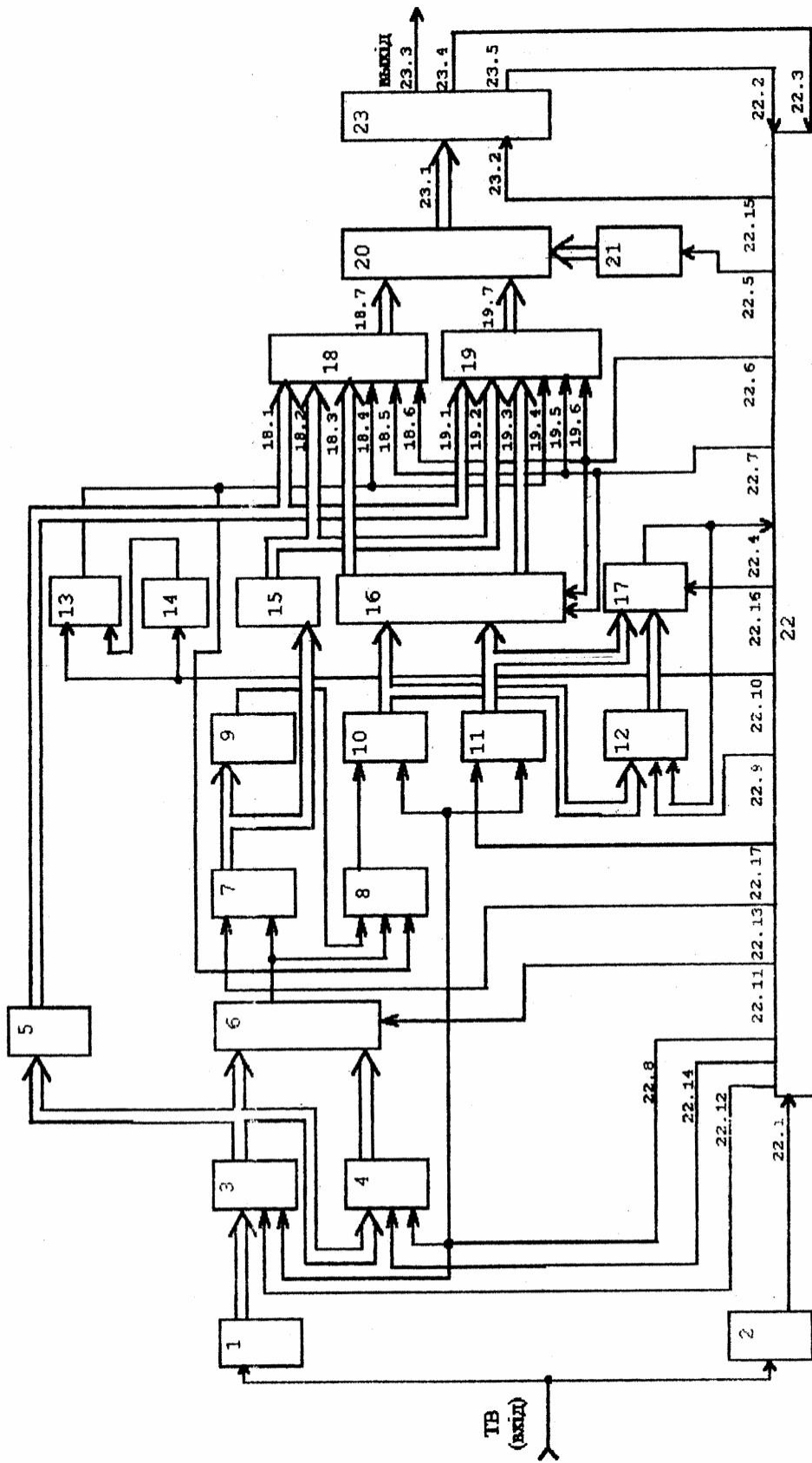


Fig. 2



Фиг. 3

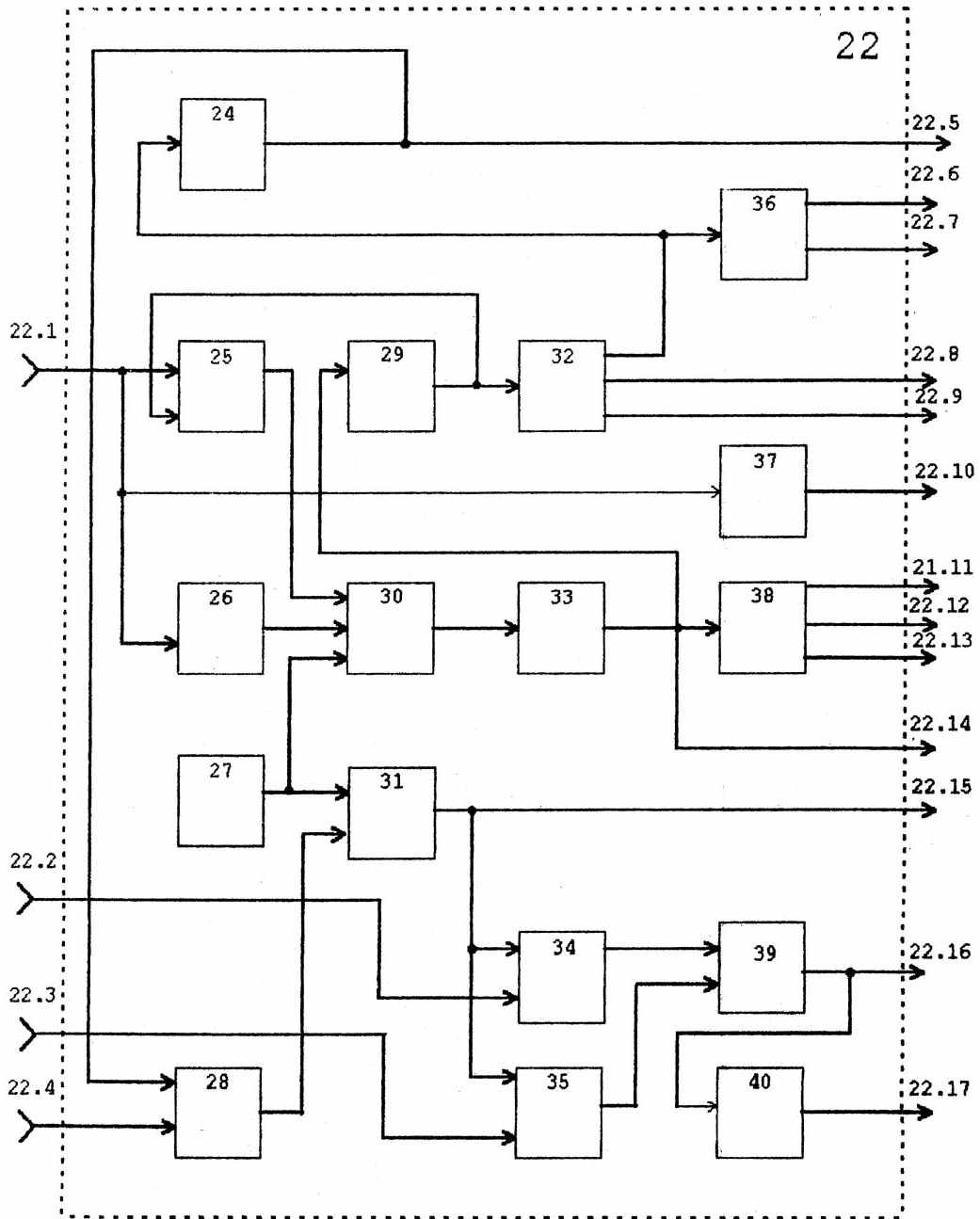
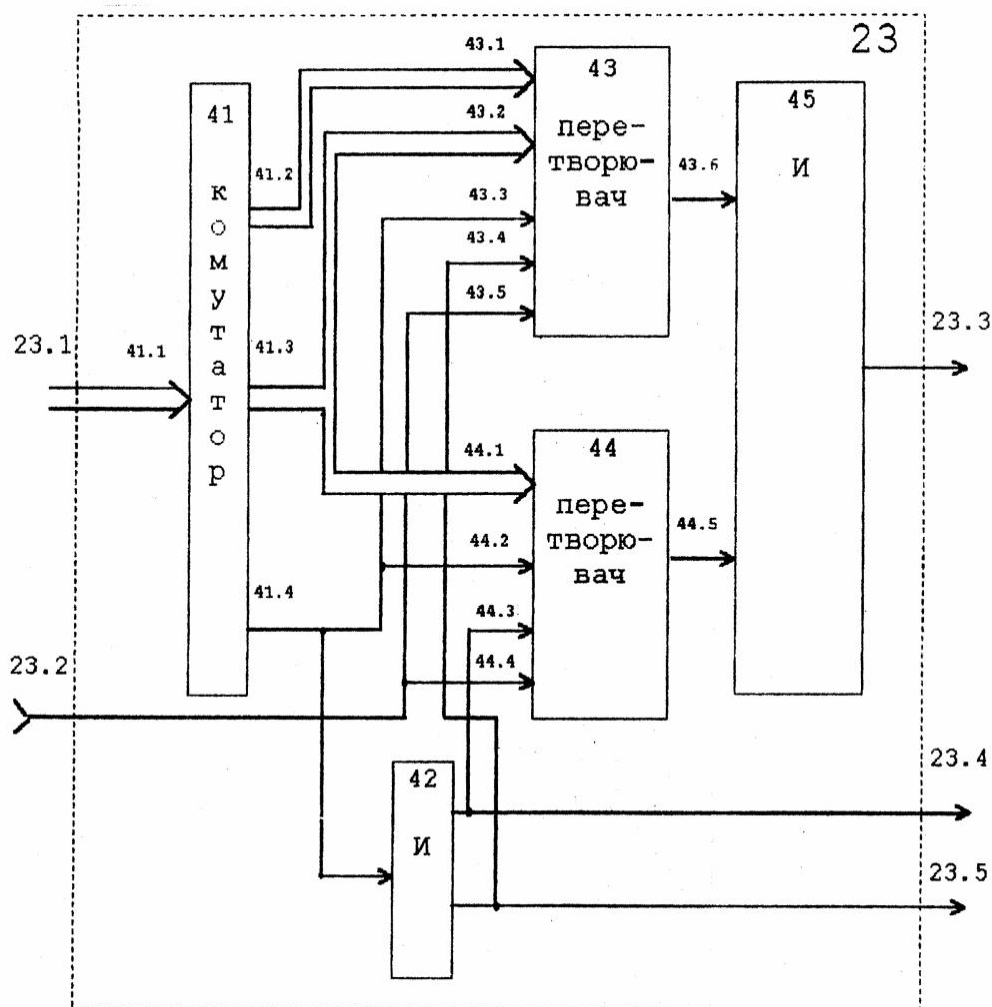


Fig. 4



Фіг. 5

ДП "Український інститут промислової власності" (Укрпатент)
 Україна, 01133, Київ-133, бульв. Лесі Українки, 26
 (044) 295-81-42, 295-61-97

Підписано до друку _____ 2002 р. Формат 60x84 1/8.
 Обсяг _____ обл.-вид. арк. Тираж 34 прим. Зам. _____

УкрІНТЕІ, 03680, Київ-39 МСП, вул. Горького, 180.
 (044) 268-25-22