

Міністерство освіти і науки України  
Харківський національний університет радіоелектроніки

**МАЦЕНКО СВІТЛАНА МИХАЙЛІВНА**

УДК 004.312.43

**СИНТЕЗ КОМПОНЕНТІВ ЦИФРОВИХ ПРИСТРОЇВ НА ОСНОВІ  
МІНІМАЛЬНОЇ ФОРМИ КОДУ ФІБОНАЧЧІ**

05.13.05 - комп'ютерні системи та компоненти

Автореферат  
дисертації на здобуття наукового ступеня  
кандидата технічних наук

Харків - 2016

Дисертацією є рукопис.

Робота виконана на кафедрі електроніки і комп'ютерної техніки Сумського державного університету Міністерства освіти і науки України.

**Науковий керівник:** доктор технічних наук, професор  
**Борисенко Олексій Андрійович,**  
Сумський державний університет,  
завідувач кафедри електроенергетики.

**Офіційні опоненти:** доктор технічних наук, професор  
**Кривуля Геннадій Федорович,**  
Харківський національний  
університет радіоелектроніки,  
професор кафедри автоматизації  
проекування обчислювальної техніки;

доктор технічних наук, професор  
**Краснобаєв Віктор Анатолійович,**  
Харківський національний університет  
імені В. Н. Каразіна,  
професор кафедри електроніки  
та управляючих систем.

Захист відбудеться "**13**" квітня **2016 року о 13<sup>00</sup>** годині на засіданні спеціалізованої вченої ради Д64.052.01 Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, просп. Науки, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, просп. Науки, 14.

Автореферат розісланий "**04**" березня 2016 року.

Учений секретар  
спеціалізованої вченої ради  
д.т.н. професор

О. А. Винокурова

## ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

**Актуальність теми.** У зв'язку із необхідністю поліпшення ефективності цифрових систем зростають вимоги до підвищення достовірності даних, які отримують. До таких систем належать цифрові пристрої, що забезпечують передачу, обробку, стиск, перетворення, керування, збір та контроль інформації. Однак, зважаючи на багатоцільовий характер розробки та виробництва цифрових пристроїв, постає задача подальшого підвищення їх швидкодії, завадостійкості, зменшення апаратних витрат, які багато у чому визначаються структурними характеристиками їх компонентів, удосконалення яких залишається актуальним і в наш час.

Особлива увага при розробці компонентів цифрових пристроїв приділяється підвищенню їх завадостійкості на основі інформаційної надмірності, у тому числі і природній, закладеній у структурах кодів, що використовуються. Вона знайшла застосування, наприклад, у працях Я. А. Хетагурова, Є. С. Согомояна, В. С. Харченка. Природну надмірність мають також завадостійкі системи числення, серед яких сьогодні на практиці використовують поліадичні, факторіальні, біноміальні, фібоначчєві системи. Їх перевагою є те, що введення природної надмірності проходить у них на етапі вибору форми подання інформації. Це дозволяє здійснювати наскрізний контроль передачі і обробки інформації в цифрових системах. Крім того, використання завадостійких систем числення дозволяє в ряді випадків будувати цифрові пристрої та їх компоненти більш завадостійкими і швидкодіючими, ніж при використанні звичайних двійкових систем числення. Особливістю цифрових пристроїв, що працюють в цих системах числення, є те, що у них надмірність, яка необхідна для виявлення помилок, рівномірно розподілена в структурах їх схем. Додаткові схеми контролю в них або взагалі не застосовуються, або використовуються з мінімальними апаратними витратами.

Особливе місце серед завадостійких систем числення займає фібоначчєва система числення внаслідок своєї простоти і універсальності. Уперше вона була розглянута у працях В. Е. Хогатта, С. Вайда, Р. А. Дунлапа, О. П. Стахова, М. М. Воробйова. У подальшому їй було присвячено багато праць у галузі теорії і побудови цифрових пристроїв. Особливо успішно в цьому напрямку діє школа А. П. Стахова. Ним і його учнями А. Д. Азаровим, В. А. Лужецьким, Ю. М. Вишняковим, А. І. Черняком та іншими вченими розроблені, запатентовані та побудовані цифрові пристрої і компоненти, що працюють в кодах Фібоначчі. Однак при цьому були не повністю використані можливості побудови ефективних завадостійких цифрових пристроїв і компонентів, що використовують мінімальні коди Фібоначчі, серед яких слід виділити фібоначчєві регістри, лічильники імпульсів, дешифратори, декодери і перетворювачі кодів.

У дисертаційній роботі для побудови компонентів цифрових пристроїв використовується код Фібоначчі у мінімальній формі, який спрощує їх побудову. Це дозволяє відповідним цифровим пристроям, з одного боку, бути за-

вадостійкими такою самою мірою, як і в інших формах представлення коду Фібоначчі, а з іншого – підвищувати швидкодію та зменшувати апаратурні витрати.

**Зв'язок роботи з науковими програмами, планами, темами.** Дисертаційна робота виконувалася згідно з планом науково-дослідних робіт Сумського державного університету в рамках держбюджетних тем кафедри електроніки і комп'ютерної техніки «Методи і засоби побудови біноміальних цифрових пристроїв для телекомунікаційних систем», № ДР 52.21.01-01.13/14.3П та «Засоби кодування і перетворення інформації в електронних системах», № ДР 0111U005727, у розробці яких автор брав участь як виконавець. У рамках зазначеної теми автором розроблені методи оцінки швидкодії, апаратурних витрат та завадостійкості фібоначчєвих кодів. Дисертація є складовою частиною проведених досліджень з цієї теми.

**Мета дослідження.** Метою дисертаційної роботи є удосконалення відомих та розробка нових методів синтезу і комп'ютерних моделей швидкодіючих завадостійких компонентів цифрових пристроїв при обмеженні на апаратурні витрати на основі застосування мінімальної форми коду Фібоначчі.

Для досягнення цієї мети потрібно було вирішити такі наукові задачі:

1. Провести аналіз шляхів підвищення швидкодії завадостійких компонентів цифрових пристроїв.
2. Розробити метод синтезу і комп'ютерну модель завадостійких лічильників із підвищеною швидкодією на основі застосування мінімальної форми коду Фібоначчі.
3. Розробити метод синтезу завадостійких регістрів з виправленням помилок на основі застосування мінімальної форми коду Фібоначчі.
4. Розробити метод синтезу і комп'ютерну модель дешифраторів для чисел, що використовують мінімальну форму коду Фібоначчі.
5. Розробити методи синтезу перетворювачів двійкових кодів у коди Фібоначчі і зворотно на базі лічильників Фібоначчі у мінімальній формі та провести побудову їх структури.
6. Провести оцінку швидкодії, апаратурних витрат і завадостійкості компонентів цифрових пристроїв, синтезованих на основі мінімальної форми коду Фібоначчі.

*Об'єкт дослідження* – процеси синтезу завадостійких компонентів цифрових пристроїв з підвищеною швидкодією.

*Предмет дослідження* – методи синтезу та комп'ютерні моделі побудови та оцінки компонентів цифрових пристроїв на основі застосування мінімальної форми коду Фібоначчі.

*Методи дослідження:* методи теорії кодування і цифрових автоматів – для удосконалення існуючих і розробки нових методів синтезу швидкодіючих і завадостійких компонентів цифрових пристроїв на основі фібоначчєвих кодів у мінімальній формі; методи комп'ютерного моделювання – для конс-

труювання, проектування та моделювання компонентів цифрових пристроїв на основі фібоначчєвих кодів у мінімальній формі.

#### **Наукова новизна одержаних результатів:**

У ході проведення дослідження автором були отримані такі результати:

1. Уперше запропоновано метод синтезу та комп'ютерна модель завадостійких лічильників за рахунок застосування мінімальної форми коду Фібоначчі і паралельного перенесення сигналів у їх блоках, що дає можливість досягти високої швидкодії.

2. Уперше запропоновано метод синтезу та комп'ютерну модель дешифраторів фібоначчєвих чисел у мінімальній формі, який використовує фрактальні властивості коду Фібоначчі, що дало можливість зменшити апаратурні витрати на їх побудову.

3. Удосконалено метод синтезу завадостійких регістрів на основі застосування мінімальної форми коду Фібоначчі шляхом перетворення середньої одиниці з трьох суміжних одиниць в фібоначчєвому числі в нуль, що дало змогу виправляти помилки.

4. Набули подальшого розвитку методи синтезу схем перетворення двійкових кодів у коду Фібоначчі і зворотно на основі швидкодіючих фібоначчєвих лічильників, що дозволило підвищити швидкість перетворення кодів.

**Практичне значення одержаних результатів.** Запропонований метод швидкодіючої завадостійкої фібоначчєвої лічби на основі мінімальної форми коду Фібоначчі був використаний у вигляді програми в електронній системі лічби алюмінієвих листів на ТОВ «Guala Closures Ukraine». Ця програма дозволяє підвищити достовірність і швидкість лічби та зменшити кількість листів, які не обліковуються (акт упровадження від 07.06.2015 р.). Методи побудови і оцінки завадостійкості цифрових пристроїв на основі кодів Фібоначчі, а також комп'ютерні моделі лічильників, регістрів і дешифраторів використані в Сумському державному університеті в навчальному процесі при викладанні дисциплін «Основи теорії кодування» та «Цифрова схемотехніка», а також під час виконання дипломних проектів і випускних робіт магістрів (акт упровадження від 15.10.2015 р.).

**Особистий внесок здобувача.** Дисертація є самостійно виконаною і завершеною роботою. Наведені у ній положення, висновки і пропозиції є результатом самостійного дослідження здобувача. З опублікованих у співавторстві праць у роботі використані лише ті наукові доробки, ідеї та положення, які були запропоновані особисто автором. У роботах, опублікованих у співавторстві, здобувачу належать такі результати: у [1] – запропонований метод швидкодіючої лічби на основі коду Фібоначчі у мінімальній формі; у [2] – удосконалена структура лічильника імпульсів на основі кодів Фібоначчі у мінімальній формі; у [3] – запропонована модифікація методу завадостійкої лічби на основі кодів Фібоначчі у мінімальній формі; у [4] – синтезована структура швидкодіючого лічильника імпульсів на основі кодів Фібоначчі у мінімальній формі; у [5] – проведено оцінку швидкодії завадостійкого лічи-

льника Фібоначчі у мінімальній формі; у [6] – надана оцінка апаратурних витрат завадостійкого лічильника Фібоначчі у мінімальній формі; у [7] – проведена узагальнена оцінка завадо-стійкості кодів Фібоначчі у мінімальній формі; у [8] – розроблені основні теоретичні положення для побудови пристроїв на основі кодів Фібоначчі у мінімальній формі; у [11] – синтезована структура паралельного лічильника Фібоначчі у мінімальній формі; у [12] – запропонована модифікація лічильника Фібоначчі у мінімальній формі; у [13] – запропонований метод завадостійкого перетворення кодів Фібоначчі; у [14] – запропонований алгоритм завадостійкого перетворення двійкового коду в код Фібоначчі; у [15] – проведена оцінка ефективності лічильника Фібоначчі у мінімальній формі; у [16] – надана модифікація пристрою для дешифрування кодів Фібоначчі та її модель; у [17] – запропонована структура телекомунікаційної системи передачі інформації на основі швидкодіючих лічильників Фібоначчі у мінімальній формі; у [18] – проведена оцінка фібоначчієвих кодів у мінімальній формі; у [19] – розроблена модель паралельного лічильника Фібоначчі у мінімальній формі; у [20] – синтезований фрактальний дешифратор Фібоначчі у мінімальній формі.

**Апробація результатів дисертації.** Основні результати дисертації доповідалися та обговорювалися на наукових та науково-практичних конференціях, серед яких: науково-технічна конференція викладачів, співробітників та аспірантів (Суми, СумДУ, 2012 – 2015 р.); Міжнародна науково-технічна конференція молодих учених «Електронна техніка: проблеми і перспективи розвитку» (Харків, ХПІ, 2013 р.); 4-та Міжнародна науково-практична конференція «Методи та засоби кодування, захисту й ущільнення інформації» (Вінниця, ВНТУ, 2013 р.); 6-та Міжнародна науково-технічна конференція молодих учених і студентів «Інформаційні процеси і технології» (Севастополь, СевНТУ, 2013 р.); 2-га Міжнародна науково-практична конференція «Сучасні інформаційні системи і технології» (Суми, СумДУ, 2013 р.); 7-ма Міжнародна науково-технічна конференція молодих учених і студентів «Інформаційні процеси і технології» (Севастополь, СевНТУ, 2014 р.); Всеукраїнська конференція «Електроніка» (Херсон, ХНТУ, 2014 р.); 4-та Міжнародна науково-практична конференція «Методи та засоби кодування, захисту й ущільнення інформації» (Вінниця, ВНТУ, 2014 р.); 5-та Міжнародна науково-практична конференція "Інформаційні технології та комп'ютерна інженерія" (Івано-Франківськ, Прикарпатський національний університет імені Василя Стефаника, 2015 р.); 5-та Міжнародна науково-практична конференція «Інформатика, математичне моделювання, економіка» (Смоленськ, Смоленський філіал Російського університету кооперації, 2015 р.); 25-та Міжнародна конференція «СВЧ-техніка і телекомунікаційні технології» (Севастополь, 2015 р.), 12th International Symposium on Management Engineering (Kitakyushu, Japan, 2015), а також на конференціях і наукових семінарах кафедри електроніки і комп'ютерної техніки СумДУ.

**Публікації.** Основні положення дисертаційної роботи опубліковані у 20 наукових працях, із них 10 статей, серед яких 7 у наукових фахових виданнях

України з технічних наук, 3 статті в закордонному виданні (з них 2 одноосібні статті та 7, що входять до міжнародних наукометричних баз), 8 матеріалів конференцій (з них 1 за кордоном), 2 патенти України на корисну модель.

**Структура та обсяг дисертації.** Дисертація складається зі вступу, п'яти розділів, загальних висновків, додатків та списку використаних джерел. Загальний обсяг дисертації – 150 сторінок, у тому числі 133 сторінок основного тексту. Робота містить 40 рисунків, 30 таблиць та список використаних джерел із 127 найменувань на 12 сторінках.

## ОСНОВНИЙ ЗМІСТ РОБОТИ

**Вступ** до дисертації містить такі загальні характеристики роботи: обґрунтовано актуальність теми дисертації, визначено мету, об'єкт і предмет дослідження, сформульовані задачі роботи, описані основні наукові результати, їх новизна, достовірність та практичне значення, а також відомості про публікації, впровадження, апробацію і структуру роботи.

У **першому розділі** на основі комплексного аналізу літературних джерел і відомих теоретичних положень були розглянуті методи та засоби підвищення швидкодії завадостійких компонентів цифрових пристроїв. Був проведений огляд відповідних сучасних методів та засобів, на основі яких було обґрунтовано застосування в компонентах цифрових пристроїв кодів Фібоначчі у мінімальній формі. Було показано, що такі фібоначчієві компоненти цифрових пристроїв, як лічильники імпульсів, регістри, дешифратори, декодери, перетворювачі кодів, можуть з успіхом використовуватися в комп'ютерних системах керування, обробки, стиску та захисту даних. Ці пристрої і системи на їх основі зможуть відповідати підвищеним вимогам до них за швидкістю, завадостійкістю, апаратурними витратами. Особлива увага була приділена огляду фібоначчієвих цифрових лічильників, які можуть ефективно застосовуватися в багатьох цифрових пристроях, наприклад, частотомерах, лазерних далекомірах, таймерах, радіовисотомірах.

На сьогодні є велика кількість різноманітних лічильників, що працюють в двійковій системі числення, серед яких виділяють лічильники, здатні виявляти і в ряді випадків виправляти свої помилки. Проте їх синтез утруднюється внаслідок введення спеціальних схем виявлення помилок, що позначається на регулярності структури лічильників і відповідно технологічності, а також знижуються їх швидкістю та надійністю. Цих труднощів у багатьох випадках можна уникнути, якщо використовувати лічильники, що працюють у фібоначчієвих системах числення. У них інформаційна надмірність, яка необхідна для виявлення помилок, рівномірно розподілена всередині основної схеми, що дає можливість підвищити її технологічність при практичній реалізації. Крім того, це дозволило в кінцевому підсумку синтезувати завадостійкі лічильники Фібоначчі з відносно високою швидкістю.

Однак раніше відомі лічильники під час своєї роботи переходять від однієї форми Фібоначчі до іншої і зворотно, що призводить до зниження швид-

кодів і підвищення кількості необхідної апаратури при реалізації таких лічильників. Запропоновані завадостійкі лічильники Фібоначчі, які працювали з числами у мінімальній формі, були більш технологічними, потребували менше апаратури для своєї реалізації і мали досить високу швидкодію, але вона для деяких застосувань була недостатньою. Тому виникла задача побудови більш швидкодіючих завадостійких лічильників.

На практиці знаходять застосування завадостійкі регістри Фібоначчі для зберігання фібоначчієвих чисел у мінімальній формі, і не було реалізованого методу виправлення помилок, який би дозволяв це робити. Задача розробки методу виправлення помилок у фібоначчієвих числах і відповідний синтез регістрів Фібоначчі для зберігання чисел у мінімальній формі з їх оцінкою було поставлено в даній роботі.

Однак робота фібоначчієвих пристроїв у ряді випадків потребує перетворення чисел з двійкової системи числення у фібоначчієву з числами у мінімальній формі і зворотно. Для вирішення задачі перетворення можна успішно скористатися відомими методами синтезу на основі двійкових логічних функцій, які дозволяють будувати швидкодіючі перетворювачі кодів. Однак зі значно меншими апаратурними витратами цю задачу перетворення можна вирішити на основі фібоначчієвих лічильників, у тому числі і з подачею чисел у мінімальній формі. Тому була поставлена задача побудови перетворювачів Фібоначчі на основі лічильників у мінімальній формі з їх оцінкою за швидкодією, завадостійкістю і апаратурними витратами.

Також були проаналізовані схеми для дешифрування фібоначчієвих чисел – дешифратори Фібоначчі, які можна ефективно використовувати в різних завадостійких фібоначчієвих цифрових пристроях. Вони зазвичай реалізуються за методами синтезу двійкових дешифраторів. Але такий підхід не давав можливості побудувати на цьому дешифраторі декодер, який би поряд з дешифруванням ще й виявляв помилкові фібоначчієві числа, що було б його вадою. Була поставлена задача знайти схему фібоначчієвого дешифратора, яка б поряд зі зменшенням апаратурних витрат дозволяла знаходити помилкові фібоначчієві числа і цим самим розширити сферу його застосування.

У результаті проведеного аналізу було сформовано задачу роботи, яке має такий вигляд:

Необхідно отримати максимальну швидкодію  $f_{\max}$  фібоначчієвих компонентів цифрових пристроїв за умови, що апаратурні витрати на їх реалізацію не будуть перевищувати заданого значення  $A$  :

$$\begin{aligned} f_{\max} &\rightarrow \max, \\ Z &< A. \end{aligned} \tag{1}$$

У **другому розділі** проведений аналіз мінімальної форми коду Фібоначчі з метою отримання методу лічби в ньому, і надана загальна оцінка його завадостійкості при застосуванні в фібоначчієвих схемах компонентів цифрових пристроїв.



Відомо, що числа Фібоначчі мають вигляд послідовності 1, 1, 2, 3, 5, ...  $F_n$ , в якій кожен її елемент, починаючи з третього, обчислюється як сума двох попередніх:

$$F_n = F_{n-1} + F_{n-2}, \quad (2)$$

а форма запису числа коду Фібоначчі у мінімальній (нормальній) формі подається у вигляді рівності:

$$N = a_n F_n + a_{n-1} F_{n-1} + \dots + a_i F_i + \dots + a_1 F_1, \quad (3)$$

де  $a_i \in \{0,1\}$  – двійкова цифра  $i$ -го розряду позиційного представлення;  $n$  – розрядність коду;  $F_i$  – вага  $i$ -го розряду, яка дорівнює  $i$ -му числу Фібоначчі. Мінімальна форма коду Фібоначчі на відміну від інших можливих форм характеризується заборонаю знаходження двох одиниць поряд. У табл.1 наведений приклад коду Фібоначчі у мінімальній формі для ряду 1, 2, 3, 5, 8.

Фібоначчієві числа не можуть мати двох одиниць поряд (див. табл. 1). Тому вони за своєю природою є завадостійкими і можуть бути використані як для побудови різних фібоначчієвих завадостійких цифрових пристроїв, так і для надійної передачі інформації, зокрема у системах зв'язку з самосинхронізацією.

Таблиця 1 – Код Фібоначчі у мінімальній формі для ряду 1, 2, 3, 5, 8

Номер роз- ряду	5	4	3	2	1	Номер роз- ряду	5	4	3	2	1
Вага розряду	8	5	3	2	1	Вага розряду	8	5	3	2	1
Цифра $i$ -го розряду	$a_5$	$a_4$	$a_3$	$a_2$	$a_1$	Цифра $i$ -го розряду	$a_5$	$a_4$	$a_3$	$a_2$	$a_1$
Входи дешифратора	$X_5$	$X_4$	$X_3$	$X_2$	$X_1$	Входи дешифратора	$X_5$	$X_4$	$X_3$	$X_2$	$X_1$
0	0	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	8	1	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>
1	0	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>	9	1	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>
2	0	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	10	1	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>
3	0	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	11	1	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>
4	0	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	12	1	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>
5	0	1	0	0	0						
6	0	1	0	0	1						
7	0	1	0	1	0						

Особливістю фібоначчієвих чисел є те, що в них виявляються тільки помилкові переходи 0 в 1, а переходи 1 в 0 не виявляються, що можна вважати їх недоліком. Але кількість нулів у фібоначчієвих числах у рази перевищує кількість одиниць, і тому навіть в симетричних каналах зв'язку будуть переважати помилкові переходи нулів в одиниці над одиницями в нулі. Це дозволяє говорити про значну захищеність коду Фібоначчі від помилок. У

реальних же цифрових схемах помилки несиметричні, і тому відповідним чином підібране кодування фібоначчєвих чисел може виявляти більшість їх помилок, тобто коди Фібоначчі за своєю структурою пристосовані для виявлення помилок у цифрових схемах.

На основі табл. 1 пропонується удосконалений метод завадостійкої фібоначчєвої лічби у мінімальній формі коду Фібоначчі, який складається з таких кроків:

Крок 1. У заданому фібоначчєвому числі  $F = x_0, x_1, x_2, \dots, x_j, \dots, x_n$  при рахунку справа наліво знаходяться 2 суміжні розряди, сума яких  $x_j \vee x_{j-1} = 0, j = 1, 2, \dots, n$ . При цьому вважаємо, що  $x_0 = 0$ .

Крок 2. Якщо у фібоначчєвому числі не буде знайдена сума  $x_j \vee x_{j-1} = 0$ , то лічба закінчується.

Крок 3. Якщо така сума буде знайдена, то в розряд  $x_j$  заноситься 1, а всі розряди, які знаходяться справа, встановлюються в 0.

Крок 4. Якщо в отриманій кодовій комбінації добуток  $x_j \wedge x_{j-1} = 1$ , то отримане число є помилковим. Зупинка.

Крок 5. Якщо добуток  $x_j \wedge x_{j-1} = 0$ , то отримане фібоначчєве число є правильним. Перехід до кроку 1.

У **третьому розділі** розроблені метод синтезу фібоначчєвих регістрів у мінімальній формі з можливістю виправлення помилок та проведена їх оцінки. Він базується на таких теоремах:

**Теорема 1.** Якщо у фібоначчєвому числі  $f = x_1, x_2, \dots, x_j, \dots, x_n$  один чи декілька логічних добутків  $x_{j-1} \wedge x_j \wedge x_{j+1} = 1, j = 1, 2, \dots, n$ , то число  $F$  містить в кожному добутку одну помилку, для виправлення якої  $x_j$  перетворюється в 0.

**Теорема 2.** Число можливих добутків  $x_{j-1} \wedge x_j \wedge x_{j+1}, j = 1, 2, \dots, n$ , у фібоначчєвому числі  $f = x_1, x_2, \dots, x_j, \dots, x_n$  дорівнює  $n - 2$ .

Відповідно до теорем 1 і 2 метод виправлення помилок у фібоначчєвих числах у мінімальній формі має такі кроки:

Крок 1. Якщо у фібоначчєвому числі  $F = x_1, x_2, \dots, x_i, \dots, x_n$  добутки  $x_j \wedge x_{j-1} = 1$ , то помилка. Зупинка.

Крок 2. Перевіряються добутки  $x_{j-1} \wedge x_j \wedge x_{j+1} = 1, j = 1, 2, \dots, n$ .

Крок 3. За наявності в одному чи в декількох із добуток одиниць подаються сигнали про помилки, які можуть бути виправлені.

Крок 4. Змінні  $x_j = 1$ , які перебувають між двома крайніми одиницями, перетворюються в нулі –  $x_j = 0$ . Помилки виправлені. Зупинка.

Запропонований реєстр, крім виявлення помилок, дозволяє частину з них виправити. У табл. 2 наведена сумарна кількість переходів 0 в 1, які виправляються реєстром, серед сукупності всіх фібоначчєвих чисел довжиною  $n$  і їх відсоток, взятий відносно до всіх можливих переходів 0 в 1.

Таблиця 2 – Сукупна кількість помилок, які виправляються реєстром

$n$	%	$n$	%	$n$	%	$n$	%
$n=3$	10,00	$n=10$	12,75	$n=17$	13,52	$n=24$	13,83
$n=4$	9,09	$n=11$	12,92	$n=18$	13,58	$n=25$	13,86
$n=5$	11,11	$n=12$	13,06	$n=19$	13,63	$n=26$	13,89
$n=6$	11,36	$n=13$	13,18	$n=20$	13,68	$n=27$	13,92
$n=7$	11,98	$n=14$	13,28	$n=21$	13,72	$n=28$	13,94
$n=8$	12,26	$n=15$	13,37	$n=22$	13,76	$n=29$	13,97
$n=9$	12,54	$n=16$	13,45	$n=23$	13,80	$n=30$	13,98

У четвертому розділі розроблена принципова схема фібоначчєвого лічильника з паралельною передачею сигналів, яка складається з 5 блоків – блока контролю 1, блока диспозицій 2, блока аналізу 3, реєстра 4 і блока установки в нуль 5 (рис. 1). Виходячи з цієї структурної схеми, можна отримувати різні схеми фібоначчєвих лічильників, які відрізняються між собою за апаратними витратами, швидкодєю і завадостїкїстю. Всї вони працюють без переносів, що підвищує їх швидкодєю і зменшує ймовїрність помилки. Основною перевагою лічильника, що розглядається, є велика швидкодєя, близька до швидкодїї двїйкових лічильників з груповим переносом, а в деяких випадках і перевищує їх, маючи при цьому ще й значну завадостїкїсть.

Даний лічильник відрізняється від раніше запропонованих лічильників тим, що аналіз розрядів фібоначчєвих чисел проводиться паралельно і тому блок 5 установки в нуль має затримку на одній комбїнаційній схемі, а реєстр на одному тригері. При цьому з підняттям розрядності лічильника час затримки залишається без змін. Також з'являється регулярність в структурі лічильника, що призводить до підвищення його технологїчності при виробництві.

Було проведено оцїнки лічильників Фїбоначчї у мїнімальній формї із послїдовною і паралельною затримкою сигналів. Під час розгляду існуючих фібоначчєвих лічильників у мїнімальній формї з послїдовною роботою виявлено, що їх швидкодєя зменшується зі збїльшенням величини  $n$ . Ця особливїсть обумовлюється послїдовною затримкою переносу сигналів у структурі пристрою. У результатї було отримано, що тактова частота такого лічильника

$$f_{\max 1} = \frac{1}{n\tau_i + (n-1)\tau_{a\delta o} + (n-1)\tau_{ne} + \tau_{mp}}, \quad (4)$$

де  $\tau_i, \tau_{a\delta o}, \tau_{ne}, \tau_{mp}$  – затримка поширення сигналів у тригерї та елементах «І», «НЕ», «АБО».

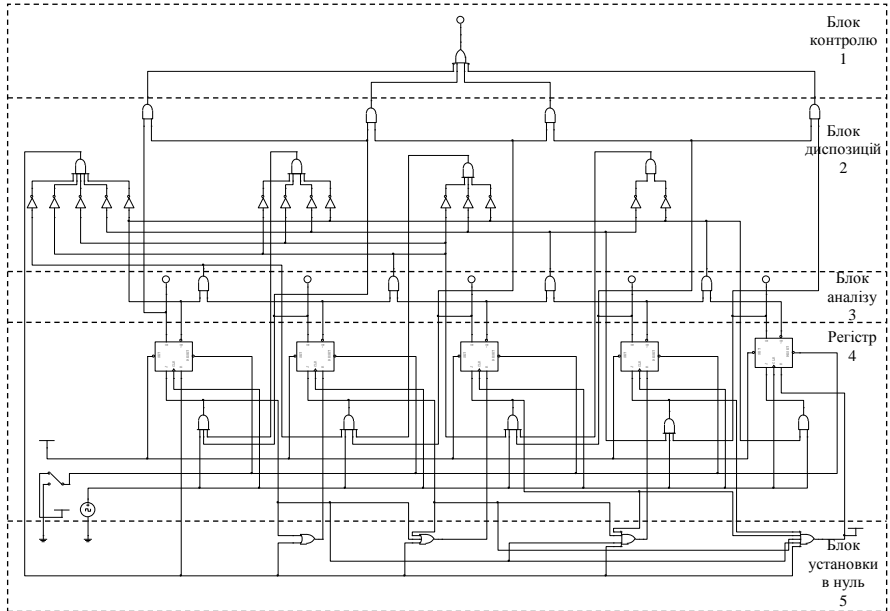


Рисунок 1 – Принципова схема паралельного лічильника на основі мінімальної форми коду Фібоначчі в системі Multisim & Ultiboard (Circuit Design Suite) Power Pro 12.0

При цьому для послідовного лічильного пристрою отримано, що величини апаратних затрат

$$Z_{s1} = 23n + 4(4n - 7) - 3. \quad (5)$$

У структурі лічильника з паралельною затримкою сигналів істотно скоротилося поширення сигналів у його схемі. Щоб це наочно показати у середовищі Multisim & Ultiboard (Circuit Design Suite) Power Pro 12.0, було спроектовано комп'ютерну модель, яка наведена на рис. 1. Вона підтвердила правильність роботи цього лічильника.

Для лічильника з паралельною затримкою сигналів отримано вираз допустимої максимальної тактової частоти:

$$f_{\max 2} = \frac{1}{2\tau_i + \tau_{\text{або}} + \tau_{\text{мп}}}. \quad (6)$$

Для цього лічильника кількість апаратних витрат:

$$Z_{s2} = \frac{3n^2 + 71n - 16}{2}. \quad (7)$$

Лічильники Фібоначчі можна використовувати для перетворення двійкового коду в код Фібоначчі і зворотно. Для цього використовують два підсумовуючі лічильники – фібоначчівий і двійковий.

На рис. 2 наведена відповідна структурна схема перетворювача кодів.

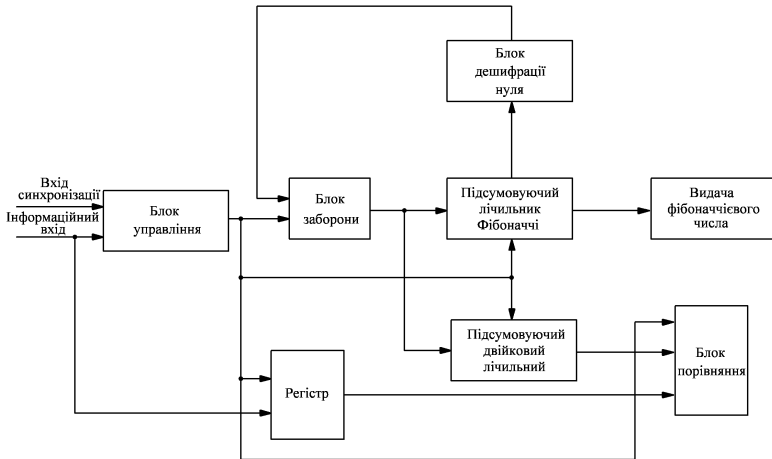


Рисунок 2 – Структурна схема перетворювача двійкових чисел у фібоначчєві і зворотню

Метод перетворення двійкового коду в код Фібоначчі має такі кроки:

1. Двійковий і фібоначчєвий лічильники встановлюються в нулі.
2. Записується двійкове число, що перетворюється, у вхідний регістр.
3. Проводиться синхронна лічба в обох лічильниках.
4. Лічильники рахують до того часу, поки число у двійковому лічильнику не зрівняється з двійковим числом у регістрі. Зупинка.
5. З фібоначчєвого лічильника зчитується відповідне фібоначчєве число  $F = x_1, x_2, \dots, x_j, \dots, x_n$ .
6. Перевірка, що  $x_j \wedge x_{j-1} = 0$ ,  $j = 1, 2, \dots, n$ . Зупинка.
7. Якщо  $x_j \wedge x_{j-1} = 1$ , то помилка.

Зворотнє перетворення з коду Фібоначчі у двійковий проходить відповідно за таким методом:

1. Двійковий і фібоначчєвий лічильники встановлюються в нулі.
2. Записується фібоначчєве число, що перетворюється, у вхідний регістр.
3. Перевірка, що  $y_j \wedge y_{j-1} = 0$ ,  $j = 1, 2, \dots, n$ . Зупинка.
4. Проводиться синхронна лічба в обох лічильниках.
5. Якщо  $y_j \wedge y_{j-1} = 1$ , то помилка.
6. Лічильники рахують до того часу, поки число у фібоначчєвому лічильнику не зрівняється з фібоначчєвим числом у регістрі. Зупинка.

7. З двійкового лічильника зчитується відповідне двійкове число  $D = y_1, y_2, \dots, y_j, \dots, y_n$ .

Структурна схема зворотного перетворення аналогічна до наведеної на рис. 3 з тією різницею, що в регістр заноситься фібоначчєєве число в мінімальному коді і порівнюється з числом у фібоначчєєвому лічильнику.

Середня кількість тактів роботи перетворювача кодів:

$$S = \frac{(F_{n+1}) + 1}{2}. \quad (8)$$

До переваг пристрою перетворення належать простота його реалізації і можливість перетворення даних у прямому і зворотному напрямках. Недоліком є його відносно невелика швидкодія.

У **п'ятому розділі** був розроблений метод дешифрації кодів Фібоначчі у мінімальній формі, синтезована його структура та проведена оцінка апаратних витрат. Запропонований метод дешифрації фібоначчєєвих кодів, дає можливість виявлення помилок та зменшення апаратних витрат.

Дешифрування фібоначчєєвих чисел може бути проведено звичайним методом, коли для кожного фібоначчєєвого числа знаходиться відповідна конституента 1, і відповідно до цих конституент синтезується особливим методом дешифратор з використанням фрактальних властивостей чисел Фібоначчі. Так, для чисел Фібоначчі 1, 2, 3, 5, 8 спостерігається властивість самоподібності, яка проявляється у тому, що кожне з них дорівнює сумі двох сусідніх попередніх чисел Фібоначчі, що стоять поряд. Рівність  $F_n = F_{n-1} + F_{n-2}$ , в якій кожне число Фібоначчі виходить як результат підсумовування двох сусідніх фібоначчєєвих чисел, що стоять поряд, створює фрактал Фібоначчі першого рангу. Далі йдуть фрактали нижчих рангів – другого, третього і так далі, які в дисертаційній роботі не розглядаються.

Фрактальність чисел Фібоначчі проявляється в наявності фрактальності фібоначчєєвих чисел і їх множин. У табл. 1 такими множинами будуть перші 5 чисел з 0 у старшому розряді і 5 останніх чисел з 1 у старшому розряді. Числа 0 і 1 старшого розряду в даному випадку будуть ознаками різних фракталів. Перші 4 розряди обох фракталів однакові, і тому можуть бути дешифровані звичайним способом. Залежно від ознаки фрактала 0 чи 1 вони можуть у подальшому передаватися на вихід дешифратора через комутатор. Три числа, які не входять у фрактали, дешифруються звичайним способом, і отримані після цього сигнали передаються на загальний вихід дешифратора без комутатора.

Фрактальний метод дешифрації фібоначчєєвих чисел використовує фрактальну властивість чисел Фібоначчі:  $F_m = F_{m-1} + F_{m-2}$ ,  $F_{m-1} = F_{m-2} + F_{m-3}$ .

У загальному вигляді метод дешифрації полягає у такому:

1. У множині фібоначчєєвих чисел  $f = x_1, x_2, \dots, x_j, \dots, x_n$ , що дешифруються, знаходяться самоподібні (фрактальні) множини, числа яких відрізняються наявністю 0 або 1 у старшому розряді.

2. Ці числа дешифруються методом дешифрації двійкових чисел на відповідному дешифраторі  $D_1$ .

3. Залежно від значення сигналу старшого розряду 0 або 1 вмикається в роботу перший чи другий комутатор, виходи якого відповідають числам першого або другого фрактала.

4. Числа, що не ввійшли у фрактал, дешифруються звичайним методом для двійкових чисел на дешифраторі  $D_2$ .

5. Якщо на вхід дешифраторів  $D_1$  і  $D_2$  подається помилкове число, в якому  $x_j \wedge x_{j-1} = 1, j = 1, 2, \dots, n$ , то з'явиться сигнал помилки.

На рис. 3 наведений приклад фрактального дешифратора Фібоначчі для розрядності  $n = 5$ . Він складається з дешифраторів 1, 2 і комутаторів 1 і 2, які перемикають виходи дешифратора 1. Дешифратор 1 має  $(n-1)F_{n-1}$  входів, а дешифратор 2 має  $nF_{n-2}$ .

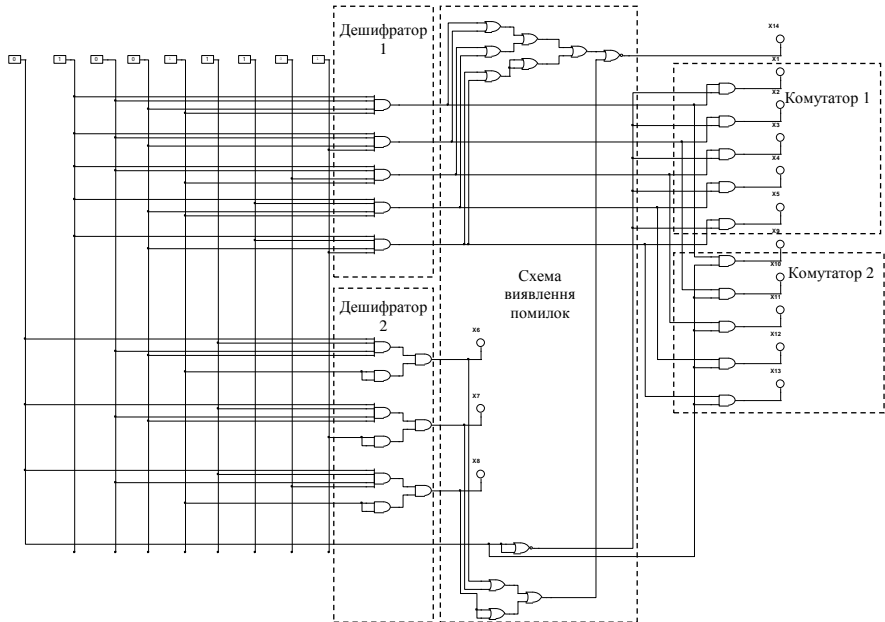


Рисунок 3 – Принципова схема фрактального дешифратора Фібоначчі в системі Multisim & Ultiboard (Circuit Design Suite) Power Pro 12.0

Загальна кількість виходів у двох комутаторах дорівнюватиме  $2F_{n-1}$ . Комутатор, що перемикає залежно від значення старшого  $n$ -го розряду виходи дешифратора 1 на один із двох каналів, містить  $2 \cdot 2F_{n-1} = 4F_{n-1}$  входів.

Число входів логічних елементів для  $n$ -розрядного дешифратора Фібоначчі:

$$S_n = nF_n + 3F_{n-1}. \quad (9)$$

Число входів дешифратора без мінімізації:

$$W = nF_{n+1}. \quad (10)$$

Число входів логічних елементів  $S_n$  мінімізованого дешифратора Фібоначчі відносно числа входів  $W = nF_{n+1}$  дешифратора Фібоначчі без мінімізації за необмеженого росту  $n$ :

$$\frac{S_n}{W} \approx \frac{F_n}{F_{n+1}}. \quad (11)$$

Абсолютне значення числа зекономлених входів:

$$Q = (n-3)F_{n-1}. \quad (12)$$

Відносне значення економії входів:

$$\frac{Q}{W} \approx 1 - \frac{F_n}{F_{n+1}}. \quad (13)$$

Відношення  $\frac{F_n}{F_{n+1}}$  за необмеженого росту  $n$  прямує до зворотної вели-

чини значення золотого перетину.

Таким чином, апаратурні витрати фрактального дешифратора Фібоначчі зменшуються при збільшенні розрядності фібоначчієвих чисел. У фрактальному дешифраторі відбувається затримка сигналу порівняно зі стандартним методом побудови дешифраторів Фібоначчі в два рази.

Перевагою фібоначчієвого фрактального дешифратора є те, що він легко перетворюється на декодер – пристрій, який поряд з дешифрацією вхідних сигналів ще й виявляє помилки у вхідних кодових комбінаціях. Для побудови декодера достатньо в дешифратор Фібоначчі ввести додаткову схему кон'юнкції, яка б виявляла відсутність сигналів на виході дешифратора при появі на його вході кодової комбінації. Для цього випадку побудова декодера на мінімізованому звичайним методом дешифраторі неможлива. Це є додатковою перевагою фрактального дешифратора Фібоначчі порівняно зі звичайними дешифраторами.

У **додатках** наведені акти використання результатів дисертаційної роботи для вирішення практичних завдань та у навчальному процесі.

## ВИСНОВКИ

У дисертаційній роботі вирішено актуальну науково-практичну задачу розробки методів синтезу, комп'ютерних моделей та оцінки завадостійких



швидкодіючих компонентів цифрових пристроїв на основі мінімальної форми коду Фібоначчі при обмеженні на апаратурні витрати. При вирішенні цієї задачі отримано такі результати:

1. Проведений аналіз шляхів підвищення швидкодії завадостійких компонентів цифрових пристроїв обґрунтовує ефективність застосування для цієї мети мінімальної форми коду Фібоначчі.

2. Запропонований метод синтезу швидкодіючих завадостійких лічильників з паралельною передачею сигналів, які працюють у мінімальній формі коду Фібоначчі, дозволив підвищити їх швидкодію у середньому в два рази та побудувати їх комп'ютерну модель.

3. Удосконалений метод синтезу завадостійких регістрів фібоначчєвих чисел у мінімальній формі з виправленням помилок дозволив при появі в них комбінацій з трьома суміжними одиницями, виправити до 15 відсотків від числа можливих помилок, за рахунок перетворення середньої одиниці в нуль.

4. Аналіз фібоначчєвих чисел у мінімальній формі виявив їх фрактальну властивість, яка дозволила запропонувати відповідний метод синтезу дешифраторів і розробити їх комп'ютерну модель, реалізація якої дозволила зменшити апаратурні витрати в межах від 10 до 30 відсотків.

5. Методи синтезу завадостійких схем перетворення двійкових кодів у коди Фібоначчі і зворотно на основі запропонованих у роботі швидкодіючих лічильників Фібоначчі дозволили розробити їх структури з підвищеною в середньому в два рази швидкодією відносно схем перетворення з відомими лічильниками Фібоначчі.

6. Упроваджені результати дисертаційної роботи в ТОВ «Guala Closures Ukraine» і в навчальний процес кафедри електроніки і комп'ютерної техніки Сумського державного університету показали достатньо високу ефективність їх застосування.

## СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Борисенко А.А. Об одном способе построения счетчиков Фибоначчи / А.А. Борисенко, А.П. Стахов, С.М. Маценко, В.В. Сиряченко // Вісник Сумського державного університету. – 2012. – № 3. – С. 165–170 (входить до міжнародних наукометричних баз: INSPEC, РИИЦ).

2. Борисенко А.А. Помехоустойчивый счетчик Фибоначчи / А.А. Борисенко, С.М. Маценко, С.И. Полковников // Вісник національного технічного університету «ХП». – 2013. – № 18. – С. 77–81 (входить до міжнародних наукометричних баз: Index Copernicus, Google Академия, Ulrich's Periodicals Directory, DRIVER, Bielefeld Academic Search Engine (BASE), Directory of Open Access Journals (DOAJ)).

3. Маценко С.М. Модифицированный алгоритм помехоустойчивого счета на основе чисел Фибоначчи / С.М. Маценко, В.В. Арбузов, В.В. Петров // Вісник Сумського державного університету. – 2013. – № 2. – С. 61–65 (входить до міжнародних наукометричних баз: INSPEC, РИИЦ).

4. Борисенко А.А. Быстродействующий счетчик импульсов на основе кодов Фибоначчи / А.А. Борисенко, С.М. Маценко // Вісник Сумського державного університету. – 2013. – № 3. – С. 88–94 (входить до міжнародних наукометричних баз: INSPEC, РИНЦ).

5. Борисенко А.А. Оценка быстродействия помехоустойчивого счетчика Фибоначчи в минимальных кодах / А.А. Борисенко, С.М. Маценко, В.В. Гриненко, О.В. Бережная, С.А. Дегтяр // Вісник Національного технічного університету «ХПИ». – 2015. – № 14. – С. 3–8 (входить до міжнародної довідкової бази даних: Ulrich's Periodicals Directory).

6. Борисенко А.А. Оцінка апаратурних витрат підсумовуючого лічильника Фібоначчі в мінімальних кодах представлення / А.А. Борисенко, С.М. Маценко // Вісник Вінницького політехнічного інституту. – 2015. – № 1. – С. 92–97 (входить до міжнародної наукометричної бази: РИНЦ).

7. Борисенко А.А. О помехоустойчивости фибоначиевых чисел / А.А. Борисенко, С.М. Маценко, С.М. Мальченков, О.И. Ямнык // Системи обробки інформації: збірник наукових праць. – Х. : Харківський університет Повітряних Сил ім. Івана Кожедуба. – 2015. – № 4. – С. 84–87 (входить до міжнародних бібліометричних та наукометричних баз: Index Copernicus, Google Scholar).

8. Fibonacci Counter based on Zeckendorf's Theorem (Boolean Realization) / А.А. Borysenko, А.Р. Stakhov, S.M. Matsenko // Visual Mathematics, Mathematical Institute SASA, Belgrade, Serbia. – 2014. – № 16\_2. – 19p. – Режим доступу [<http://elib.mi.sanu.ac.rs/files/journals/vm/57/vmn57p1-19.pdf>]

9. Маценко С.М. Счетчик импульсов с параллельной структурой на основе кодов Фибоначчи в минимальной форме / С.М. Маценко // Вестник ИМСИТа. – 2015. – № 2. – С. 45–47 (входить до міжнародних наукометричних баз: РИНЦ, НЕБ).

10. Маценко С.М. Помехоустойчивый алгоритм преобразования кодов Фибоначчи / С.М. Маценко // Сборник научных статей Российской университет кооперации Смоленский филиал «Информатика, математическое моделирование, экономика». – 2015. – № 1. – С. 85–89.

11. Борисенко А.А. Счетчики Фибоначчи / А.А. Борисенко, С.М. Маценко, С.М. Олейник // Информационные процессы и технологии «Информатика-2012»: материалы международной научно-практической конференции, 23–27 апреля 2012, Севастополь. – Севастополь: СевНТУ, 2012. – С. 191–192.

12. Борисенко А.А. Фибоначчиевый счетчик импульсов / А.А. Борисенко, А.П. Стахов, С.М. Маценко // «Методи та засоби кодування, захисту й ущільнення інформації»: матеріали 4-ї Міжнародної науково-практичної конференції, 23–25 квітня 2013, Вінниця. – Вінниця: ВНТУ, 2013. – С. 32–34.

13. Борисенко А.А. Метод помехоустойчивого преобразования чисел Фибоначчи / А.А. Борисенко, С.М. Маценко, Н.В. Истомин // Информационные процессы и технологии «Информатика 2013»: материалы 6-й Международной научно-практической конференции молодых ученых и студентов, 22–26 апреля 2013, Севастополь. – Севастополь: СевНТУ, 2013. – С. 190.

14. Борисенко А.А. Алгоритм завадостійкого перетворення двійкового коду в код Фібоначчі / А.А. Борисенко, С.М. Маценко, С.М. Мальченко, О.І. Ямник // Фізика, електроніка, електротехніка: матеріали науково-технічної конференції, 21–26 квітня 2014, Суми. – Суми: СумДУ, 2014. – С. 197.

15. Борисенко А.А. Оценки эффективности счетчика Фибоначчи в минимальных кодах представления / А.А. Борисенко, С.М. Маценко, В.В. Иванчук, С.О. Дегтяр // Інформаційні технології та комп'ютерна інженерія: матеріали 4-ї Міжнародної науково-практичної конференції, 28–30 травня 2014, Вінниця. – Вінниця: ВНТУ, 2014. – С. 279–281.

16. Борисенко А.А. Пристрій для дешифрування кодів Фібоначчі / А.А. Борисенко, А.П. Стахов, С.М. Маценко // Інформаційні технології та комп'ютерна інженерія: матеріали 5-ї Міжнародної науково-практичної конференції, 27–29 травня 2015, Івано-Франківськ – Вінниця. – Івано-Франківськ – Вінниця: Прикарпатський національний університет імені Василя Стефаника, 2015. – С. 279–281.

17. Борисенко А.А. Телекоммуникационная система передачи информации на основе быстродействующих счетчиков Фибоначчи / А.А. Борисенко, С.М. Маценко, Л.Б. Петришин // СВЧ-техника и телекоммуникационные технологии: материалы 25-й Международной конференции, 6–12 сентября 2015, Севастополь. – Севастополь: СевНТУ, 2015. – С. 219–220.

18. Borysenko A.A. Some Properties of Fibonacci Codes: The Use of Fibonacci Codes in Noise-Proof Digital Devices / A.A. Borysenko, V.V. Kalashnikov, N.I. Kalashnykova, S.M. Matsenko // Management of Technology and Engineering: 12th International Symposium on Management Engineering: book of abstracts of international conference, 1–4 September 2015, Japan. – Japan: Kitakyushu, 2015. – P. 293–297.

19. Пат. на корисну модель 89153 Україна, МПК (2014) H03K 23/00. Лічильник імпульсів / О.А. Борисенко, С.М. Маценко; заявн. Сумський державний університет. – № u201313302; заявл. 15.11.2013; опубл. 10.04.2014; Бюл. №7. – С. 1–5.

20. Пат. на корисну модель 99587 Україна, МПК (2015) H03M 7/36. Пристрій для дешифрування фібоначчєвих кодів / О.А. Борисенко, С.М. Маценко; заявн. Сумський державний університет. – № u201500089; заявл. 19.12.2015; опубл. 10.06.2015; Бюл. №11. – С. 1–4.

## АНОТАЦІЯ

**Маценко С.М. Синтез компонентів цифрових пристроїв на основі мінімальної форми коду Фібоначчі. – Рукопис.**

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп'ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Міністерство освіти і науки України, Харків, 2016.

У дисертації вирішено науково-прикладну задачу розробки методів синтезу швидкодіючих завадостійких компонентів цифрових пристроїв на основі мінімальної форми коду Фібоначчі при обмеженнях на апаратурні витрати.

Проведений аналіз шляхів підвищення швидкодії завадостійких цифрових пристроїв обґрунтував ефективність застосування для цієї мети мінімальної форми коду Фібоначчі.

В роботі був удосконалений метод синтезу завадостійких регістрів з виправленням помилок у фібоначчієвих числах, які в них зберігаються у мінімальній формі коду Фібоначчі.

Вперше розроблений метод синтезу та комп'ютерна модель завадостійких лічильників з підвищеною швидкодією на основі застосування мінімальної форми коду Фібоначчі.

Удосконалені методи синтезу перетворювачів двійкових кодів у коди Фібоначчі і зворотно за рахунок швидкодіючих, завадостійких лічильників Фібоначчі.

Вперше розроблений метод дешифрації фібоначчієвих чисел на основі їх фрактальної властивості. Розроблена комп'ютерна модель відповідних дешифраторів.

Проведені оцінки швидкодії, апаратурних витрат та завадостійкості розроблених в роботі компонентів цифрових пристроїв, які використовують мінімальну форму коду Фібоначчі.

**Ключові слова:** синтез, швидкодія, мінімальна форма, компоненти, цифрові пристрої, лічильники імпульсів, завадостійкість, код Фібоначчі, фрактали, апаратурні витрати.

## АННОТАЦИЯ

**Маценко С.М. Синтез компонентов цифровых устройств на основе минимальной формы кода Фибоначчи. – На правах рукописи.**

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты. – Харьковский национальный университет радиоэлектроники, Министерство образования и науки Украины, Харьков, 2016.

В диссертации решена научно-прикладная задача разработки методов синтеза быстродействующих, помехоустойчивых компонентов цифровых устройств на основе минимальной формы кода Фибоначчи.

В первом разделе на основании анализа литературных источников известных теоретических положений и технических решений рассматриваются пути повышения быстродействия помехоустойчивых цифровых устройств, обосновывается выбор предмета исследования, и формулируются задачи исследования. Обосновано применение естественной информационной избыточности с использованием кодов Фибоначчи с целью повышения быстродействия компонентов цифровых устройств.

Во втором разделе была проведена обобщенная оценка помехоустойчивости фибоначиевых компонентов цифровых устройств, работающих с фибоначиевыми числами в минимальной форме, и предложен метод их быстродействующего счета.

В третьем разделе проведен анализ фибоначиевых чисел в минимальной форме, и на его основе предложен метод исправления ошибок в регистрах Фибоначчи и его соответствующая структура.

В четвертом разделе внимание было уделено обзору фибоначиевых цифровых счетчиков, которые могут эффективно применяться во многих цифровых устройствах и системах, например частотомерах, лазерных дальномерах, таймерах, радиовысотомер. Предложен метод синтеза быстродействующих счетчиков Фибоначчи с параллельной передачей сигналов, работающих с числами в минимальной форме, и проведена их оценка по быстродействию и аппаратурным затратам. Из приведенных оценок следует, что с увеличением числа разрядов быстродействующих счетчиков Фибоначчи аппаратурные затраты в нем увеличиваются, что можно отнести к недостаткам данной структуры счетчиков, а задержки сигналов остаются постоянными, что приводит к неизменности их быстродействия. Кроме того, их структуры отличаются однородностью и простотой, что упрощает их реализацию и повышает надежность работы.

В пятом разделе был разработан и обобщен фрактальный метод дешифрации кодов Фибоначчи, синтезирована его структура и проведена оценка аппаратурных затрат и быстродействия. Данный метод дешифрации фибоначиевых чисел дает возможность выявления ошибок и существенно уменьшает аппаратурные затраты.

**Ключевые слова:** синтез, быстродействие, минимальная форма, компоненты, цифровые устройства, счетчики импульсов, помехоустойчивость, код Фибоначчи, фракталы, аппаратурные затраты.

## ABSTRACT

**Matsenko S.M. The synthesis components of digital devices based on minimal form Fibonacci code. – Manuscript.**

Thesis for a Ph.D. science degree by specialty 05.13.05 – computer systems and components. – Kharkiv National University of Radio Electronics, Ministry for Education and Science of Ukraine, Kharkiv, 2016.

The dissertation is dedicated to application of scientific task of developing methods for the synthesis of high-speed noise immunity components of digital devices, based Fibonacci code in the minimal form with restrictions on hardware expenses .

The analysis of ways to improve the performance of noise-resistant digital devices to substantiate the effectiveness of the use for this purpose Fibonacci code on the minimal form is provided

Is developed the method of synthesis and the computer model of the noise immunity register in the Fibonacci numbers that are stored in them minimal form.

Is developed the method of synthesis and the computer model of noise immunity counters with high speed through the application of the minimal forms of the Fibonacci code.

Is developed methods of synthesis of converters from binary codes to Fibonacci codes and vice versa on the basis of high-speed counters Fibonacci.

The methods for the synthesis of decoders of Fibonacci numbers by the classical scheme are improved and their new structure in the form of a fractal decoder with the appropriate computer model based on the application of the Fibonacci code of the minimal form .

Conducted performance evaluations, the cost of hardware and noise immunity the components digital devises, that use a minimal form of the Fibonacci code are conducted in the work.

**Key words:** synthesis, performance, minimal form, components, digital devices, pulse counters, interference resistance, Fibonacci code, fractals, hardware expenses.

Підписано до друку 01.03.2016 р.  
Формат 60х90/16. Умовн.-друк. арк. 1,1. Обл. вид. арк. 0,9.  
Тираж 100 прим. Замовлення № 174

Видавець і виготовлювач  
Сумський державний університет  
вул. Римського-Корсакова, 2, м. Суми, 40007  
Свідоцтво суб'єкта видавничої справи ДК №3062 від 17.12.2007.