

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
РАДІОЕЛЕКТРОНІКИ

ЗАЙЧЕНКО СЕРГІЙ ОЛЕКСАНДРОВИЧ

УДК 658.512.011:681.326:519.713

**МОДЕЛІ Й МЕТОДИ ФУНКЦІОНАЛЬНОЇ ВЕРИФІКАЦІЇ
ЦИФРОВИХ СИСТЕМ НА ОСНОВІ ТЕМПОРАЛЬНИХ АСЕРЦІЙ**

05.13.05 – Комп'ютерні системи та компоненти

АВТОРЕФЕРАТ
дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків 2011

Дисертацією є рукопис.

Робота виконана у Харківському національному університеті радіоелектроніки, Міністерство освіти і науки України.

Науковий керівник: доктор технічних наук, професор
Хаханов Володимир Іванович, Харківський
національний університет радіоелектроніки,
декан факультету комп'ютерної інженерії та
управління.

Офіційні опоненти: доктор технічних наук, професор
Краснобаєв Віктор Анатолійович,
Харківський національний технічний
університет сільського господарства
імені П. Василенка, професор кафедри
автоматизації та комп'ютерних технологій;

доктор технічних наук, професор
Хажмурадов Манап Ахмадович,
Національний науковий центр
“Харківський фізико-технічний інститут”,
начальник відділу математичного забезпечення.

Захист відбудеться “27” ____ 04 ____ 2011 року о 13-00 годині на засіданні спеціалізованої вченої ради Д64.052.01 у Харківському національному університеті радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

Автореферат розісланий “24” ____ 03 ____ 2011 року.

Вчений секретар
спеціалізованої вченої ради

Чалий С.Ф.

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Спеціалізовані та стандартизовані системи, згідно топ-десятьці від Gartner Research Group, є одним з пріоритетних напрямів розвитку ринку електронних технологій. Він визначається істотними інвестиціями з боку провідних компаній планети, що формують індекс NASDAQ (Intel, Xilinx, Apple) і пропонують цікаві рішення у вигляді планшетів, телекомунікаційних і DSP виробів. Зазначені компанії орієнтуються на подальший розвиток сегменту ринку, орієнтованого на надання нових сервісів з боку компактних та енергоощадних цифрових систем на кристалах з річним випуском більше 2,5 мільярдів. Вентильна потужність силіконового кристала складає нині до 1 млрд транзисторів, що змушує виробників шукати нові ефективні шляхи системного та RTL-проекування, тестової та часової верифікації, а також синтезу функціональних модулів за допомогою мов System Verilog і Verilog з використанням IEEE стандартів тестопридатного проєкування й новітніх ESL Design технологій. Найбільш складним і витратним етапом сучасного циклу створення цифрової системи є функціональна верифікація – процес пошуку, виявлення й усунення помилок системної моделі відносно специфікації, на яку витрачається до 70% загального часу проєкування. Для досягнення якості проєкту, яка задовольняє вимогам ринку електронних технологій, провідні компанії координують дії, направлені на створення та впровадження сучасних технологій тестування й верифікації, що формують інфраструктури тестопридатного проєкування моделей системного, реєстрового та вентильного рівнів опису проєкту. Це дозволяє підвищити ефективність проєкування за умов спеціалізації та стандартизації рішень, які визначаються спільним використанням трьох взаємно суперечних параметрів: якість, швидкодія, апаратні витрати. Дисертаційна робота спрямована як на створення нових моделей та методів верифікації, так і на ефективне усунення помилок, обумовлених: 1) людським фактором – помилки, що допускаються інженерами при створенні системної моделі, тестів і специфікації в процесі проєкування; 2) недосконалістю засобів діагностування в системах автоматизації, які утруднюють локалізацію й усунення причини виникнення помилки; 3) недостатньою продуктивністю й точністю програмних систем автоматизації, якість яких покращується значно повільніше, ніж збільшується складність оброблюваних моделей. Комплексне вирішення проблеми верифікації системних моделей дозволить суттєво зменшити витрати на проєкування цифрових систем на кристалах. Згідно з дослідженнями провідних світових компаній в області EDA (Cadence Design Systems, Synopsys Inc., Mentor Graphics Corporation, Magma, IBM, Intel, Sun Microsystems, Cisco Systems Inc., Atrenta, Aldec Inc.) зусилля вчених мають бути зосереджені на створенні ефективних методів верифікації, які дозволяють: 1) в десятки разів знизити імовірність виникнення помилок за рахунок зменшення участі людини в процесі проєкування; 2) забезпечити виявлення та діагностування допущених неточностей на ранніх стадіях проєкування в цілях скорочення часу та зменшення вартості процесу усунення невідповідностей специфікації; 3) на поря-

док збільшити продуктивність і надійність систем верифікації за рахунок підвищення рівня абстракції моделей і тестових впливів. Проблемою автоматизованого проектування, тестування й верифікації цифрових систем успішно займаються вчені: E. Clarke, J. Bergeron, L. Bening, H. Foster, R. Drechsler, P. Yeung, C. Eisner, M. Geilen, S. Sutherland, P. Rashinkar, Z. Navabi, A. Jerraya, J. Roth, D. B. Armstrong, M. Breuer, Y. Zorian, P. Prinetto, J. Abraham, H. Fujiwara, I. Pomeranz, T. Nishida, X. Wang, F. Fummi, A. I. Петренко, А.М. Романкевич, Д.В. Сперанський, П.П. Пархоменко, Ю.В. Малишенко, Р. Убар, В.П. Чіпуліс, Ю.А. Скобцов, В.С. Харченко, Л.В. Дербунович, В.Н. Ярмолик, В.А. Твердохлебов, А.Н. Чеботарьов.

Зв'язок з науковими програмами, планами, темами. Розробка основних положень дисертаційного дослідження здійснювалася відповідно до планів НДР, програм і договорів, виконуваних у Харківському національному університеті радіоелектроніки: 1) Договір про дружбу та співробітництво між ХНУРЕ та корпорацією "Aldec Inc." (USA) № 03 від 09.12.2009; 2) Договір про науково-технічне співробітництво в галузі створення систем автоматизованого тестування з Талліннським технічним університетом № 01 від 07.04.2004; 3) Грантовий дослідницький проект «SIGETEST – моделювання та синтез тестів для складних цифрових систем», ініційований компанією Intel, 2003; 4) Госпдоговір із ЗАТ «Северодонецьке НВО Імпульс» «Розробка технології автоматизованого проектування відмовостійких програмно-технічних комплексів»; 5) Держбюджетна НДР «Дослідження й розробка методів, структурних та архітектурних принципів апаратних і програмних засобів швидких цифрових перетворень зображень», розділ «Розробка математичних методів, алгоритмів та інструментальних засобів надшвидких перетворень зображень» (№ ДР 0101U001948). При виконанні зазначених вище договорів і програм автор дисертації брав безпосередню участь в розробці моделей та методів аналізу темпоральних описів під час моделювання систем на кристалах, а також в реалізації програмних компонентів системи верифікації на основі асерцій у складі програмного комплексу Riviera (Aldec Inc.) в якості консультанта й інженера-програміста.

Мета дослідження – розробка моделей та методів функціональної верифікації цифрових систем на кристалах на основі використання темпоральних асерцій при тестовому діагностуванні помилок в процесі програмно-апаратного моделювання для істотного підвищення якості цифрового виробу та зменшення часових і матеріальних витрат проектування.

Для досягнення поставленої мети необхідно вирішити такі задачі:

1. Розробити аналітичну модель верифікації цифрових систем на основі використання динамічних реєстрових черг для аналізу асерцій лінійної темпоральної логіки.
2. Розробити модель інтерпретації лінійної темпоральної логіки та методи аналізу асерцій з використанням режиму «глобального» часу на основі складних семантичних операторів з функціональними можливостями динамічної верифікації.

3. Удосконалити модель взаємодії даних реєстрового рівня, процес-моделі обробки подій і функцій-черг для програмної реалізації асерційних операторів в процесі моделювання.

4. Удосконалити модель процесу верифікації та діагностування шляхом апаратної підтримки моделювання і введення в програмний код асерційної надлишковості.

5. Розробити програмно-апаратне середовище процесу верифікації цифрових систем на кристалах при спільному використанні системи аналізу асерцій та існуючих технологій тестопридатного проектування програмно-апаратних продуктів.

Об'єкт дослідження – процес проектування та верифікації цифрових систем на кристалах за допомогою мов опису апаратури високого рівня та HDL-симулятора.

Предмет дослідження – системні моделі та методи функціональної верифікації цифрових систем на кристалах на основі використання лінійної темпоральної логіки та мов опису асерцій.

Методи дослідження: булева алгебра, лінійна темпоральна логіка, теорія множин, теорія графів, теорія цифрових автоматів – для побудови математичної моделі верифікації; об'єктно-орієнтований аналіз, теорія алгоритмів, методи проектування програмних систем, теорія формальних мов, методи динамічного моделювання цифрових систем – для побудови структур даних і розробки програмної системи верифікації; методи аналізу продуктивності верифікації моделей цифрових систем – для досягнення швидкодії запропонованих методів; методи логічного синтезу, методи верифікації перетинів тактових доменів, методи аналізу функціонального покриття, методи генерації обмежених псевдовипадкових тестових впливів – для розробки маршрутів практичного застосування запропонованої системи.

Наукова новизна одержаних результатів:

1) уперше запропоновано аналітичну модель верифікації HDL-коду, яка характеризується використанням динамічних реєстрових черг при аналізі темпоральних асерцій в процесі моделювання тестів цифрових систем на кристалах, що забезпечує збільшення швидкодії моделювання і глибини діагностування помилок коду;

2) уперше запропоновано модель інтерпретації лінійної темпоральної логіки з використанням режиму «глобального» часу, яка характеризується наявністю складних семантичних операторів, що дозволяє розширити функціональні можливості динамічної верифікації до підмножини операторів рівня формальних методів;

3) уперше запропоновано методи аналізу механізму асерцій з використанням предикторних зв'язків і зворотного повідомлення, направлені на зменшення кількості транспортованих подій, які характеризуються додатковими структурними зв'язками й лініями спостереження, що дає можливість істотно підвищити швидкодію моделювання і зменшити час верифікації проекту;

4) удосконалено модель взаємодії даних реєстрового рівня і побудовані на ній процес-моделі обробки послідовностей подій та функцій-черг, які відрізня-

ються константною обчислювальною складністю завдяки непрямій інтерпретації індексів та використанню контейнера подій, що забезпечує зменшення структурної складності програмної реалізації моделі динамічних реєстрових черг;

5) отримала подальший розвиток модель процесу верифікації та діагностування проєктованого виробу, яка відрізняється введенням в код програмної надлишковості у вигляді асерцій і апаратною підтримкою моделювання, що дає можливість істотно зменшити загальний час проєктування цифрових систем на кристалах.

Практичне значення одержаних результатів:

1. Моделі та методи функціональної верифікації на основі темпоральних асерцій доведено до практичної реалізації у вигляді програмних компонентів системи верифікації Riviera (Aldec Inc.), що дає можливість синтезувати спеціалізовані й ефективні маршрути перевірки та діагностування цифрових систем на кристалах.

2. Інтеграція асерційних моделей та модифікованих структур даних з програмним продуктом Riviera дозволила істотно (20%-80%) скоротити часові витрати на моделювання функціональності й асерцій в процесі тестування цифрових проєктів.

3. Продукт Riviera, що містить компоненти асерційної темпоральної верифікації, які дозволяють на 3-5% підвищити якість проєктів, нині займає передові позиції на світовому ринку електронних технологій з кількістю інсталяцій 5000 в рік у компаніях та університетах більш ніж 20 країн планети.

4. Інфраструктура апаратної верифікації дає можливість розміщувати моделі проєктованої системи разом із збудованими в FPGA-прототип асерціями, що дозволяє істотно (x1000) зменшити час верифікації у порівнянні з суто програмними рішеннями.

5. Запропоновані моделі та методи, що становлять основу програмно-апаратного середовища верифікації на основі асерцій істотно (30%) підвищують тестопридатність внутрішніх ліній цифрової системи, що дозволяє зменшити часові витрати на створення тесту, збільшити його функціональну повноту і якість проєкту в цілому.

Обґрунтованість підтверджується результатами експериментальних досліджень, верифікацією більше 50 реальних моделей систем на кристалах промислового використання. Результати експериментів підтверджують високу ефективність виявлення функціональних порушень в аналізованих моделях, а також істотне покращення продуктивності розробленої програмно-апаратної системи у порівнянні з існуючими аналогами. Достовірність наукових висновків підтверджується інтеграцією розробленої програмної системи в комерційний програмний комплекс Riviera компанії Aldec Inc. (США). Комплекс використовується в 5000 компаній, 20 країнах світу, у тому числі США, Японії, Південній Кореї, Тайвані, Франції, Великобританії, Росії (сертифікат про впровадження від 2.07.2010). На території України результати дисертації у складі програмного комплексу Riviera

використовуються в організаціях: 1) ВАТ АТ «НДІРВ», Харків (довідка про впровадження, 25.06.2010; 2) Харківському національному університеті радіоелектроніки (акт про впровадження, 12.07.2010).

Особистий вклад. Усі основні результати отримано здобувачем особисто. У роботах, опублікованих зі співавторами, здобувачеві належать: [1] – метод використання асерційних бібліотек для підвищення тестопридатності; [2] – структури даних для аналізу темпоральної асерційної логіки, метод синтезу структур даних реєстрового рівня; [3] – аналіз методів, що використовуються на етапі проектування до верифікації в сучасних системах на кристалах; [4] – побудова списків несправностей під час моделювання; [5] – модель адаптивного управління структурами даних для списків несправностей під час моделювання; [6] – принцип перевірки несправностей без використання побудови тестів, цикл верифікації з використанням асерцій; [7] – аналітична модель верифікації, основні елементи моделі динамічних черг реєстрового рівня для аналізу асерцій; [8] – інтерпретативна модель лінійної темпоральної логіки з використанням режиму «глобального часу»; [9] – модель процесу верифікації та діагностування з використанням асерційних бібліотек; [10] – алгоритми синтезу апаратного представлення асерційних моніторів; [11] – методи аналізу механізму асерцій, оптимізація процедур синхронізації в системі верифікації SoC на основі темпоральних асерцій; [12] – аналіз складних операторів лінійної темпоральної логіки; [13] – модель інтерпретації операторів LTL-логіки; [14] – формальна семантика елементів моделі динамічних реєстрових черг, модель роботи асерційного процесу; [15] – оптимізація циклу аналізу асерцій; [16] – алгоритм синтезу апаратного представлення асерційних моніторів; [17] – моделювання тестів для цифрових систем на кристалах; [18] – аналіз методів, що використовуються на етапі проектування; [19] – аналіз застосування програмних синхронізувальних структур для побудови інтелектуальних testbench; [20] – модель застосування програмних синхронізувальних структур для побудови інтелектуальних testbench; [21] – модель управління структурами даних для формування списків несправностей під час моделювання; [22] – метод побудови списків несправностей під час моделювання; [23] – модель управління структурами даних для списків несправностей; [24] – метод підключення вхідних дачачів до SystemC-транзакторів; [25] – побудова механізму асерцій для функціональної верифікації; [26] – метод аналізу результатів асерцій з убудованим в SoC мікропроцесором; [27] – аналіз методів проектування сучасних систем на кристалах; [28] – метод аналізу результатів асерцій із застосуванням убудованого в SoC мікропроцесора; [29] – модель верифікації проекту від розробки до функціональної верифікації; [30] – модель аналізу програмного коду; [31] – аналіз застосування програмних синхронізувальних структур для побудови інтелектуальних testbench в SoC; [32] – принцип моделювання перетинів тактових доменів для обробки в системах верифікації; [33] – модель структурного та формального аналізу верифікації.

Апробація результатів дисертації. Основні результати роботи представлені й обговорені на 11 конференціях: 1) міжнародна науково-технічна конфе-

ренція IFAC «Workshop Programmable Systems and Devices», Острава, 2003; 2) міжнародна науково-технічна конференція «Modern Problems of Radio Engineering, Telecommunications and Computer Science», Львів-Славське, 2004; 3) 8 міжнародний форум «Радиоэлектроника и молодежь в XXI веке», Харків, 2004; 4) 5 міжнародна науково-практична конференція «Современные информационные и электронные технологии», Одеса, 2004; 5) міжнародна конференція «Euromicro Symposium on Digital System Design», Rennes, 2004; 6) 2 міжнародна конференція «East-West Design & Test Workshop», Алушта, 2004; 7) 4 міжнародна науково-технічна конференція «Проблемы информатики и моделирования», Харків, 2004; 8) 10 міжнародна науково-технічна конференція «Техника передачи, приема и обработки информации», Харків, 2004; 9-10) 3 міжнародна конференція «East-West Design & Test Workshop», Одеса, 2005; 11-12) 4 міжнародна конференція «East-West Design & Test Workshop», Сочі, 2006; 13) перша міжнародна конференція «Глобальные информационные системы. Проблемы и тенденции развития», Харків-Туапсе, 2006; 14) 5 міжнародна конференція «East-West Design & Test Workshop», Єреван, 2007; 15) 9 міжнародна конференція «The Experience of Designing and Application of CAD Systems in Microelectronics», Львів-Поляна, 2007; 16) 10 міжнародна конференція «CAD Systems in Microelectronics», Львів, 2008; 17) 6 міжнародна конференція «East-West Design & Test Symposium», Львів, 2008, 18) 7 міжнародна конференція «East-West Design & Test Symposium», Москва, 2009.

Публікації. Результати наукових досліджень по дисертаційній роботі відбиті в 33 друкованих працях. Серед яких: 15 статей, опублікованих у наукових виданнях, які включені до Переліку ВАК України, а також 18 матеріалів у збірниках праць наукових конференцій.

Структура й обсяг дисертації. Дисертаційна робота містить 150 сторінок основного тексту, 71 рисунок, 12 таблиць. Її структура складається зі вступу, 4 розділів, 20 підрозділів, висновків, списку використаних джерел з 216 назв (на 23 с.), 2 додатків (на 16 с.).

ОСНОВНИЙ ЗМІСТ РОБОТИ

Вступ містить обґрунтування актуальності вирішуваних задач, формулювання мети, об'єкта та предмета дослідження, сукупність наукових результатів, які виносяться на захист, відомості про їх апробацію та реалізацію.

Перший розділ присвячено розгляду питань розвитку нових і удосконалення існуючих методів проектування та верифікації систем на кристалах. Особлива увага приділяється методам верифікації SoC на основі темпоральних асерцій. Функція мети дослідження формулюється як підвищення ефективності процесу проектування на основі спеціалізації та стандартизації технологічних рішень і визначається пошуком мінімуму середнього значення трьох взаємно суперечних відносних параметрів: рівень помилок проекту L , час верифікації T , програмно-апаратна надлишковість H :

$$E = F(L, T, H) = \min\left[\frac{1}{3}(L + T + H)\right]; \quad Y = (1 - P)^n;$$

$$L = 1 - Y^{(1-k)} = 1 - (1 - P)^{n(1-k)}; \quad T = \frac{(1-k) \times H^s}{H^s + H^a}; \quad H = \frac{H^a}{H^s + H^a}.$$

Параметр L , як доповнення до виходу придатної продукції Y , залежить від тестопридатності проекту k , ймовірності P існування несправних компонентів і кількості невиявлених помилок n . Час верифікації визначається: тестопридатністю або структурною складністю програмного коду k , помноженою на кількість рядків функціонального коду, віднесеного до загальної кількості рядків проекту.

У другому розділі запропоновано аналітичну модель верифікації HDL-коду та інтерпретативну модель лінійної темпоральної логіки з використанням режиму «глобального» часу. Аналітична модель верифікації HDL-коду з використанням механізму темпоральних асерцій орієнтована на досягнення заданої глибини діагностування та представлена співвідношеннями:

$$M = f(F, L, T, C, A, t); \quad C = \{C_1, C_2, \dots, C_i, \dots, C_m\}; \quad L = \{L_1, L_2, \dots, L_i, \dots, L_n\};$$

$$A(t) = \{A_1, A_2, \dots, A_i, \dots, A_k\}; \quad A \subseteq L; \quad F = L \times C; \quad k \leq n; \quad T = \{T_1, T_2, \dots, T_i, \dots, T_p\}.$$

Тут C_i – група операторів коду, навантажена на вершину L_i (змінна, реєстр, лічильник, пам'ять), що формує стан вершини; F – функціональність, представлена транзакційним графом $F = L \times C$ у вигляді декартова добутку множини вершин та дуг; A – сукупність темпоральних асерцій, як підмножина вершин транзакційного графу $A \subseteq L$. Метод пошуку функціональних порушень (ФП) блоку операторів коду використовує попередньо побудовану таблицю ФП $V = [V_{ij}]$, рядок якої є відношенням між тестовим сегментом і підмножиною програмних блоків $T_i \approx (V_{i1}, V_{i2}, \dots, V_{ij}, \dots, V_{in})$ з можливими ФП. Стовпець таблиці формує відношення між програмним блоком і тестовими сегментами $V_j \approx (T_{1j}, T_{2j}, \dots, T_{ij}, \dots, T_{pj})$, які можуть перевіряти блок з ФП. На стадії моделювання визначається узагальнена реакція $m = \{m_1, m_2, \dots, m_i, \dots, m_p\}$ механізму асерцій F на тест, шляхом формування $m_i = (A_1 \vee A_2 \vee \dots \vee A_i \vee \dots \vee A_k)$, $A_i = \{0, 1\}$ як реакції асерцій на тест-сегмент T_i . Пошук ФП базується на визначенні хог-операції між вектором стану асерцій та стовпцями таблиці ФП $m \oplus (V_1 \vee V_2 \vee \dots \vee V_j \vee \dots \vee V_n)$. Вибір розв'язку визначається сукупністю векторів V_j з мінімальною кількістю одиничних координат
$$V = \min_{j=1, n} [V_j = \sum_{i=1}^p (V_{ij} \oplus m_i)],$$
 які формують програмні блоки з ФП, що перевіряються на тестових сегментах.

Модель інтерпретації лінійної темпоральної логіки з використанням режиму «глобального» часу базується на такому перетворенні формул лінійної темпоральної логіки (LTL – Linear Temporal Logic), при якому результат, що пов'язується з обчислювальним шляхом нескінченної довжини, замінюється не-

скінченною множиною результатів для всіх можливих скінченних обчислювальних шляхів, які починаються у різні початкові моменти часу. Інтерпретацію ключових глобальних темпоральних операторів наведено у табл. 1. На кожен з обчислювальних шляхів, існуючих в рамках тесту, накладається окреме незалежне обмеження. Модель дозволяє підвищити продуктивність аналізу обчислювальних шляхів за рахунок усунення теоретично нескінченної фази розгалуження.

Запропоновано спільне використання повноцінної та спрощеної інтерпре-

Таблиця 1. Режими інтерпретації темпоральних операторів

Формула PSL	Повноцінна інтерпретація	Спрощена інтерпретація
always f	$\pi \models \text{always } f \Leftrightarrow \pi \models G f$ $\forall k, 0 \leq k < \pi , \pi_k \models f \Rightarrow 1$	$\pi \models \text{always } f \Leftrightarrow \forall k, k < \pi , \pi_k \models f$ $\forall k, 0 \leq k < \pi , \{\pi_0 \models f \Rightarrow 1, \dots, \pi_k \models f \Rightarrow 1, \dots\}$
never f	$\pi \models \text{never } f \Leftrightarrow \pi \models \neg(G \neg f)$ $\exists k, 0 \leq k < \pi , \pi_k \not\models f \Rightarrow 1$	$\pi \models \text{never } f \Leftrightarrow \forall k, k < \pi , \pi_k \not\models f$ $\forall k, 0 \leq k < \pi , \{\pi_0 \not\models f \Rightarrow 1, \dots, \pi_k \not\models f \Rightarrow 1, \dots\}$
eventually! f	$\pi \models \text{eventually! } f \Leftrightarrow \pi \models F f$ $\exists k, 0 \leq k < \pi , \pi_k \models f$	$\pi \models \text{eventually! } f \Leftrightarrow \pi \models \{[*]; f\}$

тації темпоральних операторів при функціональній верифікації системи. На першому кроці всі темпоральні формули перевіряються в режимі глобального часу. При виявленні порушень з конкретними верифікаційними твердженнями, проблемні формули перевіряються в діагностичному режимі зі спрощеною інтерпретацією. Інтерпретація PSL-властивості property $p = \text{eventually!}\{a; b; c\}$ у спрощеній підмножині (1) та в режимі глобального часу (2):

$$\pi \models \text{eventually!}\{a; b; c\} \Leftrightarrow \pi \models \{[*]; a; b; c\}, \quad (1)$$

$$\pi \models \text{eventually!}\{a; b; c\} \Leftrightarrow \pi \models X!\{a; b; c\}. \quad (2)$$

Час однієї ітерації верифікації в режимі глобального часу визначається за

формулою: $N_{\text{CLK}}^{\text{MAX}} \times \bar{t}_{\text{SIM}} + \sum_{i=1}^{N_A} N_{\text{CLK}}^i \times \bar{t}'_{\text{ev}}$, де N_{CLK} – кількість тактів моделювання, \bar{t}_{SIM} – середній час моделювання одного такту, N_A – кількість асерцій в моделі, \bar{t}'_{ev} – середній час обробки асерції на одному такті. Найбільше зменшення обчислювальних витрат спостерігається при швидкому виявленні порушень (багато помилок на ранніх фазах проектування), коли значно скорочується кількість тактів, на яких активно аналізуються асерції.

Для істотного покращення продуктивності аналізу асерцій та підтримки темпоральних операторів, що визначаються для нескінченних обчислювальних шляхів, запропоновано модель динамічних регістрових черг (DRTLQ – Dynamic Register-Transfer-Level Queues), орієнтовану на високопродуктивний аналіз елементів лінійної темпоральної логіки, виявлення та локалізацію порушень. Основним поняттям моделі DRTLQ є асерційний процес – цілісна сукупність множини

верифікаційних змінних B , списку поточних потоків активації Ω , черги послідовних функцій F і темпоральних властивостей P , одного асерційного монітора M , що відноситься до певного функціонального блоку системи та реалізує верифікацію логічно зв'язаної групи темпоральних тверджень в процесі моделювання: $AP = \{B, \Omega, F, P, M\}$. Обчислювальні процедури аналізу темпоральних операторів в асерційному процесі виконуються при змінненні значень верифікаційних змінних, які створюють події $e = \{e_{\leftarrow}, e_{\rightarrow}, e_{\downarrow}, \rho, t_b, t_a\}$, де $e_{\leftarrow}, e_{\rightarrow}, e_{\downarrow}$ – зв'язки події з іншими подіями, ρ – характеристичний вектор події, t_b, t_a – час створення й активації події відповідно. Подія може бути пов'язана з іншими подіями у двох видах ланцюжків. Правий ланцюжок r_{\rightarrow} формується двонаправленими подієвими зв'язками $e_{\rightarrow}, e_{\downarrow}$ і відповідає подіям, пов'язаним одним кільцем активації. Лівий однонаправлений ланцюжок r_{\leftarrow} формується подієвими зв'язками e_{\leftarrow} , відповідає подіям різних кілець активації, які одночасно транспортуються через вибраний елемент моделі (рис. 1). Послідовностною функцією $f \in F$ в моделі DRTLQ є обчислювальна процедура,

що характеризується множинами вхідних, внутрішніх та вихідних подій, здійснює їх покрокове перетворення на кожному тактовому циклі верифікації. Послідовностними функціями є: функція-генератор, пов'язана з певною верифікаційною змінною $b \in B$, яка не має вхідних та внутрішніх подій, миттєво породжує подію e у вихідній множині з поточним значенням верифіка-

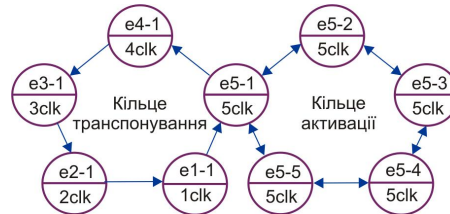


Рис. 1. Ланцюжки подій в моделі DRTLQ

ційної змінної: $f_{gen}(b \in B)(t) = [e_0 : \{e_{\leftarrow} = e_0, \begin{cases} e_{\rightarrow} = \varepsilon, \rho^{VAL} = b(t) \end{cases} \}];$ функція кон'юнктивного конкатенування, що має два операнди, один з яких обов'язково функція-генератор, значення вихідних подій якого використовується в якості умови транспортування ланцюжків подій з другого операнда:

$$f_{conj}(t, f_1, f_{gen}) : a = \rho^{VAL}(e^0 = \text{first}(f_{gen}(t))), \begin{cases} a = 1 \Rightarrow f_{conj}(t, f_1, f_{gen}) = f_1(t); \\ a = 0 \Rightarrow f_{conj}(t, f_1, f_{gen}) = \emptyset; \end{cases}$$

де $\text{first}(f(t))$ – перша подія, яка належить множині; функції-черги, що моделюють часові інтервали; функції-репетиції, які реалізують циклічний аналіз булевого виразу або іншої послідовностної функції; функції реалізації логічних послідовностних операторів OR, AND, INTERSECT, WITHIN, а також імплікації $|\rightarrow, |\Rightarrow$.

У третьому розділі запропоновано модель взаємодії даних реєстрового рівня, побудовані на них процес-моделі обробки послідовностей подій та функцій-черг, методи аналізу механізму асерцій. *Модель взаємодії даних реєстрового рівня* призначена для реалізації функцій-черг зі скінченними та нескінченними

інтервалами. Час знаходження події в черзі скінченної довжини визначається межами інтервалу $[N : M]$, $N \leq M$, $N \geq 0$, $M > 0$ і не перевищує M тактів моделювання. Час знаходження події в черзі при значенні $M \rightarrow \infty$ визначається зовнішніми умовами. Запропоновано дві альтернативні моделі реалізації черг: табуляційна, що реалізує випадок скінченних інтервалів, та динамічна, що забезпечує підтримку випадку $M \rightarrow \infty$. Табуляційна модель реалізації передбачає виділення статичного масиву подієвих контейнерів для лівих ланцюжків, а також урахування позицій табуляції:

$$Q_{[N:M]}^{\mapsto} : \langle \Pi_0 \cdots \Pi_{M-1}; P_{input}, P_{min}, P_{max} \in [0; M-1] \rangle, \text{ де}$$

$\Pi_0 \cdots \Pi_{M-1}$ – фіксована кількість контейнерів подій, $P_{input}, P_{min}, P_{max}$ – позиційні змінні табуляції вхідного контейнера, мінімального та максимального вихідного контейнерів. Оцінка обчислювальної складності одного кроку моделювання табуляційної черги відносно параметрів N, M :

$$t : Q_{[N:M]}^{\mapsto}(N, M) = t_{input} + t_{shift} + t_{output}; \quad t_{input}(N, M) = t_{\leftarrow} \times \left| \Pi_{P_{input}} \right| = O(1);$$

$$t_{shift}(N, M) = O(1); \quad t_{output}(N, M) = (M - N) \times t_{\leftarrow} \times \overline{|\Pi_i|}, i \in [N-1 : M-1] = O(1);$$

де t_{input} – час зчитування вхідної множини, t_{shift} – час зсуву внутрішніх подій; t_{output} – час формування вихідної множини подій, t_{\leftarrow} – час транспортування однієї події з контейнера в інший контейнер; $\left| \Pi_{P_{input}} \right|$ – розмір вхідної множини подій, $\overline{|\Pi_i|}$ – середній розмір множин подій, що направляються на вихід. Модель динамічної черги являє собою одностов'язний список блоків B , який містить контейнер для зберігання подій Π_i та час зчитування контейнера з входу черги t_{read} : $Q_{[N:\infty]}^{\infty} : \langle B : \{b_0..b_i..\}, \forall b \in B : \langle \Pi, t_{read} \rangle \rangle$. Час виконання однієї ітерації аналізу динамічної черги та витрати пам'яті не залежать від значення параметру N , а визначаються лінійно відносно кількості накопичених чергою блоків.

Процес-моделі обробки послідовностей подій та функцій-черг орієнтовані на реалізацію послідовностних функцій за допомогою розширень подій – послідовності зв'язаних допоміжних інформаційних блоків, прикріплених до події та призначених для реалізації функції її обробки. Структура подієвого розширення, що реалізує логічні функції AND, OR, INTERSECT:

$$X_L : \langle X_{NEXT}, t_c, \rho = \{ \rho^{VAL}; \rho^{RESOLVED} \}, N_T, N_C \rangle,$$

де X_L – подієве розширення для логічних функцій; X_{NEXT} – наступне прикріплене розширення; t_c – час створення розширення; ρ – характеристичний вектор розширення, який містить атрибути ρ^{VAL} (вслідне значення функції), $\rho^{RESOLVED}$ (індикатор групи); N_T – загальна кількість розгалужень, породжених функцією; N_C – кількість розгалужень із завершеним аналізом. Задачею елемента-розділювача є прикріплення до подієвих структур даних розширення, яке використовується у подальшому елементом-з'єднувачем для визначення

результату обчислення (рис.2). Для всіх подій e , що транспортуються через пару розділювач-з'єднувач функції логічного OR з прикріпленим до них розширенням X_L , обробка з'єднувачем складається з таких кроків:

- 1) $N_C(X_L) \leftarrow N_C(X_L) + 1;$
- 2) $c^{RESOLVED}(X_L) = 0 \Rightarrow$

$$\left\{ \begin{aligned} [c^{VAL}(e) = 0 \vee N_T(X_L) = N_C(X_L)] \Rightarrow [c^R(X_L) \leftarrow 1 \vee c^{VAL}(X_L) \leftarrow 0 \vee pr e] \vee \\ \vee \{c^{VAL}(e) = 1 \Rightarrow [c^R(X_L) \leftarrow 1 \vee c^{VAL}(X_L) \leftarrow 1 \vee propagate e]\} \end{aligned} \right\};$$
- 3) $[N_C(X_L) = N_C(X_L) \vee c^{RESOLVED}(X_L) = 1] \Rightarrow eliminate X_L.$

Реалізація репетицій також передбачає використання подієвих розширень, що визначають кількість виконаних ітерацій:

$$X_{[*N:M]} : \langle X_{NEXT}, K_I \rangle,$$

де $X_{[*]}$ – розширення, що прикріплюється до події функціями-репетиціями; K_I – кількість ітерацій, на яких подія вміщується у внутрішніх множинах репетиції. Для організації обчислювального циклу моделі DRTLQ розроблено методи аналізу механізму асерцій. Метод предикторних зв'язків. При транспортуванні подій через послідовний рівень моделі DRTLQ

Рис 2. Асоціація подій з розширенням

поширеною ситуацією може бути просування події з $\rho^{VAL} = 0$. 1. Для послідовності $\{a; b[*2]; c\}$ (рис.3) будь-який з виділених генераторів може видати подію з $\rho^{VAL} = 0$ і однозначно визначити вислідний негативний статус аналізу всієї послідовності. Введення швидкого прямого зв'язку транспортування події до наступного рівня структур моделі (асерційний монітор або темпоральна властивість) дозволяє однозначно достроково визначити негативний статус аналізу послідовності (рис.4).

2. Предикторний зв'язок з наступним рівнем створюється від елементів, які безпосередньо спостерігають стан, що може достроково завершити аналіз послідовності. 3. Виявлення і доставка подій з $\rho^{VAL} = 0$ по предикторному зв'язку забезпечується модифікацією процедури лівого

Рис 3. Аналіз послідовності $\{a; b[*2]; c\}$

Рис 4. Поняття предикторних зв'язків

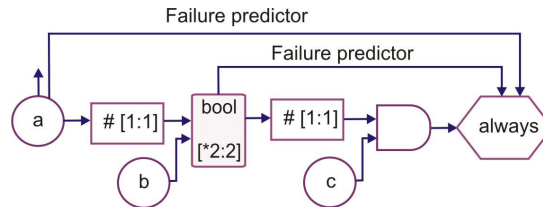


Рис 4. Поняття предикторних зв'язків

ітерування ланцюжків у відповідних контейнерах. Крім аналізу прапорця розв'язання правого ланцюжка, альтернативною умовою відокремлення події від ланцюжка транспортування є негативний статус аналізу. 4. Реакція асерційного монітору на появу події з негативним статусом по предикторному зв'язку залежить від його типу. Дозвільний монітор для обмеження виду $\text{always}\{\dots\text{seq}\dots\}$ повністю знищує потік активації, оскільки асерція однозначно вважається порушеною. Заборонний монітор виду $\text{never}\{\dots\text{seq}\dots\}$ при отриманні події $\rho^{\text{VAL}} = 0$, навпаки, знищує її, і тільки у тому випадку, коли подія є єдиною (останньою) у потоці активації, це приводить до розв'язання послідовності з позитивним статусом. До очікувальних моніторів виду $\text{eventually}\{\dots\text{seq}\dots\}$ також формуються предикторні зв'язки, роль яких полягає у виключенні невдалих спроб аналізу шляхом дострокового знищення поміченої невдалої події. Метод зворотного повідомлення інтервальних черг і репетицій розглянуто на прикладі послідовності $\{a;[*3:5];b\}$, що використовує інтервальну форму елемента-черги, на яку подається тестовий вплив. 1. На вихід черги подаються копії подій з внутрішніх множин, які досягли необхідного мінімального інтервалу чекання, але ще не досягли максимально допустимого. 2. Додавання додаткового керувального зворотного зв'язку між інтервальним послідовностним елементом та елементом-генератором, від якого він залежить. 3. Семантика функції-черги модифікується з урахуванням зв'язку зворотного повідомлення – булевого значення GCF – таким чином, що хибне значення, яке виникає на наступному елементі-генераторі, блокує копіювання зайвих ланцюжків внутрішніх подій у зв'язку з недоцільністю їх подальшого транспортування:

$$f_{\#}[N:M](t) = r_{M-1}(t-1) \cup \left\{ \bigcup_{i=N-1}^{M-2} k(r_i(t-1)), \text{GCF} = 1 \right\} \vee [\emptyset, \text{GCF} = 0]$$

4. При виконанні умови $\text{GCF} = 0$ на вихід черги надходять тільки ті події, які досягли максимального інтервалу чекання в черзі. Такі події не будуть знищені при проходженні елемента кон'юнктивної конкатенації, але їм буде присвоєно атрибут $\rho^{\text{VAL}} = 0$. Метод ієрархічного розв'язання логічних груп розглянуто на прикладі складної LTL-формули, яка містить ієрархічні вкладені логічні послідовності оператори OR, AND: $(\{a; b[*2]\} \mid \{a; [*2]; b\}) \mid (\{c; [*2]; d\} \& \{e; d; c\})$. 1. Формування статичної структури реалізації формули в моделі DRTLQ. 2. Виділення рівнів логічного розгалуження, прикріплення до подій, які надходять на вхід, відповідних подієвих розширень. 3. Доповнення логічних подієвих розширень зв'язками швидкого транспортування до елемента-з'єднувача з урахуванням атрибуту ρ^{RESOLVE} розширення події при ітеруванні подієвого контейнера. Ідея методу полягає у відмові від транспортування подій вже розв'язаної логічної групи, а також у швидкому просуванні розв'язувальної події до виходів моделі. Метод компресії потоку подій у нескінченній репетиції полягає у стисненні ланцюжка подій у контексті розв'язання функцій-репетицій з нескінченними правими інтервалами. Ланцюжок накопичених подій замінюється єдиною подією з прикріпленням до неї

спеціальним розширенням, яке визначає множину обчислювальних потоків, що моделюються: $X_{\infty} : \left\langle X_{\text{NEXT}}, N_c, \{\rho, e_{\downarrow \rightarrow}, e_{\uparrow \rightarrow}\}^{i=0..(N_c-1)} \right\rangle$, де X_{∞} – подієве розширення компресії, що прикріплюється; N_c – кількість стиснених подій; $\{\rho, e_{\downarrow \rightarrow}, e_{\uparrow \rightarrow}\}^{i=0..(N_c-1)}$ – характеристичний вектор і пара правих зв'язків однієї події, що увійшла у стиснене розширення. Події можуть бути стиснені в ланцюжок тільки у тому випадку, коли час створення кожної з них утворює неперервний ряд: $t_b(e_1) = t_b(e_2) - 1 = t_b(e_3) - 2 = \dots = t_b(e_{N_c}) - N_c + 1$.

У четвертому розділі представлено модель процесу верифікації та діагностування та метод синтезу структур даних реєстрового рівня. *Модель процесу верифікації та діагностування проектованого виробу* представлено у вигляді рівняння $T \oplus F = L$ або більш детально в компонентах:

$$\{T_w, T_t\} \oplus \{F_s, F_v\} = \{L_f, L_p, L_s\}, \quad (4)$$

де $\{T_w, T_t\}$ – робочі й тестові впливи або послідовності з очікуваними реакціями; $\{F_s, F_v\}$ – специфікована основна модель проектованого виробу і додаткова модель для верифікації – валідації; $L = \{L_f, L_p, L_s\}$ – списки (асерції) некоректностей (суперечних умов, дефектів), функціональних шляхів і станів, що перевіряються. Зрівняння (4) можна визначити тестову верифікацію на основі класичного тест-бенча: $T_t \oplus F_s = L_{ts}$, який передбачає побудову перевіряльних послідовностей для виявлення всіх дефектів або повну перевірку справності пристрою (блока) з використанням специфікованої моделі справної поведінки. Однак синтез повного відносно класу дефектів, що розглядається, тесту (NP-повна задача) для кожного проектованого виробу є одним з найбільш витратних етапів проектування, який вимагає значних часових та інженерних витрат. Функціональна верифікація з точки зору додаткових разових витрат є більш економічною, оскільки вона використовує робочі впливи від проектувальника, які не потрібно формувати для виробу, що тестується: $T_w \oplus \{F_s, F_v\} = L_{w\{s,v\}}$. Існують два шляхи виконання діагностичного експерименту над моделями проекту: 1) $T_t \oplus F_s = L_{ts}$; 2) $T_w \oplus \{F_s, F_v\} = L_{w\{s,v\}}$. Ці експерименти суттєво відрізняються часом їх підготовки та проведення, оскільки час генерації класичного тест-бенча T_t значно більше (у сотні разів) часу написання функціонального T_w . Однак T_t орієнтований на 100% повноту виявлення дефектів, що виникають в процесі проектування та виробництва, а T_w – на перевірку функціональних режимів, закладених розробником у специфікацію. Витрати на підготовку та проведення модельного експерименту. Стадія підготовки – часові витрати розробника: $[Q(T_t) \gg Q(T_w)] \& [Q(F_s) \approx Q(F_s, F_v)]$, за умови, що $Q(F_s) \gg Q(F_v)$. Стадія експерименту – час роботи процесора: $Q(T_t \times F_s) \gg Q(T_w \times \{F_s, F_v\})$. Ефективність методу асерції відносно тестової верифікації: $\Phi = \frac{Q(T_t) + Q(F_s) + k \times Q(T_t) \times Q(F_s)}{Q(T_w) + Q(F_s) + Q(F_v) + k \times Q(T_w) \times [Q(F_s) + Q(F_v)]}$, де k – ко-

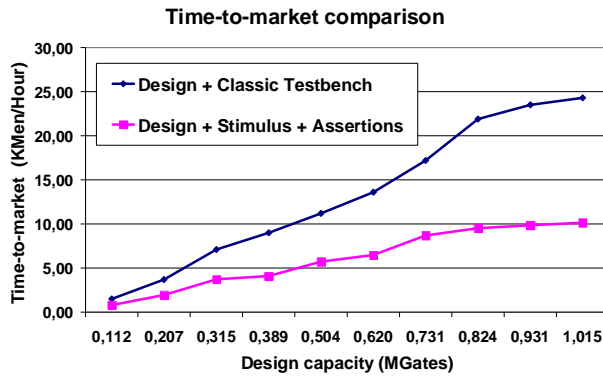


Рис. 5. Порівняльний аналіз методів верифікації

Зменшує час моделювання проекту та ймовірність виникнення помилок у ньому. Запропоновані моделі та методи верифікації інтегровані в середовище моделювання Riviera компанії Aldec, рис.6. Розроблено модулі асерцій, діагностування та зв'язку з проектом. Практична значущість дослідження полягає в удосконаленні існуючої моделі процесу верифікації за рахунок введення зазначених вище блоків, що дає можливість на 15% зменшити загальний час проектування цифрового виробу.

ефіцієнт зведення витрат машинного часу до ручної праці проєктувальника, що залежить від вартості робочої станції. Застосування асерцій істотно скорочує час ручного проєктування кваліфікованого інженера у 2-3 рази (рис. 5). Скорочення об'єму коду в моделі асерцій у декілька разів

ВИСНОВКИ

В результаті виконаних досліджень було вирішено науково-практичну задачу розробки нових моделей та методів аналізу темпоральних асерцій та їх імплементації у промислову систему Riviera для динамічної верифікації моделей цифрових систем на кристалах за підтримки апаратних прискорювачів на ранніх стадіях проектування, що забезпечує істотне зменшення (30%) часу виходу придатної продукції на ринок (time-to-market). Отримано такі наукові результати:

1. Нова аналітична модель верифікації HDL-коду цифрової системи, основана на використанні динамічних реєстрових черг і орієнтована на аналіз асерцій лінійної темпоральної логіки в процесі моделювання тестів, яка забезпечує збільшення швидкодії моделювання та задану глибину діагностування помилок коду.

2. Нова модель інтерпретації лінійної темпоральної логіки, що базується на використанні режиму «глобального» часу та складних семантичних операторів і призначена для перевірки формул під час симуляції. Модель дозволяє підвищити ефективність функціональної верифікації системи.

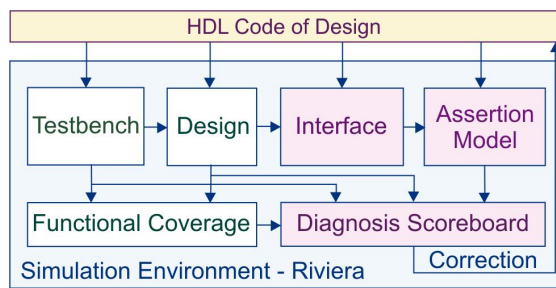


Рис. 6. Інтеграція розробок у систему Riviera

3. Нові методи аналізу механ-

ізму асерцій, оснований на моделі динамічних реєстрових черг і спрямовані на зменшення кількості породжуваних і транспортовуваних подій під час симуляції, що дає можливість істотно ($\times 10$ – $\times 100$) підвищити швидкодню моделювання та на 15% зменшити час верифікації проекту.

4. Удосконалені модель взаємодії даних реєстрового рівня та процес-моделі обробки подій і функцій-черг, які, на відміну від аналогів, характеризуються додатковими структурними зв'язками між елементами черги, що забезпечує покращення параметрів транспортування подій в процесі моделювання.

5. Отримала подальший розвиток інфраструктура процесу верифікації та діагностування, яка відрізняється від аналогів введенням у програмний код надлишковостей у вигляді асерцій та апаратною підтримкою моделювання, що дозволяє на 30% зменшити загальний час проектування цифрової системи на кристалі.

6. Доведено до практичної реалізації у вигляді програмних компонентів системи верифікації Riviera (Aldec Inc.) моделі та методи функціональної верифікації на основі темпоральних асерцій, що дає можливість істотно (20%–80%) зменшити часові витрати для моделювання функціональності та асерцій в процесі тестування цифрових проектів.

СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Каминская М.А. Повышение качества теста на основе метода анализа тестопригодности устройства на различных уровнях описания / М.А. Каминская, С.А. Зайченко // Научно-технический журнал «Радиоэлектронные и компьютерные системы». – Х. : ХАИ.– 2007. – № 7. – С. 140-146.
2. Зайченко С.А. Структуры данных и модели реализации базовых элементов модели динамических реєстровых очередей / С.А. Зайченко, В.И. Хаханов, С.В. Чумаченко // Научно-технический журнал Радиоэлектроника и информатика. – Х. : ХНУРЭ.– 2010. – № 1 (48). – С. 63-70.
3. Зайченко С. А. HDL-компилятор для тестирования проектируемых цифровых систем / С.А. Зайченко, И.В. Хаханова, И.А. Побеженко // АСУ и приборы автоматки: Всеукр. научно-техн. сборник.– Х.: ХНУРЭ.– 2004.– №126. – С. 87-97.
4. Зайченко С. А. Ускорение операций над множествами в дедуктивном методе моделирования неисправностей / С.А. Зайченко, А.Н. Парфентий, Ктейман Хассан // Вестник нац. технического университета «ХПИ». – 2004. – № 46. – С. 133-140.
5. Хаханов В. И. Анализ быстродействия базовых операций в дедуктивном методе моделирования неисправностей / В.И. Хаханов, С.А. Зайченко, А.А. Егоров // АСУ и приборы автоматки: Всеукр. межвед. научно-техн. сборник. – 2004. – № 127. – С. 138-148.
6. Хаханов В.И. Механизм асерций для функциональной верификации проектируемых цифровых систем // В.И. Хаханов, А.А. Егоров, С.А. Зайченко, В.И. Обризан, М.А. Каминская // АСУ и приборы автоматки: Всеукр. межвед. научно-техн. сборник. – Х.: ХНУРЭ.– 2005. – № 130. – С. 147-157.
7. Хаханов В.И. Модель динамических реєстровых очередей для быстродействующего анализа линейных темпоральных ограничений /

- В.И. Хаханов, С.А. Зайченко* // АСУ и приборы автоматики: Всеукр. межвед. научно-техн. сборник. –Х.: ХНУРЭ.–2007. –№ 136. –С. 10-25.
8. *Зайченко С. А.* Эффективная функциональная верификация моделей цифровых систем на кристалле на основе ассерций глобального времени / *С.А. Зайченко, В.И.Хаханов*// АСУ и приборы автоматики: Всеукр. межвед. научно-техн. сборник. –Х.: ХНУРЭ.–2007. –№ 137. –С. 4-13.
9. *Хаханов В.И.* Верификация цифровых устройств на основе использования анализа тестопригодности и ассерционных библиотек / *В.И. Хаханов, М.А.Каминская, С.А. Зайченко* // АСУ и приборы автоматики: Всеукр. межвед. научно-техн. сборник.–Х.: ХНУРЭ.–2007.–№140.–С. 75-83.
10. *Зайченко С. А.* Проектирование самотестируемых цифровых систем на основе аппаратной реализации мониторов темпоральных ассерций / *С.А. Зайченко, В.И.Хаханов* // АСУ и приборы автоматики: Всеукр. межвед. научно-техн. сборник. –Х.: ХНУРЭ.–2008. –№ 141. –С. 126-139.
11. *Зайченко С. А.* Аспекты синхронизации в системе верификации System-on-Chip на основе темпоральных ассерций / *С.А. Зайченко, В.И. Хаханов* // АСУ и приборы автоматики: Всеукр. межвед. научно-техн. сборник. –2008. –№ 142. –С. 116-128.
12. *Зайченко С.А.* Формальная семантика сложных операторов линейной темпоральной логики / *С.А. Зайченко, В.И. Хаханов* // АСУ и приборы автоматики: Всеукр. научно-техн. сборник. –Х.: ХНУРЭ.–2008. –№ 145. –С. 14-28.
13. *Зайченко С.А.* Модель интерпретации высокоуровневых операторов LTL-логики / *С.А. Зайченко, Е.И. Литвинова, И.А. Побеженко* // АСУ и приборы автоматики: Всеукр. межвед. научно-техн. сборник. –Х.: ХНУРЭ.–2009. –№ 149. –С. 96-111.
14. *Зайченко С. А.* DRTLQ-Модель для функциональной верификации цифровых систем на основе линейной темпоральной логики / *С.А. Зайченко, С.В. Чумаченко* // АСУ и приборы автоматики Всеукр. межвед. научно-техн. сборник. – Х.: ХНУРЭ.–2010. –№ 150. –С. 33-48.
15. *Зайченко С.А.* Оптимизации вычислительного цикла анализа ассерций / *С.А. Зайченко, С.В. Чумаченко* // АСУ и приборы автоматики Всеукр. межвед. научно-техн. сборник. –Х.: ХНУРЭ.–2010.–№ 151.–С. 4-16.
16. *Forczek M.* Introduction to Formal Synthesis / *Mirosław Forczek, Sergey Zaychenko, Katarzyna Hryniewicz* // Proc. of the IFAC Workshop Programmable Systems and Devices.–Ostrava, Czech Republic.–2003.–P.305-311.
17. *Hahanov V.* Topological Fault Simulation Method / *V. Hahanov, O. Melnikova, S.Zaychenko, O. Guz*// Proc. of the International Conference Modern Problems of Radio Engineering, Telecommunications and Computer Science.–Lviv-Slavsko.–24-28 Feb. 2004. –P. 602-605.
18. *Зайченко С.А.* HDL-компилятор для тестирования проектируемых цифровых систем / *С.А. Зайченко, О.В. Мельникова, И.А. Побеженко* // Материалы 8-го междунар. форума “Радиоэлектроника и молодежь в XXI веке”. –Харьков: ХНУРЭ.–2004. –С. 262.
19. *Хаханова И.В.* Технология компиляции HDL-моделей RTL-уровня / *С.А.Зайченко, И.В. Хаханова, И.Н. Чугуров, В.И. Шевченко* // Материалы 5-ой международной научно-практической конференции «Современные информационные и электронные технологии».–Одесса.–2004. –С. 79.

20. *Zaychenko S.* High-performance Compiler of Gate-level HDL Net Lists for Testing Faults in Digital Circuits / *S. Zaychenko, O. Melnikova, S.K. Shahab, Z.S. Albitar* // Proc. of Euromicro Symposium on Digital System Design (DSD'04).–Rennes (France).–Sept. 2004. –P. 65-66.
21. *Zaychenko S.A.* Set Operation Speed-up of Fault Simulation / *S.A. Zaychenko, A.N.Parfentiy, E.A. Kamenuka, H. Ktiaman* // Proc. of the 2nd East-West Design and Test Workshop.–Alushta.–23-26 September 2004.–P. 231-237.
22. *Зайченко С.А.* Ускорение операций над множествами в дедуктивном методе моделирования неисправностей // *С.А. Зайченко, А.Н. Парфентий, Ктейман Хассан* // Материалы 4-й межд.научно-технической конференции «Проблемы информатики и моделирования». – Харьков.–2004.–С. 79-83.
23. *Зайченко С.А.* Анализ быстродействия базовых операций в дедуктивном методе моделирования неисправностей / *С.А. Зайченко, В.И. Обризан, А.В. Хаханова* // 10-я Международная конференция «Техника передачи, приема и обработки информации». – Харьков–Туапсе: ХНУРЭ.–2004.–С. 139-140.
24. *Forczek M.* Assertions based verification for SystemC / *M. Forczek, S. Zaychenko* // Proc. of the 3-rd East-West Design & Test Workshop.–2005.–Odessa.–P.54-61.
25. *Hahanov V.* Assertions-based mechanism for the functional verification of the digital designs / *V. Hahanov, A. Egorov, S. Zaychenko, A. Parfentiy, M. Kaminska* // Proc. of the 3-rd East-West Design & Test Workshop.–2005.–Odessa. –P. 261-265.
26. *Adamov A.* System Level Methodology for Function Verification of SoC / *A. Adamov, S. Zaychenko, Y. Myroshnychenko, O. Lukashenko* // Proc. of the 4-th East-West Design & Test Workshop.–2006.–Sochi. –P. 122-125.
27. *Hahanov V.* Dynamic register-transfer level queues model for high-performance evaluation of the linear temporal constraints / *V. Hahanov, S. Zaychenko, O. Zaharchenko* // Proc. of the 4-th East-West Design & Test Workshop.–2006.–Sochi. –P. 132-139.
28. *Зайченко С.А.* Верификация цифровых проектов на основе ассерций / *С.А. Зайченко, А.Н. Парфентий, А.А. Егоров* // Материалы 1-й междунар. конф. «Глобальные информационные системы. Проблемы и тенденции развития».–Харьков-Туапсе.–2006.–С.48-49.
29. *Melnyk D.* Model of source code analyzer for hardware descriptions languages / *D.Melnyk, S. Zaychenko A. Adamov, V. Hahanov* // Proc. of the 5-th East-West Design & Test Workshop.–Yerevan.–2007.–P. 470-474.
30. *Melnyk D.* Model of source code analyzer for hardware descriptions languages / *D.Melnyk, S. Zaychenko K. Kolesnikov, O. Lukashenko* // Proc. of the 9-th International Conference The Experience of Designing and Application of CAD Systems in Microelectronics. –Polyana, Lviv.–2007. –P. 113-114.
31. *Melnyk D.* Overview of object-oriented approach to HDL-testbench construction for System-on-Chip / *D. Melnyk, S. Zaychenko* // Proc. of the International Conference Modern Problems of Radio Engineering, Telecommunications and Computer Science (TCSET'2008).–Lviv-Slavske.–2008.–P. 621-625.
32. *Melnyk D.* Verification challenges of clock domain crossings / *D. Melnyk, S.Zaychenko, O. Lukashenko* // Proc. of the East-West Design & Test Symposium.–Lviv.–2008.–P.438-440.
33. *Melnyk D.* Early deflection of potentially non-synchronized CDC paths structural analysis technique / *D. Melnyk, O. Lukashenko, S. Zaychenko* // Proc. of the East-West Design & Test Symposium.–Moscow.–2009.–P. 411-414.

АНОТАЦІЯ

Зайченко Сергій Олександрович. Моделі й методи функціональної верифікації цифрових систем на основі темпоральних асерцій. – Рукопис. – Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – Комп'ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Харків, 2011.

Ключові слова: моделювання, асерція, верифікація, діагностування, тестування, цифрова система на кристалі, лінійна темпоральна логіка.

Мета дисертаційного дослідження – розробка моделей та методів функціональної верифікації цифрових систем на кристалах на основі використання темпоральних асерцій при тестовому діагностуванні помилок в процесі програмно-апаратного моделювання для істотного підвищення якості цифрового виробу та зменшення часових і матеріальних витрат проектування. Основні результати: аналітична модель верифікації HDL-коду на основі використання динамічних регістрових черг, орієнтована на аналіз асерцій лінійної темпоральної логіки, яка забезпечує високу швидкодію моделювання та задану глибину діагностування помилок коду; модель інтерпретації лінійної темпоральної логіки з використанням режиму «глобального» часу, призначена для перевірки формул під час симуляції; методи аналізу механізму асерцій, які дають можливість істотно підвищити швидкодію моделювання та на 15% зменшити час верифікації проекту; модель взаємодії даних регістрового рівня та процес-моделі обробки подій і функцій-черг, які забезпечують покращення параметрів транспортування подій в процесі моделювання; інфраструктура процесу верифікації та діагностування проєктованого виробу, яка відрізняється введенням у програмний код надлишковостей у вигляді асерцій та апаратною підтримкою моделювання, що дозволяє на 30% зменшити загальний час проектування цифрових систем на кристалах; програмні компоненти системи верифікації Riviera (Aldec Inc.), в яких реалізовано моделі та методи функціональної верифікації на основі темпоральних асерцій, що дає можливість істотно (20%–80%) зменшити часові витрати для моделювання функціональності та асерцій в процесі тестування цифрових проєктів.

АННОТАЦИЯ

Зайченко Сергей Александрович. Модели и методы функциональной верификации цифровых систем на основе темпоральных асерций. – Рукопись. – Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – Компьютерные системы и компоненты. – Харьковский национальный университет радиоэлектроники, Харьков, 2011.

Ключевые слова: моделирование, асерция, верификация, диагностирование, тестирование, цифровая система на кристалле, линейная темпоральная логика.

Цель диссертационного исследования – разработка моделей и методов функциональной верификации цифровых систем на кристаллах на основе использования темпоральных асерций для тестового диагностирования ошибок в процессе программно-аппаратного моделирования, обеспечивающего существен-

ное повышение качества цифрового изделия, а также уменьшение временных и материальных затрат проектирования. Сущность диссертационной работы: разработка новых моделей и методов анализа темпоральных ассерций и их имплементация в промышленную систему Riviera для динамической верификации моделей цифровых систем на кристаллах при поддержке аппаратных ускорителей на ранних стадиях проектирования, что обеспечивает существенное уменьшение (30%) времени выхода годной продукции на рынок (time-to-market).

Основные результаты: аналитическая модель верификации HDL-кода, которая характеризуется использованием динамических регистровых очередей для анализа темпоральных ассерций в процессе моделирования тестов для цифровых систем на кристаллах, что обеспечивает высокое быстродействие моделирования и заданную глубину диагностирования ошибок кода; модель интерпретации линейной темпоральной логики с использованием режима «глобального» времени, которая характеризуется наличием сложных семантических операторов, что позволяет расширить функциональные возможности динамической верификации до уровня формальных методов; методы анализа механизма ассерций, которые характеризуются дополнительными структурными связями и линиями наблюдения, что дает возможность существенно ($\times 10$ - $\times 100$) повысить быстродействие моделирования и на 15% уменьшить время верификации проекта; модель взаимодействия данных регистрового уровня и основанные на ней процесс-модели обработки последовательностей событий и функций-очередей, которые отличаются направленностью на аппаратную реализацию ассерционных операторов, что обеспечивает константную вычислительную сложность транспортирования событий в процессе моделирования при линейной функции аппаратных затрат; инфраструктура процесса верификации и диагностирования, которая отличается введением в код программной избыточности в виде ассерций и аппаратной поддержкой моделирования, что дает возможность существенно (до 30%) уменьшить общее время проектирования цифровых систем на кристаллах. Модели и методы функциональной верификации на основе темпоральных ассерций доведены до практической реализации в виде программных компонентов верификационной системы Riviera (Aldec Inc.), что дает возможность синтезировать специализированные и эффективные маршруты проверки и диагностирования цифровых систем на кристаллах. Интеграция ассерционных моделей и модифицированных структур данных с программным продуктом Riviera позволила существенно (20%–80%) сократить временные затраты для моделирования функциональности и ассерций в процессе тестирования цифровых проектов. Продукт Riviera, содержащий компоненты ассерционной темпоральной верификации, которые позволяют на 3-5% повысить качество проектов, в настоящее время занимает лидирующие позиции на мировом рынке электронных технологий, с числом инсталляций 5 000 в год, в 200 компаниях и университетах более чем 20 стран планеты. Инфраструктура аппаратной верификации дает возможность размещать модели проектируемой системы вместе со встроенными ассерциями в FPGA-прототип, что позволяет существенно ($\times 1000$) уменьшить время верификации по сравнению с чисто программными решениями. Предложенные модели и методы, составляющие основу программно-аппаратной среды верификации на

основе ассерций существенно (30%) повышают тестопригодность внутренних линий цифровой системы, что позволяет уменьшить временные затраты для создания теста улучшить его функциональную полноту и качество проекта.

ABSTRACT

Zaychenko Sergey Aleksandrovich. Models and methods for the functional verification of digital systems, based on the temporal assertions. – Manuscript. – Thesis for a candidate degree of technical sciences on speciality 05.13.05 – Computer systems and components. – Kharkov National University of Radio Electronics, Kharkov, 2011.

Key words: simulation, assertion, verification, diagnosis, testing, system-on-chip, linear temporal logic.

Thesis goal is development of models and methods for the functional verification of digital system-on-a-chip, based on the use of temporal assertions, when diagnosing errors in process of software-hardware simulation for increasing the quality of digital product and decreasing the time-to-market and cost of designing.

Main results: an analytical model for verification of digital system-on-a-chip, based on the use of dynamic register queues, focused on the analysis of linear temporal logic assertions, which provides high speed simulation and specified diagnosis depth of code errors; model for interpreting linear temporal logic, using the global time and designed for verification of formulae during simulation; methods for analyzing the assertion engine, which allow considerable increasing the speed of simulation and decreasing the time of verification by 15%; interacting data model of register level and process models for processing the events and queue functions, which provide improvement of event transportation parameters during the simulation; verification and diagnosis infrastructure, characterized by the software redundancy in the form of assertions and hardware support of simulation, which makes it possible to decrease the total time of SoC designing by 30%; software components of the verification system Riviera (Aldec Inc.), where the temporal assertion based models and methods for the functional verification are implemented. This makes it possible to decrease the time of functionality and assertions simulation by 20%–80% during the testing digital designs.

Відповідальний випусковий **Свищ В.М.**

Підп. до друку 02.03.11. Формат 60x84¹/₁₆. Папір друк.; Умов. друк. арк. 1,2

Облік. вид. арк. 1,0. Зам. № 11-71; Тираж 100 прим.

Надруковано у видавництві ЧП “Степанов В.В.”

61168, Харків, вул. акад. Павлова, 311