

Міністерство освіти і науки України

Харківський національний університет радіоелектроніки

АЛЬМАДХОУН САМЕР МОХАМЕД МАХМУД

УДК 681.518.54

МЕТОДИ ПОШУКУ ПОМИЛОК ПРОЕКТУВАННЯ В МОДЕЛЯХ ЦИФРОВИХ
ПРИСТРОЇВ НА МОВАХ ОПИСУ АПАРАТУРИ

05.13.12 – системи автоматизації проектувальних робіт

АВТОРЕФЕРАТ
дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків – 2013

Дисертацією є рукопис.

Робота виконана в Харківському національному університеті радіоелектроніки, Міністерство освіти і науки України.

Науковий керівник – кандидат технічних наук, старший науковий співробітник Шкіль Олександр Сергійович, Харківський національний університет радіоелектроніки, доцент кафедри автоматизації проектування обчислювальної техніки.

Офіційні опоненти: доктор технічних наук, професор Рябцев Володимир Григорович, Черкаська філія ПВНЗ «Європейський університет, завідувач кафедри математичних, інформаційних та соціально-гуманітарних дисциплін;

доктор технічних наук, професор Малиновський Михайло Леонідович, Харківський національний технічний університет сільського господарства ім. П. Василенка, професор кафедри автоматизації та комп'ютерно-інтегрованих технологій.

Захист відбудеться "26" листопада 2013 року о 14-30 годині на засіданні спеціалізованої вченої ради Д 64.052.02 у Харківському національному університеті радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

З дисертацією можна ознайомитись у бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

Автореферат розісланий " 25 " жовтня 2013 року.

Вчений секретар
спеціалізованої вченої ради

В.В. Безкоровайний

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Основними проблемами розвитку ринку сучасної мікроелектроніки є зниження вартості і скорочення часу проектування, що досягається вдосконаленням технічного, інформаційного і програмного забезпечення систем автоматизованого проектування радіоелектронної апаратури (САПР РЕА). Найбільш складним і витратним етапом у сучасному циклі проектування цифрових пристроїв (ЦП) є функціональна верифікація, тобто процес виявлення, локалізації і усунення помилок у системній моделі відносно специфікації, на що витрачається до 70% загального часу проектування. Основною формою опису проектів цифрових пристроїв в САПР РЕА є мови опису апаратури – Hardware Description Language (HDL). Тому об'єктом верифікації є модель ЦП, яка надана мовою опису апаратури, тобто HDL-код. Особливої ваги набуває верифікація HDL-моделей на ранніх стадіях проектування, що дозволяє скоротити час на повний цикл проектування та зменшити витрати на автоматизоване проектування в цілому. Важливою складовою частиною процесу верифікації HDL-моделей є пошук і виправлення помилок проектування у разі розбіжності між результатами моделювання HDL-коду і специфікацією на цифровий пристрій, що проектується, що обумовлено як неточністю та неповнотою специфікації, так і людським чинником при написанні HDL-коду.

Згідно з дослідженнями провідних світових компаній в галузі САПР РЕА (Cadence Design Systems, Synopsys Inc., Mentor Graphics Corporation, Magma, IBM, Intel, Sun Microsystems, Cisco Systems Inc., Atrenta, Aldec Inc.) зусилля учених мають бути зосереджені на створенні ефективних методів верифікації, що дозволить зменшити ймовірність виникнення помилок за рахунок зменшення участі людини в процесі проектування і забезпечити виявлення та локалізацію допущених помилок саме на ранніх стадіях проектування за прийнятний час.

Підхід до діагностування HDL-моделей ЦП як до програми мовою програмування є дуже витратним і потребує високої кваліфікації тестувальника. З іншого боку HDL-модель є цифровою схемою, методи діагностування яких розроблені досить повно. Тому застосування і подальша розробка методів пошуку помилок проектування в HDL-моделях цифрових пристроїв, реалізованих у вигляді цифрових схем, є актуальним і практично значущим завданням.

Значний внесок до вирішення проблем верифікації і діагностики моделей ЦП внесли провідні вітчизняні і зарубіжні учені: С.Г. Шаршунов, Є.С. Согомогян, В.П. Чипуліс, Ю.О. Скобцов, Л.В. Дербунович, Г.Ф. Кривуля, В.І. Хаханов, Р-Й. Убар, F. Fallah, G. Jervan, B. Cohen, M. Breuer, M. Abramovici, A. Friedman, J. Roth, X. Wang, Y. Zorian, F. Fummi та інші.

Зв'язок роботи з науковими програмами, планами, темами. Дисертаційна робота виконувалася відповідно до планів науково-дослідних робіт кафедри автоматизації проектування обчислювальної техніки (АПТОТ) Харківського національного університету радіоелектроніки протягом 2008-2013 рр. Дисертаційна робота виконана у рамках тематичних планів держбюджетної науково-дослідної роботи НДР №232 «Теорія і проектування енергозберігаючих обчислювальних

систем на кристалах, які моделюють і посилюють функціональні можливості людини» (ДР 0109U001646). Здобувач брав участь у вказаній роботі як виконавець і розробив методи, алгоритми та програмний засіб пошуку помилок проектування у HDL-моделях цифрових пристроїв.

Мета і задачі дослідження. Метою дисертаційної роботи є розробка моделей і методів пошуку помилок проектування в описах цифрових пристроїв, поданих мовами опису апаратури, для істотного зменшення витрат при автоматизованому проектуванні.

Для досягнення поставленої мети необхідно розв'язати такі задачі:

- визначити модель помилки проектування для різних стилів написання HDL-коду;
- удосконалити графову модель HDL-коду функціонально-блочного рівня і методи її декомпозиції з метою пошуку помилок проектування;
- удосконалити функціональний метод пошуку помилок проектування на основі таблиць функцій несправностей і модифікувати систему верифікації HDL-проектів (Testbench);
- модифікувати структурний метод пошуку помилок проектування на основі граф-моделі з використанням матриці досяжності і векторів експериментальних перевірок;
- розробити метод підвищення глибини пошуку помилок проектування з використанням зворотного простежування в умовах неповної специфікації на пристрій, що проектується;
- розробити порядок проведення діагностичного експерименту при організації пошуку помилок проектування в HDL-моделях цифрових пристроїв при проведенні функціональної верифікації.

Об'єкт дослідження – моделі цифрових пристроїв, що подані мовами опису апаратури в системах автоматизованого проектування.

Предмет дослідження – структурні і функціональні методи пошуку помилок проектування в моделях цифрових пристроїв, що подані мовами опису апаратури.

Методи досліджень представлені: апаратами булевої алгебри, теорії автоматів і графів (подання моделей цифрових пристроїв), технічної діагностики і формальної верифікації (побудова тестів і пошук помилок проектування); засобами автоматизованого проектування цифрових пристроїв (моделювання і функціональної верифікації HDL-моделей).

Наукова новизна отриманих результатів. Основний результат дисертації полягає у розробці моделей, методів і автоматизованих процедур локалізації помилкових операторів в HDL-коді моделей цифрових пристроїв на етапі функціонально-блочного автоматизованого проектування.

При цьому були отримані наступні нові наукові результати.

1. Уперше запропоновано метод зворотного простежування для графової моделі HDL-коду, що дозволяє значно підвищити глибину пошуку помилок проектування в умовах неповної специфікації на пристрій, який проектується.

2. Удосконалено графову модель HDL-коду та моделі помилок проектування, які відрізняються від аналогів урахуванням різних стилів написання HDL-коду, що

дозволяє розширити клас помилок проектування, які виявляються.

3. Модифіковано структурний метод пошуку помилок проектування на основі граф-моделей із використанням матриць досяжності і векторів експериментальних перевірок, який, на відміну від існуючих, використовує умовні та безумовні алгоритми пошуку, що дозволяє зменшити область підозрюваних помилок проектування і скоротити час пошуку помилок проектування в HDL-моделях;

4. Набув подальшого розвитку метод пошуку помилок проектування на основі словників несправностей з використанням таблиць функцій несправностей і шляхом модифікації середовища верифікації HDL-моделей TestBench, який, на відміну від існуючих, використовує сигнатури значень еталонної поведінки, що дозволяє зменшити тривалість проведення діагностичного експерименту у процесі пошуку помилок проектування в HDL-кодi.

5. Набув подальшого розвитку метод пошуку помилок проектування в HDL-моделях кінцевих автоматів, специфікація на які задана у вигляді графа переходів автомата, який, на відміну від існуючих, дозволяє локалізувати помилки проектування до конкретних умовних операторів в HDL-кодi.

Практичне значення отриманих результатів.

1. Розроблена процедура автоматизації проведення діагностичного експерименту з пошуку помилок проектування в HDL-моделях функціонально-блочного рівня на етапі функціональної верифікації, що дозволяє зменшити час і виключити людський чинник при проведенні діагностичного експерименту, оскільки рішення про перехід до наступного етапу (тобто питання про вибір відповідного алгоритму пошуку) приймається за формальними ознаками.

2. Розроблені методи пошуку помилок проектування в HDL-кодi і модифікація середовища верифікації HDL-моделей інтегровано у систему автоматизованого проектування Active-HDL, що дозволяє скоротити часові витрати на пошук помилок проектування при функціональній верифікації проектів цифрових пристроїв.

Розроблено методику проведення діагностичного експерименту впроваджена на підприємстві ТОВ "Алдек-КТС" при автоматизованому проектуванні цифрових пристроїв із використанням САПР Active-HDL і системи імітаційного моделювання Riviera™ компанії Aldec Inc. (USA), а також у навчальний процес Харківського національного університету радіоелектроніки.

Особистий внесок здобувача. Усі основні результати дисертаційного дослідження, що виносяться на захист, отримані особисто автором. У друкованих роботах, опублікованих у співавторстві, авторові належить: у [1] – метод зворотного простежування для підвищення глибини пошуку помилок проектування в HDL-моделях; у [2] – моделі описів цифрових пристроїв для цілей діагностування і моделі помилок проектування в HDL-кодi; у [3] – застосування методу зворотного простежування в HDL-кодi при пошуку помилок проектування в умовах неповної специфікації на пристрій, що проектується; у [4] – моделі помилок проектування для різних стилів опису HDL-моделей і методи декомпозиції коду HDL-моделей; у [5] – використання функціональних і структурних алгоритмів пошуку помилок проектування при верифікації HDL-моделей в САПР PEA, а також модифікація середовища верифікації HDL-моделей TestBench, у [6] – метод пошуку помилок

проектування в HDL-моделях цифрових автоматів стилю «автоматний шаблон»; у [8] – загальна методика діагностування HDL-моделей; у [11] – використання тестопридатних бібліотечних елементів систем логічного синтезу.

Апробація результатів дисертації. Основні результати дисертації доповідалися і обговорювалися на конференціях: I-й науково-технічній конференції молодих учених «Інформаційні управляючі системи і комп'ютерний моніторинг», Донецьк, 2010; міжнародній науково-практичній конференції «Інформаційні технології і комп'ютерна інженерія», Вінниця, 2010; XVII міжнародній конференції з автоматичного управління "Автоматика-2010", Харків, 2010; XII науково-практичній конференції «Інформаційні технології в освіті та управлінні», Нова Каховка, 2010; 23-й міжнародній конференції «Перспективні комп'ютерні, керуючі і телекомунікаційні системи для залізничного транспорту України», Алушта, 2010; 15-му ювілейному міжнародному молодіжному форумі «Радіоелектроніка і молодь у XXI столітті», Харків, 2011; VI міжнародній науково-практичній конференції «Наука і соціальні проблеми суспільства: інформатизація і інформаційні технології», Харків, 2011; 24-й міжнародній конференції «Перспективні комп'ютерні, керуючі і телекомунікаційні системи для залізничного транспорту України», Алушта, 2011.

Публікації. Основні результати дисертаційної роботи викладені у 12 друкованих роботах, серед яких 6 статей у наукових виданнях, включених до переліку наукових фахових видань України, та у 6 збірках праць міжнародних та Всеукраїнських наукових конференцій.

Структура дисертації. Дисертація складається зі вступу, чотирьох розділів, висновків, списку використаних джерел та додатків. Повний обсяг роботи – 175 сторінки. Дисертаційна робота містить 71 рисунок (27 с.), 17 таблиць (5 с.), список використаних джерел з 115 найменувань (11 с.), 2 додатки (11 с.).

ОСНОВНИЙ ЗМІСТ РОБОТИ

У **вступі** обґрунтовується актуальність задач, що розв'язуються у дисертаційній роботі, сформульовано мету дослідження, визначається наукова новизна і практична цінність отриманих результатів, наведено відомості про апробацію та впровадження результатів.

У **першому розділі** проаналізовано основні сучасні тенденції в автоматизованому проектуванні радіоелектронної апаратури. Розглянуто основні етапи автоматизованого проектування складних цифрових систем, способи подання проектів мовами опису апаратури і моделі представлення цифрових пристроїв в САПР РЗА.

Показано роль і місце верифікації проектів ЦП на мовах опису апаратури в загальному циклі автоматизованого проектування, розглянуто підходи до верифікації HDL-проектів як до програмного коду, так і до апаратної реалізації цього коду. Розглянуто методи генерації тестів і методи пошуку помилок у проектах на мовах опису апаратури.

Основні результати розділу опубліковані в [1 – 6].

У другому розділі запропоновано графову модель HDL-коду для цілей діагностування і моделі помилок проектування для різних стилів написання HDL-коду, а також способи побудови розрізняючих послідовностей для різних типів помилок проектування.

Одним із головних завдань у процесі пошуку помилок проектування в HDL-моделях ЦП є відсутність еталонної моделі. При діагностуванні апаратної реалізації ЦП завжди присутня схемна або аналітична (таблична) модель пристрою, за якою можна обчислити еталонні реакції у будь-якій точці схеми, або є в наявності ідеальний працездатний пристрій, еталонні реакції для якого можна отримати шляхом фізичного експерименту. У процесі діагностування коду HDL-моделі, як правило, є тільки код, правильність якого має бути перевірена у ході діагностичного експерименту (ДЕ), і специфікація, за якою цей код складався. Проблема отримання еталонів при функціональній верифікації полягає в тому, що специфікація зазвичай неформальна (немає однозначної відповідності між вхідними сигналами і вихідними реакціями) і неповна (не всі режими, які реалізовані у HDL-коді, описані), що часто не дозволяє отримати еталонні реакції в явному вигляді.

Моделі на мовах опису апаратури мають властивість двоїстості. З одного боку, вони формально виглядають і поводяться як код на мовах програмування (наявність формальних мовних конструкцій і спеціалізованих середовищ розробки), з іншого боку, мають ряд кардинальних відмінностей, властивих апаратурі (сигнали, паралелізм, синтезованість). Звідси неможливо тестувати і діагностувати такі моделі виключно методами верифікації програмного забезпечення (ПЗ) або методами діагностування апаратури. З точки зору зменшення розмірності задачі діагностування доцільно підійти до HDL-коду як до апаратури, і відповідно до цього будувати тести і проводити ДЕ з використанням процедур апаратної тестової діагностики.

Як модель об'єкту діагностування запропоновано використовувати графове подання опису пристрою на HDL, яке подається у вигляді двох графів. Інформаційний I-граф описує перетворення даних (подібно до операційного автомата у класичній композиційній моделі з мікропрограмним керуванням) без урахування умовних гілок. I-граф містить два типи вершин: операнди та функції. Типи операндів: цілі числа та беззнакові вектори. Типи функцій обмежені підмножиною HDL, що синтезується (тобто тими конструкціями, які мають фізичні еквіваленти в системах синтезу і імплементації в САПР). Керуючий C-граф відповідає ланцюжку умов, при виконанні яких виконується той або інший оператор. C-граф містить умовні конструкції (наприклад, `case`, `if...then...`, `with...select`) з мовного опису ЦП. C-граф – це граф з двома типами вершин: умовами та мітками. Вершини умов містять обчислювані умови. Вершини міток – кінцеві, тобто такі, що не мають вхідної дуги і які містять ім'я мітки. Результат моделювання C-графа – набір міток (мітка), за якими здійснюються переходи в I-графі. У такій інтерпретації C-граф відповідає керуючому автомату.

Для декомпозиції первинного I-графа використовуються контрольні точки (КТ), які дозволяють визначити шляхи активізації при побудові тестів і межі підграфів. При цьому помилка проектування транспортується на зовнішній вихід кожного підграфа. Особливістю діагностування HDL-моделі є відсутність еталонного HDL-

коду або повної специфікації, тому обчислити еталонні значення сигналів в усіх КТ без залучення зовнішніх способів неможливо. Виходячи з цього, визначаються два типи КТ, які використовуються у процесі пошуку місця виникнення помилки в HDL-кодi. КТ першого роду – сигнали (змінні) моделі, які можуть спостерігатися, і еталонні значення в яких відомі із специфікації. КТ другого роду – сигнали (змінні) моделі, значення в яких спостерігаються, але до початку ДЕ ці значення невідомі.

Виходячи з двоїстості HDL-моделей, визначається характер можливих помилок, їх вплив на кінцеву реалізацію (пристрій після синтезу) і методи пошуку. Для HDL-моделей введено модель помилки проектування, яка відповідає помилці в будь-якому операторному виразі, не відноситься до синтаксичних помилок і порушує алгоритм функціонування моделі пристрою, заданий специфікацією. Типи помилок проектування: «заміна оператора» (логічного або арифметичного) і «заміна операнда» (у операторах призначення або в умовних операторах).

Наявність помилки проектування ($F^{\text{general}} = 1$) визначається шляхом порівняння результатів моделювання коду, що діагностується (який підозрюється на наявність помилки), з еталоном на спеціальних вхідних (тестових) сигналах

$$F^{\text{general}} = \begin{cases} 1, & \text{якщо } R^{\text{expert}} \neq R^{\text{etalon}}; \\ 0, & \text{якщо } R^{\text{expert}} = R^{\text{etalon}}, \end{cases}$$

де R^{expert} – результати моделювання HDL-коду на заданому тесті; R^{etalon} – еталонні реакції на тих же вхідних сигналах.

Моделі помилок проектування поділяються на: помилки на даних (F^{D}), помилки на виразах (F^{EX}) і помилки на операторах (F^{OP}). Помилки на виразах (F^{D}) поділяються на 2 класи: помилки в конструкціях (F^{Dest}), що керують, і в лівій частині виразів призначення (F^{Source}). Цей клас помилок, як правило, пов'язаний із заміною операндів у виразах. Помилки в операторах визначаються для кожного типу операторів (логічних, арифметичних, зсуву тощо): $F^{\text{OP}} = \{F^{\text{log}}, F^{\text{arith}}, F^{\text{shift}}\}$.

На рис.1 показана специфікація (а), VHDL-модель (б) та інформаційний граф з контрольними точками (в) для фрагмента опису комбінаційної схеми (проект SCH).

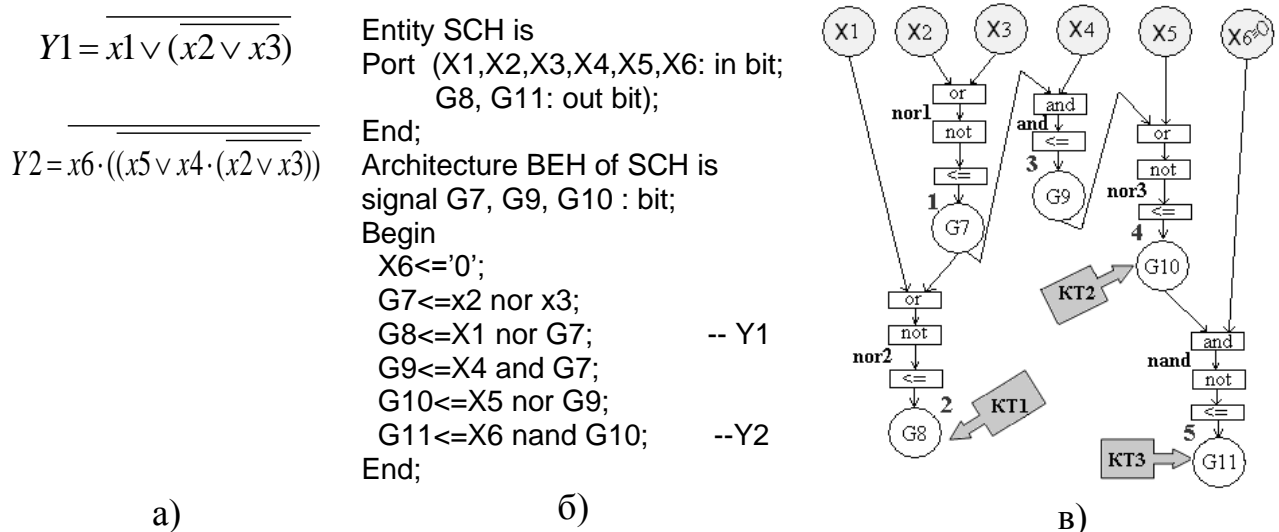


Рисунок 1 – VHDL-модель цифрового пристрою та її інформаційний граф

Враховуючи, що HDL-оператори, обрані як функціональні примітивні елементи (ПЕ), не містять усередині себе помилок, очевидно, що подача на ПЕ тестів перевірки справності є недоцільною. Тому спосіб тестування ПЕ полягає не в перевірці правильності функціонування, а в ідентифікації його типу. Таким чином, на примітив необхідно подати такі тестові набори, щоб після аналізу реакцій на них можна було ідентифікувати тип (функцію) примітиву і відрізнити його від інших ПЕ. Такі розрізняючі послідовності (РПС) дозволяють знайти помилки, пов'язані із заміною операторів у HDL-коді. Помилки у виразах, як правило, пов'язані із заміною операндів в арифметичних, логічних або умовних операторах.

Визначено процедуру побудови РПС для логічних операторів. Розглянуто функціональні елементи (ФЕ), у яких кількість входів – n , а кількість розрядів кожного входу – m . Усі оператори HDL (окрім інверсії, узяття знаку, модуля і піднесення до ступеня) мають $n \geq 2$. Залежно від розрядності операндів для логічних операцій {and, or, nand, nor, xor, xnor} у РПС може бути від 1-го до 3-х векторів. Для логічних операцій при аналізі тестів перевірки справності показано, що комбінація "00" розрізняє {and, or, xor} від {nand, nor, xnor}, а комбінація "01" в кожній з підмножин розрізняє: для {and, or, xor} розрізняє елемент {and} від {or, xor}; для {nand, nor, xnor} розрізняє елемент {nand} від {nor, xnor}. Далі комбінація "11" розрізняє: для {or, xor} розрізняє елемент {or} від {xor}; для {nor, xnor} розрізняє елемент {nor} від {xnor}. Таким чином, {00, 01, 11} ідентифікує тип логічного функціонального елемента при $n=2, m=1$.

Запропоновано алгоритм побудови РПС для арифметичних операцій із заданої підмножини {add (+), sub (-), mul (*), div (/)}. Арифметичні операції можна розрізнити за умови, що розрядності операндів вистачить для подання чисел більше одиниці. Тому, щоб розрізнити операцію "плюс" від підмножини {-, *, /}, треба на один із входів ФЕ подати нуль, а на інший вхід – значення > 1 . Розбиваємо на підмножини {+, -} і {*, /}: якщо результат на попередньому кроці дорівнює 0, то віднесемо ФЕ до {*, /} а якщо не дорівнює 0, то {+, -}. Подаємо на входи однакові значення > 1 . Якщо значення не дорівнює 0, то ФЕ – операція '+', якщо дорівнює – то '-', якщо дорівнює 1, то '/', якщо не дорівнює, то '*'.

Для умовних операторів побудова РПС пов'язана з підбором таких даних, які визначають різні вихідні значення для різних гілок умовних операторів.

Основні результати розділу опубліковані в [2, 3, 4].

У **третьому розділі** викладено функціональний і структурні методи пошуку помилок проектування для різних стилів написання HDL-коду, а саме для стилів "потік даних", поведінковий і "автоматний шаблон", а також метод зворотного простежування для підвищення глибини пошуку помилок проектування.

Діагностичний експеримент (ДЕ) над HDL-кодом здійснюється в два етапи. На першому етапі проводиться безумовний експеримент шляхом подачі на вхід моделі тесту (РПС) і порівняння реакцій для зовнішніх вихідних сигналів з еталонними значеннями. Якщо результат хоч би на одному виході не співпадає з еталоном, виконується другий етап ДЕ – локалізація помилок проектування.

Загальну методику діагностування HDL-моделі (локалізації помилок проектування) можна визначити такою послідовністю кроків:

– структурна декомпозиція HDL-моделі, складання графової моделі на основі

I-графа та C-графа, «розрив» зворотних зв'язків у цій моделі;

– визначення класу помилок проектування, складання РПС для цих помилок, тестування HDL-моделі шляхом подачі РПС і порівняння результатів із наявними еталонами;

– для невеликих фрагментів неструктурованого HDL-коду застосування функціонального методу пошуку помилок проектування з використанням словників несправностей на основі таблиць функцій несправностей (ТФН);

– звуження області підозрюваних помилок проектування на основі безумовного структурного методу для багатовиходових моделей;

– застосування безумовних і умовних структурних методів пошуку для підграфів із виходами у вигляді контрольних точок першого роду;

– застосування структурно-функціонального методу зворотного простежування для підвищення глибини пошуку в підграфах, обмежених КТ першого роду.

У функціональному методі пошуку помилок проектування складається словник несправностей у формі ТФН, рядками якої є РПС, а стовпцями – еталонні реакції на виході пристрою і реакції на вказаному виході з внесеними помилками проектування із списку. Реакції по стовпцях згортаються у сигнатури. ДЕ полягає в подачі на HDL-модель вхідних сигналів, зняття з виходу реакцій, згортання їх в сигнатури і порівняння сигнатур по стовпцях. Співпадіння сигнатур визначає тип помилки проектування. Список помилок проектування для моделі ЦУ SCH на рис.1:

1 – оператор nor1 (G7) замінено на and; 2 – оператор nor1 (G7) замінено на pand; 3 – оператор nor1 (G7) замінено на or; 4 – оператор nor2 (G7) замінено на and; 5 – оператор nor2 (G8) замінено на pand; 6 – оператор nor2 (G8) замінено на or; 7 – оператор and (G9) замінено на nor; 8 – оператор and (G9) замінено на pand; 9 – оператор and (G9) замінено на or; 10 – оператор nor4 (G10) замінено на and; 11 – оператор nor4 (G10) замінено на pand; 12 – оператор nor4 (G10) замінено на or; 13 – оператор pand (G11) замінено на nor; 14 – оператор pand (G11) замінено на and; 15 – оператор pand (G11) замінено на or.

На рис. 2 наведений фрагмент словника несправностей для цієї моделі.

Тести					G11	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
X1	X2	X3	X4	X5																
1	1	0	0	1	1	1	1	0	0	0	1	1	1	1	1	1	1	0	0	0
0	1	0	0	0	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0	0
0	0	1	1	1	0	0	1	1	1	0	1	1	0	1	0	1	0	0	0	0
...																		
Сигнатури					A568 (ета- лон)	C	5	8	3	4	F	D	A	7	2	C	F	9	3	A
						6	8	9	9	F	A	F	B	5	3	A	7	8	5	D
						7	D	F	8	A	1	7	4	C	6	F	F	C	7	E
						5	E	A	B	8	2	6	5	E	D	5	1	E	F	4

Рисунок 2 – Фрагмент ТФН зі згортанням реакцій у сигнатури

HDL-код є ідеально тестопридатним об'єктом: усі його внутрішні контрольні точки (сигнали і змінні) є доступними і зняття реакцій із них не становить ніяких труднощів. Тому структурні алгоритми пошуку дефектів найбільш прийнятні при реалізації алгоритмів діагностування в HDL-моделях. Основний принцип, що

лежить в основі структурних алгоритмів пошуку помилок проектування, полягає в наступному. Якщо в черговій КТ результат елементарної перевірки (ЕП) негативний (результат не співпав з еталоном), то в область підозрюваних помилок проектування (ОППП) на черговому кроці алгоритму входить сама операндова вершина і усі її попередники в активному підграфі. Якщо результат перевірки позитивний (результат співпав з еталоном), то усі попередники вважаються справними, а підозрювана помилка знаходиться серед інших вершин ОППП попереднього кроку.

На основі І-графа будується граф зв'язків, який є орієнтованим зв'язним графом із числом проміжних і кінцевих вузлів (вершин) $0, 1, 2, \dots, V$ і з числом дуг-зв'язків між ними $1, 2, \dots, E$. Граф зв'язків зручно описувати за допомогою матриці досяжності (МД) $M = [M_{ij}]$. МД описує можливі шляхи від вузла V_i до вузла V_j . При цьому

$$\text{елемент матриці рівний } M_{ij} = \begin{cases} 1 \rightarrow \exists V_i V_j; \\ 0 \rightarrow \bar{\exists} V_i V_j. \end{cases}$$

За результатами проведення першого етапу ДЕ (подачі РПС-тесту для визначення наявності помилки проектування в описі) формується вектор експериментальної перевірки (ВЕР) $V = (v_1, v_2, \dots, v_m)$, де m – кількість контрольних

точок першого роду. Координати ВЕР обчислюються: $v_i = \begin{cases} 0, & \text{якщо } S_i^{\text{ЭТ}} = S_i^{\text{ЭКС}}; \\ 1, & \text{якщо } S_i^{\text{ЭТ}} \neq S_i^{\text{ЭКС}}, \end{cases}$

де $S_i^{\text{ЭТ}}$ та $S_i^{\text{ЭКС}}$ – результати еталонної і експериментальної реакцій відповідно в i -й КТ першого роду. Іншими словами, визначається, на які з множини виходів (КТ першого роду) впливає задана помилка проектування.

За умови припущення про наявність в HDL-моделі поодинокі помилки проектування за результатами першого етапу діагностичного експерименту ОППП формується на основі перетину рядків матриці M , відмічених одиничними значеннями у ВЕР, за формулою: $D = \bigcap_{V_j=1} M_j - \bigcup_{V_j=0} M_j$, де M_j – j -й рядок матриці досяжності. Якщо результат обчислень дає порожній результат, то вважається, що в схемі присутня кратна помилка проектування, і ОППП визначається об'єднанням рядків, відповідних одиничним значенням координат ВЕР за формулою: $D = \bigcup_{V_j=1} M_j - \bigcap_{V_j=0} M_j$.

Для HDL-моделей з невеликою кількістю контрольних точок і короткими РПС використовується безумовний алгоритм пошуку з використанням ВЕР, а для моделей із великою кількістю контрольних точок і РПС великої довжини запропоновано структурну декомпозицію графа зв'язків і використання умовних алгоритмів пошуку на основі критеріїв половинного ділення.

На рис. 3 наведено граф зв'язків для моделі ЦП SCH. Подвійним колом на графі (а) помічено виходи транспортування РПС (КТ першого роду), які розбивають первинний граф на підграфи: (б) – підграф з вихідною КТ 8 та (в) – підграф з вихідною КТ 10. Вихідна КТ 11 є неактивною, бо в операторі $G11 \leftarrow X6 \text{ nand } G10$; вихід заблокований значенням сигналу $X6 \leftarrow '0'$; (рис. 1 (б)).

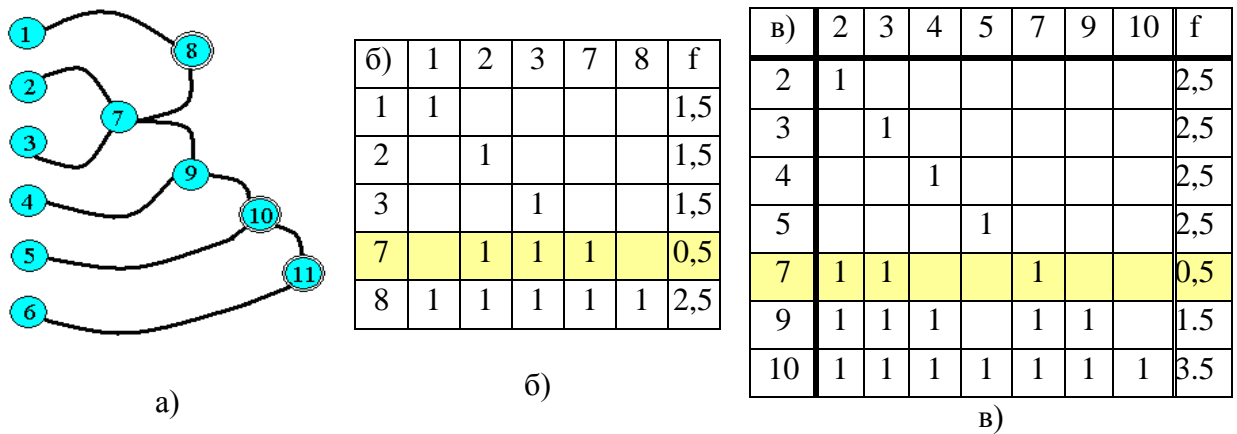


Рисунок 3 – Граф зв'язків для моделі ЦП SCH та МД його підграфів

На рис. 4 подані результуючі дерева пошуку помилок проектування для підграфів (б) і (в) ЦП SCH (рис.3), побудовані з використанням критерію половинного ділення. Відмічені рядки в матрицях досяжності (рис. 3 (б) і 3 (в)) є кореневими вершинами дерев.

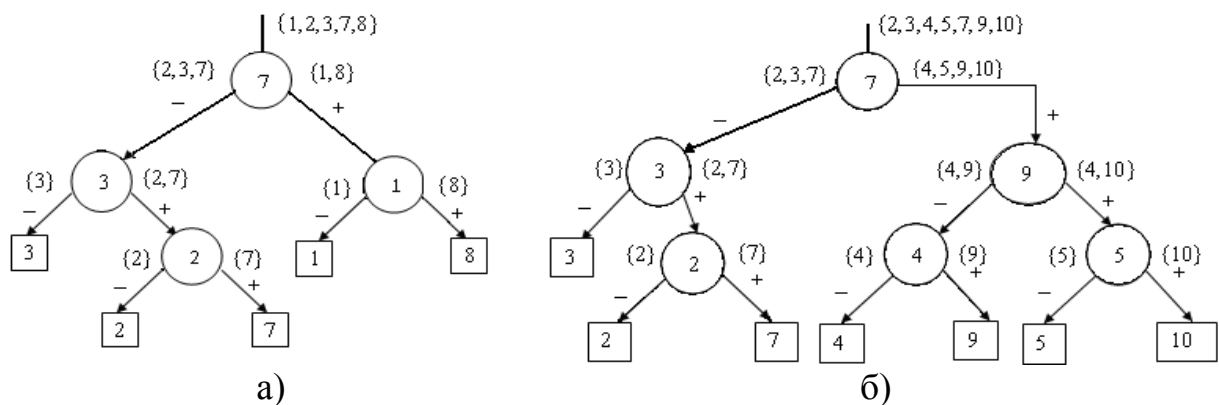


Рисунок 4 – Дерева пошуку помилок проектування для підграфів (б) і (в) ЦП SCH

Структурні методи пошуку дозволяють локалізувати помилки проектування до групи HDL-операторів, обмежених КТ першого роду (зовнішні виходи). Для збільшення глибини пошуку помилок проектування застосовується метод зворотного простежування по структурно-функціональній моделі на основі еквівалентної схеми. Еквівалентна схема – це цифрова схема функціонально-блочного рівня, результати моделювання якої співпадають із результатами моделювання HDL-коду на вхідних сигналах зі специфікації.

Алгоритм виконання зворотного простежування такий.

1. Виконується моделювання РПС-тесту на реальній HDL-моделі до зовнішнього виходу (КТ першого роду).

2. Якщо на виході виявлено неспівпадіння з еталоном зі специфікації, то виконується процедура зворотного простежування.

3. Зворотне дослідження виконується шляхом перетину поточного вектора з умовами суттєвості оброблюваного функціонального елемента до тих пір, поки

результат не рівний \emptyset , або не досягнуті зовнішні входи.

4. З непорожніх результатів перетинів формується підмножина підозрюваних елементів. Якщо у будь-якого із варіантів зворотне простежування досягло зовнішніх входів, то необхідно провести інспекцію HDL-коду уздовж цього шляху зворотного простежування, починаючи від зовнішніх входів.

Зворотне простежування виконується по структурно-функціональній моделі еквівалентної схеми фрагмента VHDL-коду, де примітивами є наперед визначені оператори паралельного призначення сигналу, а сигнали (змінні) є лініями. Для фрагмента VHDL-коду (проект SCH1)

```
Entity SCH1 is Port (X1,X2,X3,X4,X5,X6,X7,X8: in bit; O15: out bit); End;
Architecture BEH1 of SCH1 is
  signal S9, S10, S11, S12, S13, S14 : bit;
begin
  S9<=X1 nand x2; S10<=X3 and x4;
  S11<=X5 and x6; S12<=X7 and X8;
  S13<=S9 or S10;
  S14<= S11 or S12;      --(ошибочный оператор: S14<=X11 and X12;)
  O15<=S13 nand S14;
End;
```

на рис. 5 показана еквівалентна схема та результат зворотного простежування для помилки проектування в операторі S14.

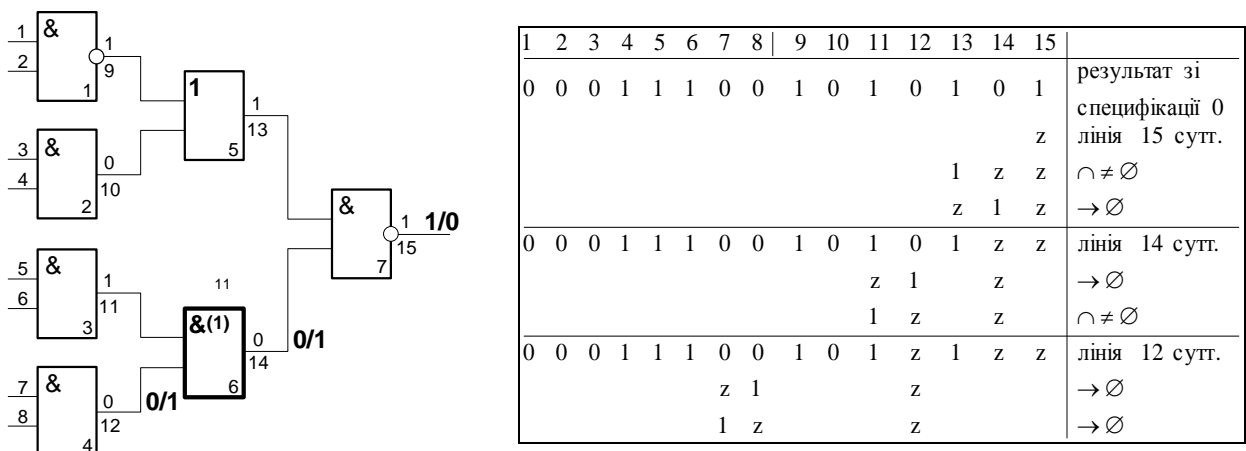
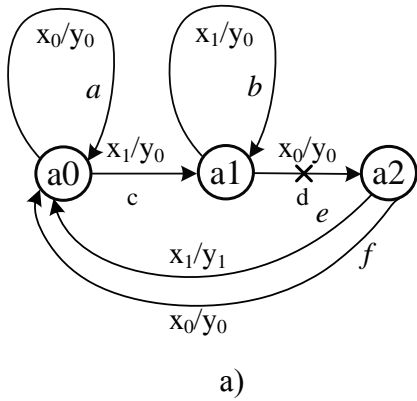


Рисунок 5 – Реалізація алгоритму зворотного простежування

З аналізу результату зворотного простежування (рис. 5) виходить, що несправним (помилковим) є елемент, у якого входом є лінія 12, тобто елемент 6 або оператор $S14 \leq S11 \text{ or } S12$; (заміна оператора OR на AND, що відповідає місцю та виду помилки проектування).

Однією з форм поведінкового стилю опису VHDL-моделей є "автоматний шаблон", тобто спосіб опису моделей керуючих кінцевих автоматів, специфікація на які задана графом переходів (рис. 6 (а)). Граф переходів задається у вигляді матриці суміжності (рис. 6 (в)). В VHDL-коді присутня помилка (перехід a1-a0 замість a1-a2 на рис. 6 (б)).



```

begin
p1 : process (state, data) is
begin
case state is
when a1 =>
if (data='1') then
nextstate <= a1; y <= '0';
else nextstate <= a0; y <= '0';
(ВМЕСТО nextstate <= a2)
end if;
end if;

```

	a0	a1	a2
a0	a	c	
a1		b	d
a2	e, f		

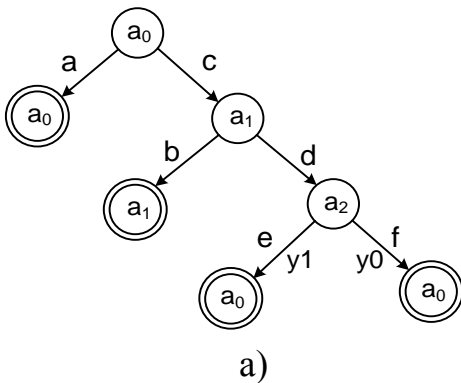
а)

б)

в)

Рисунок 6 – Модель автомату Мілі: а) – граф переходів; б) – фрагмент VHDL-моделі; в) – матриця суміжності графу переходів

Для побудови тесту реалізується стратегія обходу усіх дуг графа переходів кінцевого автомата, починаючи з початкової вершини, за умови допустимості наявності більш, ніж однієї дуги (змішана стратегія). Для реалізації стратегії обходу усіх дуг графа будується дерево рішень (дерево обходу графа) і маршрути обходу, що реалізують цю стратегію. За результатами ДЕ з обходу дуг графа будується ВЕП, де 0 означає, що термінальна вершина в маршруті обходу досягнута, а 1, що не досягнута, тобто тест не пройшов (рис. 7).



	A	ВЕП
1	a0-a-a0	0
2	a0-b-a1-c a1	0
3	a0-c-a1-d-a2-f-a0	1
4	a0-c-a1-d-a2-e-a0	1

а)

б)

Рисунок 7 – Стратегія обходу усіх дуг графа переходів та ВЕП

Для помилки проектування, показаної на рис. 6 (б) (помилковий перехід a1-a2), ВЭП = {0, 0, 1, 1}, а місце виникнення помилки $D = \{c, d, e\} \cap \{c, d, f\} - \{a\} \cup \{b, c\} = \{c, d\} - \{a, b, c\} = \{d\}$ визначає помилковий фрагмент обходу графа (a1- d - a2), помилковий оператор else nextstate <= a0; та помилковий операнд «a0».

Основні результати розділу опубліковані в [1, 5, 6].

У **четвертому розділі** проведено апробацію і оцінку розроблених методів пошуку помилок проектування для в HDL-моделей цифрових пристроїв різних стилів опису, а також приведено опис програмних продуктів, що забезпечують автоматизацію різних етапів проведення ДЕ.

Верифікація є важливим етапом у загальному циклі проектування ЦП. При проведенні верифікації у разі негативного результату першого етапу ДЕ виконується

структурна декомпозиція HDL-коду, за формальними ознаками визначається стиль його написання і для фрагмента певного стилю застосовується відповідний алгоритм пошуку помилок проектування.

Для апробації розроблених методів пошуку помилок проектування був проведений повний ДЕ для трьох HDL-моделей різних стилів опису : послідовностного пристрою обробки даних s27 із бібліотеки контрольних прикладів ISCAS, арифметико-логічного пристрою з мікропрограмним керуванням BC1, пристрою керування b06 із бібліотеки контрольних прикладів ІТС. Результати проведення ДЕ дозволили зробити такі висновки.

Ефективність функціонального методу пошуку помилок проектування з використанням еталонних сигнатур визначається розміром фрагмента HDL-коду, довжиною тесту i (i – кількість рядків ТФН) і кількістю можливих помилок проектування R ($R+1$ – кількість стовпців ТФН). При цьому розмірність ТФН буде $D = i \times (R + 1)$. Кількість помилок проектування обчислюється за формулою:

$$R = \sum_{m=1}^n ((A_n^k/n) \cdot l_m), \text{ де } A_n^k \text{ – розміщення з } n \text{ елементів по } k; \quad n \text{ – кількість груп}$$

логічних елементів; k – кількість з'єднань; l_m – кількість операторів в кожній групі. Метод ефективно працює для неструктурованих фрагментів HDL-коду розміром до 500 операторів.

Безумовний структурний алгоритми пошуку помилок проектування ефективно працює для багатовихідних HDL-моделей із достатньою кількістю контрольних точок першого роду з відомими по специфікації еталонами. Ефективність методу визначається розрідженістю матриці досяжності. Максимально ефективний для деревовидних підграфів, а мінімально – для сильнозв'язаних підграфів.

Умовний структурний алгоритм пошуку помилок проектування застосовується для одновихідних фрагментів HDL-моделей без зворотних зв'язків із контрольними точками першого роду для достатньо довгих тестових послідовностей і великій структурній глибині фрагменту HDL-коду. Його ефективність визначається максимальною довжиною гілки (кількістю елементарних перевірок) в умовному дереві пошуку дефектів. Довжина гілки L залежить від структури одновихідного підграфа та ефективності застосування критерію половинного ділення і знаходиться в інтервалі $\log_2 \leq L \leq N/2$, де N – кількість вершин в підграфі. Ефективність методу проявляється, коли кількість КТ першого роду у фрагменті HDL-коду більше 50.

Метод підвищення глибини пошуку помилок проектування застосовується для фрагментів HDL-коду, обмежених КТ першого роду, в умовах неповної специфікації шляхом зворотного простежування на структурно-функціональній моделі HDL-коду. При цьому глибина пошуку (розмір фрагмента шляху) залежить в основному від якості тесту для структурно-функціональної моделі.

У таблиці 1 наведені оцінки застосовності різних методів пошуку помилок проектування залежно від стилю написання HDL-коду і розмірів фрагмента коду, що діагностується. Порожня комірка означає, що метод не застосовується, "+" означає, що застосування методу не ефективне, а "++" означає, що застосування відповідного методу ефективне.

Таблиця 1 – Порівняння областей застосування різних методів пошуку

Метод	Стиль опису			Розмір моделі (в HDL-операторах)			
	ПД	Пов.	Авт.	до 500	до 1000	до 5000	понад 10000
Функціональний	++	+		++	+		
Структурний безумовний (ВЕР)	++	+	++	++	++	+	
Структурний умовний	+	++		++	+	++	+

Технологія створення тестової програми для верифікації і діагностики може бути автоматизована за наявності автоматичного генератора РПС (їх кількість і вид заздалегідь відомі), сформованого списку помилок проектування, HDL-моделі пристрою, що перевіряється, HDL-моделі сигнатурного генератора, моделі пам'яті (для формування бази несправних станів) та програми реалізації безумовного структурного методу пошуку. Усі елементи реалізовані у вигляді модулів в єдиному тестовому оточенні TestBench.

Розроблено програмний продукт Poisk, який реалізує безумовний структурний алгоритм пошуку помилок проектування на основі матриці досяжності і вектора експериментальних перевірок. На рис. 8 показана структура і місце програми Poisk в загальному циклі верифікації HDL-моделей із використанням САПР Active-HDL.

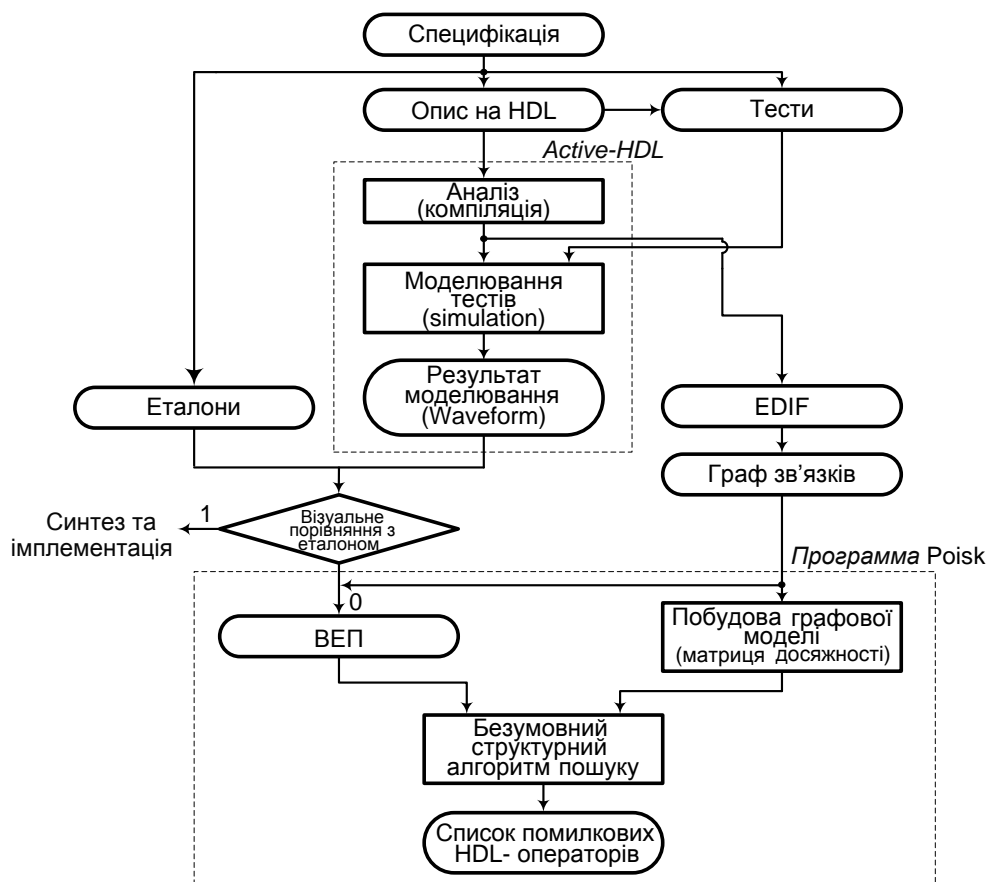


Рисунок 8 – Програма Poisk у загальному циклі верифікації HDL-моделей

На рис. 9 (а) наведені залежності часу пошуку помилок проектування від стилю опису HDL-моделі (1 – аналіз HDL-коду як програми, 2 – використання структурного методу пошуку), а на рис. 9 (б) – залежності часу пошуку від використаного методу пошуку для поведінкових стилів опису (1 – безумовний структурний, 2 – безумовний автоматний, 3 – умовний структурний). На наведених діаграмах показники часу нормовані відносно найбільших значень.

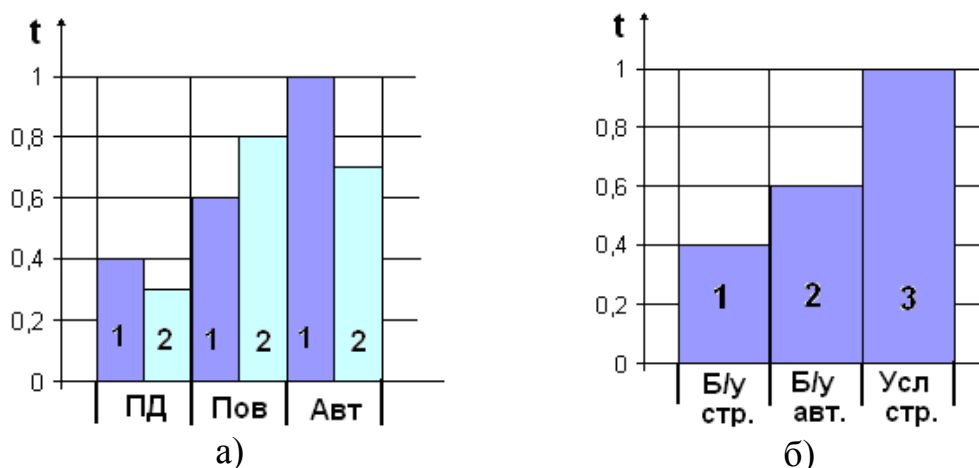


Рисунок 9 – Залежності часу пошуку помилок проектування:
а – від стилю опису HDL-моделі; б – від застосованого методу пошуку

У структурних алгоритмах глибина пошуку залежить від інформативності специфікації (I), тобто відношення кількості КТ першого роду до загальної кількості КТ графової моделі. Дослідження показали, що в інтервалі від 0 до 30% глибина пошуку мала, збільшується в інтервалі 30-70% і досягає максимуму в інтервалі 70-100% (рис. 10 (а)). Інформативність специфікації також впливає на ефективність використання різних методів пошуку помилок проектування. Для моделей з малою інформативністю застосовується функціональний метод пошуку, для моделей із середньою інформативністю – умовний структурний алгоритм, а для моделей із високою інформативністю – безумовний структурний алгоритм (рис. 10 (б)).

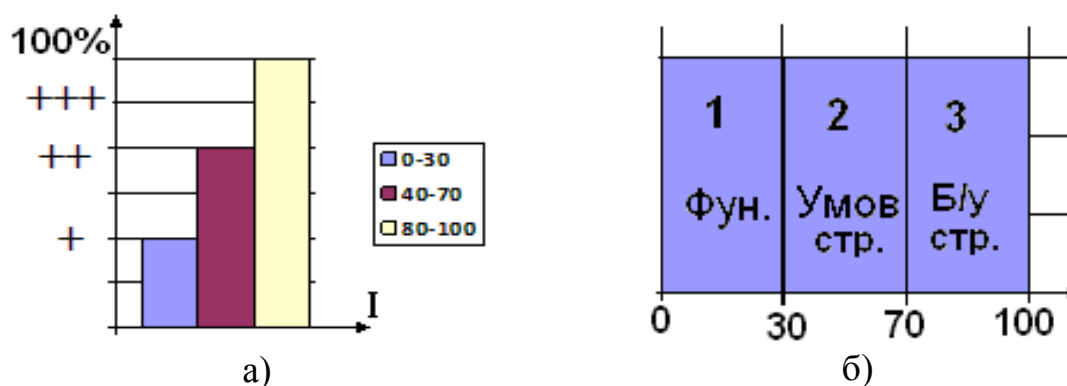


Рисунок 10 – Вплив інформативності специфікації на:
а – глибину пошуку помилок проектування;
б – застосований метод пошуку помилок проектування

Основні результати розділу опубліковані в [5, 6].

Додатки містять моделі пристроїв, що діагностуються, і процедури підготовки ДЕ, а також довідки про впровадження результатів дисертаційної роботи.

ВИСНОВКИ

У дисертаційній роботі вирішено актуальну науково-технічну задачу розробки моделей, методів і автоматизованих процедур локалізації помилкових операторів в HDL-кодів моделей цифрових пристроїв на етапі функціонально-блочного автоматизованого проектування.

1. Уперше розроблено метод підвищення глибини пошуку помилок проектування в HDL-моделях цифрових пристроїв на мові опису апаратури VHDL в умовах неповної специфікації шляхом реалізації зворотного простежування на структурно-функціональній моделі фрагменту HDL-коду функціонально-блочного рівня з використанням кубічного числення та теоретико-множинних операцій перетинання, а також методів логічного моделювання. Це дозволяє локалізувати місце знаходження помилки проектування до помилкового оператора або операнда.

2. Удосконалено графову модель HDL-коду та визначено типи помилок проектування для різних стилів опису HDL-моделей, а саме помилка типу «заміна оператора» для простих моделей стилю «потік даних» та помилка типу «заміна операнда» («заміна призначення стану автомата») для поведінкового стилю опису. Запропонована графова модель дозволяє реалізувати алгоритми активізації шляхів у структурно-функціональних та автоматних HDL-моделях, а також алгоритми зворотного простежування.

3. Модифіковано структурний метод пошуку помилок проектування на основі граф-моделі з використанням матриці досяжності і векторів експериментальних перевірок, що дозволяє зменшити область підозрюваних помилок проектування і скоротити час пошуку помилок проектування в HDL-моделях. Для багатовиходових HDL-моделей з невеликою кількістю контрольних точок використовується безумовний алгоритм пошуку із використанням вектора експериментальних перевірок, а для моделей із великою кількістю контрольних точок запропоновано структурну декомпозицію та використання умовних алгоритмів пошуку на основі критеріїв половинного ділення.

4. Набув подальшого розвитку метод пошуку помилок проектування на основі словників несправностей із використанням таблиць функцій несправностей і шляхом модифікації середовища верифікації HDL-моделей TestBench із використанням сигнатурного аналізу, що дозволяє зменшити тривалість діагностичного експерименту в неструктурованих HDL-моделях невеликого розміру (до 500 HDL-операторів).

5. Набув подальшого розвитку метод пошуку помилок проектування в HDL-моделях кінцевих автоматів, специфікація на які задана у вигляді графа переходів автомата. Діагностичний експеримент над HDL-моделлю автомата здійснюється шляхом обходу всіх дуг графа переходів автомата, починаючи з початкової

вершини, що дозволяє локалізувати помилки проектування до помилкового переходу (помилки в операндах умовних операторів).

6. Розроблені методи пошуку помилок проектування в HDL-кодi інтегровані в систему автоматизованого проектування Active-HDL, що дозволяє скоротити часові витрати на пошук помилок проектування при функціональній верифікації проектів цифрових пристроїв. Розроблена методика проведення діагностичного експерименту використовується на підприємстві ТОВ "Алдек-КТС" при автоматизованому проектуванні цифрових пристроїв, описи на які надані мовою опису апаратури VHDL, з використанням САПР Active-HDL та системи імітаційного моделювання Riviera™ компанії Aldec Inc. (USA).

СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Шкиль А.С. Метод обратного прослеживания для поиска ошибок проектирования в HDL-коде / А.С. Шкиль, Е.Е. Сыревич, Д.Е. Кучеренко, С. Альмадхоун // Радиоэлектроника. Информатика. Управление. – 2009. – №2. – С. 86-90.

2. Шкиль А.С. Модели описаний цифровых устройств для диагностирования / А.С. Шкиль, Е.Е. Сыревич, С. Альмадхоун // Вестник Херсонского государственного технического университета. – 2010. – №2 (38). – С. 258-265.

3. Альмадхоун С. Методы поиска ошибок проектирования в HDL-моделях цифровых устройств в условиях неполной спецификации / С. Альмадхоун, Е.Е. Сыревич, А.С. Шкиль // Інформаційно-керуючі системи на залізничному транспорті. – 2010. – № 4. – С. 30-32.

4. Шкиль А.С. Локализация ошибок проектирования в эффективно-декомпозированной HDL-модели /А.С. Шкиль, Е.Е. Сыревич, С. Альмадхоун // Інформаційно-керуючі системи на залізничному транспорті. – 2012. – № 5. – С 42-45.

5. Шкиль А.С. Структурное и функциональное диагностирование HDL-моделей цифровых устройств в САПР РЭА /А.С. Шкиль, Е.Е. Сыревич, С. Альмадхоун, Г.П. Фастовец // Інформаційно-керуючі системи на залізничному транспорті. – 2013. – № 2. – С. 75-82.

6. Альмадхоун С. Поиск ошибок проектирования в HDL-моделях цифровых автоматов / С. Альмадхоун, Е.Е. Сыревич, А.С. Шкиль // Вестник Херсонского государственного технического университета.– 2013. – №2 (46). – С. 377-383.

7. Альмадхоун С. Структурный метод поиска ошибок проектирования в HDL-коде / С. Альмадхоун // Інформаційні управляючі системи та комп'ютерний моніторинг. Збірка матеріалів I науково-технічної конф. молодих вчених, Донецьк, 19-21 травня 2010. – Донецьк, Дон НТУ, 2010. – С. 170-173.

8. Шкиль А.С. Поиск ошибок проектирования в HDL-моделях цифровых устройств / А.С. Шкиль, Е.Е. Сыревич, С. Альмадхоун // Інформаційні технології та комп'ютерна інженерія: міжнародна науково-практична конф., Вінниця, 19-21 травня 2010 р.: тези доповідей. – Вінниця, ВНТУ, 2010. – С. 377-378.

9. Альмадхоун С. Поиск ошибок проектирования в HDL-моделях цифровых устройств / С. Альмадхоун // XVII Міжнародна конференція з автоматичного управління «Автоматика-2010», Харків, 27-29 вересня 2010 р.: тези доповідей. – Харків, ХНУРЕ, 2010. – С. 88-89.

10. Альмадхоун С. Обратное прослеживание при поиске ошибок проектирования в HDL-моделях цифровых устройств / С. Альмадхоун // Матеріали 15-го ювілейного міжнарод. молодіжного форуму «Радіоелектроніка і молодь в ХХІ ст.», Харків 18–20 квітня 2011 р. Збірка матеріалів форуму Ч.2. – Харків: ХНУРЕ, 2011. – С. 80-81.

11. Альмадхоун С. Изменение уровня иерархии запросов на основании библиотечных элементов систем логического синтеза / С. Альмадхоун, А.Л. Карасев, Е.Е. Сыревич // Сборник научных трудов VI-ой международной научно-практической конференции «Наука и социальные проблемы общества: информатизация и информационные технологии», Харьков, 24–25 мая 2011 р. – Харьков: ХНУРЭ, 2011. – С. 403-404.

12. Альмадхоун С. Обратное прослеживание в структурном методе поиска ошибок проектирования в HDL-коде / С. Альмадхоун / Перспективні комп'ютерні, керуючі і телекомунікаційні системи для залізничного транспорту України: 24-а міжнародна конф., Алушта, 19–23 вересня 2011 р.: тези доповідей // Інформаційно-керуючі системи на залізничному транспорті. – 2011. – № 5. – С. 115-116.

АНОТАЦІЯ

Альмадхоун С.М.М. Методи пошуку помилок проектування в моделях цифрових пристроїв на мовах опису апаратури. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.12 – системи автоматизації проектувальних робіт. – Харківський національний університет радіоелектроніки Міністерства освіти і науки України, Харків, 2013.

Метою роботи є розробка моделей і методів пошуку помилок проектування в описах цифрових пристроїв, поданих мовами опису апаратури, для суттєвого зменшення витрат при автоматизованому проектуванні. У дисертаційній роботі уперше запропоновано метод зворотного простежування для графової моделі HDL-коду, що дозволяє значно підвищити глибину пошуку помилок проектування в умовах неповної специфікації на пристрій, який проектується; удосконалено графову модель HDL-коду та моделі помилок проектування, що дозволяє розширити клас помилок проектування, які виявляються; модифіковано структурний метод пошуку помилок проектування на основі граф-моделей із використанням матриць досяжності і векторів експериментальних перевірок, що дозволяє зменшити область підозрюваних помилок проектування і скоротити час пошуку помилок проектування в HDL-моделях; набув подальшого розвитку метод пошуку помилок проектування на основі словників несправностей із використанням таблиць функцій несправностей і шляхом модифікації середовища верифікації HDL-моделей TestBench, що дозволяє зменшити довжину діагностичного експерименту у процесі

пошуку помилок проектування у неструктурованому HDL-кодi; набув подальшого розвитку метод пошуку помилок проектування в HDL-моделях кінцевих автоматiв, специфікація на які задана у вигляді графа переходiв автомата, який дозволяє локалізувати помилки проектування до конкретних умовних операторiв в HDL-кодi.

Ключові слова: мови опису апаратури, верифікація, графова модель, методи пошуку помилок проектування.

АННОТАЦІЯ

Альмадхоун С.М.М. Методи поиска ошибок проектирования в моделях цифровых устройств на языках описания аппаратуры. – На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.12 - системы автоматизации проектных работ. – Харьковский национальный университет радиоэлектроники Министерства образования и науки Украины, Харьков, 2013.

Целью работы является разработка моделей и методов поиска ошибок проектирования в описаниях цифровых устройств на языках описания аппаратуры для существенного уменьшения затрат при автоматизированном проектировании. Объект исследования – модели цифровых устройств, которые представлены на языках описания аппаратуры в системах автоматизированного проектирования. Предмет исследования – структурные и функциональные методы поиска ошибок проектирования в моделях цифровых устройств, представленных на языках описания аппаратуры.

В ходе выполнения диссертационной работы получены следующие научные результаты: впервые предложен метод обратного прослеживания для графовой модели HDL -кода, что позволяет значительно повысить глубину поиска ошибок проектирования в условиях неполной спецификации на проектируемое устройство; усовершенствована графовая модель HDL-кода и модели ошибок проектирования, что позволяет расширить класс обнаруживаемых ошибок проектирования; модифицирован структурный метод поиска ошибок проектирования на основе граф-моделей с использованием матриц достижимости и векторов экспериментальных проверок, что позволяет уменьшить область подозреваемых ошибок проектирования и сократить время поиска ошибок проектирования в HDL-моделях; получил дальнейшее развитие метод поиска ошибок проектирования на основе словарей неисправностей с использованием таблиц функций неисправностей и модификации среды верификации HDL-моделей TestBench, что позволяет уменьшить длину диагностического эксперимента при поиске ошибок проектирования в HDL-коде; получил дальнейшее развитие метод поиска ошибок проектирования в HDL-моделях конечных автоматов, спецификация на которые задана в виде графа переходов автомата, что позволяет локализовать ошибки проектирования до конкретных условных операторов в HDL-коде.

Практическая ценность полученных результатов состоит в разработке процедуры автоматизации проведения диагностического эксперимента по поиску ошибок проектирования в HDL-моделях функционально-блочного уровня на этапе

функціональної верифікації. Розробані методи пошуку помилок проектування в HDL-коді і модифікація середовища верифікації HDL-моделей інтегровані в систему автоматизованого проектування Active-HDL, що дозволило скоротити часові витрати на пошук помилок проектування при функціональній верифікації проектів цифрових пристроїв.

Ключевые слова: мови опису апаратури, верифікація, графова модель, методи пошуку помилок проектування.

ABSTRACT

Almadhoun S.M.M. Methods of design errors search in HDL-models of digital devices. – Manuscript.

Thesis for a candidate of technical science degree in specialty 05.13.12 – computer aided design works systems. – Kharkiv National University of Radioelectronics Ministry of education and science of Ukraine, Kharkiv, 2013.

The purpose of the work is to develop models and methods of design error search in HDL-models of digital devices for significant reduction of expenses at computer-aided design. In the thesis a method of backtracing for a graph model of an HDL-code was introduced that made it possible to significantly raise design errors search depth at an incomplete specification of a device to be designed; a graph model of an HDL-code and the design error model were improved that made it possible to extend the detectable design errors class; a structural method of design errors search based on graph-models using reachability matrix and experimental validation vector was modified that made it possible to concise precautionary design errors area and reduce time for design errors search in HDL-models; a design errors search method based on fault dictionaries using fault function tables and modified verification environment for HDL-models (TestBench) got further development that made it possible to diminish diagnostic experiment length at design errors search in HDL-code; a method for design errors search in HDL-models of finite state machines which are set as transition graphs got further development that made it possible to locate design errors up to certain conditional operators in HDL-code.

Keywords: hardware description languages, verification, graph-model, design errors search methods.

Відповідальний випусковий Безкорвайний В.В.

Підписано до друку __ _____ 2013 р. Формат 60x84 1/16. Умов. друк арк. 1,2.

Облік.-вид. арк. __,__. Тираж 100 прим. Зам. № ____. Ціна договірна.

Надруковано в навчально-науковому видавничо-поліграфічному центрі
ХНУРЕ, 61166 Україна, Харків, пр. Леніна, 14