

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

ХАРЬКОВСКИЙ НАЦИОНАЛЬНЫЙ  
УНИВЕРСИТЕТ РАДИОЭЛЕКТРОНИКИ

ISSN0135-1710

**АВТОМАТИЗИРОВАННЫЕ  
СИСТЕМЫ УПРАВЛЕНИЯ И  
ПРИБОРЫ АВТОМАТИКИ**

**Всеукраинский межведомственный  
научно-технический сборник**

**Основан в 1965 г.**

**Выпуск 145**

Харьков  
2008

В сборнике представлены результаты исследований, касающихся компьютерной инженерии, управления, технической диагностики, автоматизации проектирования, оптимизированного использования компьютерных сетей и создания интеллектуальных экспертных систем. Предложены новые подходы, алгоритмы и их программная реализация в области автоматического управления сложными системами, оригинальные информационные технологии в науке, образовании, медицине.

Для преподавателей университетов, научных работников, специалистов, аспирантов.

У збірнику наведено результати досліджень, що стосуються комп'ютерної інженерії, управління, технічної діагностики, автоматизації проектування, оптимізованого використання комп'ютерних мереж і створення інтелектуальних експертних систем. Запропоновано нові підходи, алгоритми та їх програмна реалізація в області автоматичного управління складними системами, оригінальні інформаційні технології в науці, освіті, медицині.

Для викладачів університетів, науковців, фахівців, аспірантів.

**Редакционная коллегия:**

*В.В. Семенец*, д-р техн. наук, проф. (гл. ред.), *М.Ф. Бондаренко*, д-р техн. наук, проф., *И.Д. Горбенко*, д-р техн. наук, проф., *Е.П. Пулятин*, д-р техн. наук, проф., *В.П. Тарасенко*, д-р техн. наук, проф., *Г.И. Загарий*, д-р техн. наук, проф., *А.Штефан*, доктор-инженер, *Г.Ф. Кривуля*, д-р техн. наук, проф., *О.Г. Руденко*, д-р техн. наук, проф., *Н.В. Алипов*, д-р техн. наук, проф., *Е.В. Бодянский*, д-р техн. наук, проф., *Э.Г. Петров*, д-р техн. наук, проф., *В.Ф. Шостак*, д-р техн. наук, проф., *В.М. Левыкин*, д-р техн. наук, проф., *В.И. Хаханов*, д-р техн. наук, проф. (отв. ред.).

Свидетельство о государственной регистрации  
печатного средства массовой информации

КВ № 12073-944ПР от 07.12.2006 г.

*Адрес редакционной коллегии:* Украина, 61166, Харьков, просп. Ленина, 14, Харьковский национальный университет радиоэлектроники, комн. 321, тел. 70-21-326

© Харківський національний університет  
радіоелектроніки, 2008

## СОДЕРЖАНИЕ

<b>ЕВЛАНОВ М.В., СЛИПЧЕНКО Е.В., НИКИТЮК В.А.</b> ПОДХОД К ПРОЕКТИРОВАНИЮ ХРАНИЛИЩ ДАННЫХ ВИНФОРМАЦИОННЫХ СИСТЕМАХ .....	4
<b>БАБИЧА В., КУДИНА М.В., ЕМЕЛЬЯНОВ И.В.</b> ИССЛЕДОВАНИЕ МЕТОДОВ РЕШЕНИЯ ЗАДАЧ ИНИРРИНГА ТРАФИКА ВСЕЯХ СЛЕДУЮЩЕГО ПОКОЛЕНИЯ .....	8
<b>ЗАЙЧЕНКО С.А., ХАХАНОВ В.И.</b> ФОРМАЛЬНАЯ СЕМАНТИКА СЛОЖНЫХ ОПЕРАТОРОВ ЛИНЕЙНОЙ ТЕМПОРАЛЬНОЙ ЛОГИКИ .....	14
<b>ОЛЙНИК О.І.</b> ЧИСЕЛЬНЕ МОДЕЛЮВАННЯ ДИФУЗІЙНИХ ПРОЦЕСІВ У СИСТЕМАХ З МАСИВАМИ ЗАГЛИБЛЕНИХ МІКРОЕЛЕКТРОДІВ У ФОРМІ ДИСКУ .....	29
<b>ЛИТВИНОВА Е.И.</b> ТЕХНОЛОГИИ ВСТРОЕННОГО РЕМОНТА КОМПОНЕНТОВ SYSTEM-IN-PACKAGE .....	40
<b>ТЕВЯШЕВ А.Д., ЗОЛОТАРЕВ Д.А.</b> ОБ ОДНОМ МЕТОДЕ РЕШЕНИЯ ЗАДАЧИ ОПТИМИЗАЦИИ ПЛАНОВЫХ РЕЖИМОВ ТРАНСПОРТА И РАСПРЕДЕЛЕНИЯ ПРИРОДНОГО ГАЗА В ГОРОДСКИХ ГАЗОРАСПРЕДЕЛИТЕЛЬНЫХ СЕТЯХ .....	48
<b>ЧУБ И.А., НОВОЖИЛОВА М.В.</b> МОДИФИКАЦИЯ ТОЧНОГО МЕТОДА РЕШЕНИЯ ЗАДАЧИ РАЗМЕЩЕНИЯ ПРЯМОУГОЛЬНЫХ ОБЪЕКТОВ .....	57
<b>ТАЯНОВ С.А., ТАЯНОВ В.А.</b> МЕТОДИКА КЛАСТЕРИЗАЦІЇ ЗОБРАЖЕНЬ ДЛЯ ЇХ КОМПРЕСІЇ НА ОСНОВІ КОМПОНЕНТНОГО АНАЛІЗУ .....	63
<b>ШАХОВСЬКА Н.Б., УГРИН Д.І.</b> ТЕХНОЛОГІЯ ETL В ІНТЕГРАЦІЇ ДАНИХ ТУРИСТИЧНОГО БІЗНЕСУ .....	68
<b>ДОЛГОВА Н.Г., НОВОЖИЛОВА М.В., СИНЕЛЬНИКОВА О.И.</b> МЕТОД ОЦЕНКИ АЛЬТЕРНАТИВНЫХ ВАРИАНТОВ ФУНКЦИОНАЛЬНОГО ЗОНИРОВАНИЯ ТЕРРИТОРИИ ГОРОДА .....	73
<b>ЕВГРАФОВ В.Н.</b> ПРОИЗВОДИТЕЛЬНОСТЬ БУФЕРНЫХ АСИНХРОННЫХ МНОГОСТУПЕНЧАТЫХ СЕТЕЙ С ПРОИЗВОЛЬНЫМ ЧИСЛОМ ПРИОРИТЕТНЫХ МОДУЛЕЙ ПАМЯТИ .....	80
<b>КАКУРИН Н.Я., КОВАЛЕНКО С.Н., ЛОПУХИН Ю.В., МАКАРЕНКО А.Н.</b> СПОСОБ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ НА СЧЕТЧИКАХ .....	86
<b>ЗАЯЦЬ В.М.</b> ПЕРСПЕКТИВИ ЗАСТОСУВАННЯ АВТОМАТИЗОВАНОЇ СИСТЕМИ РОЗПІЗНАВАННЯ ТА ІДЕНТИФІКАЦІЇ КОРИСТУВАЧІВ КОМП'ЮТЕРА, ОПИСАНОЇ НА ОСНОВІ ДИСКРЕТНОЇ МОДЕЛІ .....	96
<b>ЛЫСЕНКО Э.В., ПОНОМАРЕНКО В.П., ПИСКЛАКОВА В.П.</b> СИСТЕМОЛОГИЧЕСКИЙ АНАЛИЗ ПРОБЛЕМЫ ПРИНЯТИЯ РЕШЕНИЙ В УСЛОВИЯХ МНОГОКРИТЕРИАЛЬНОСТИ И НЕОПРЕДЕЛЕННОСТИ .....	104
<b>ВИШНЯК М.Ю., ДОВГАНЬ С.С.</b> РАСШИРЕНИЕ ФУНКЦИЙ АСУ: УПРАВЛЕНИЕ ЗНАНИЯМИ .....	109
<b>ОМРИ КАРИМ</b> ПОСТРОЕНИЕ АЛГОРИТМА РАСПОЗНАВАНИЯ ОТПЕЧАТКОВ ПАЛЬЦЕВ ДЛЯ СИСТЕМЫ КОНТРОЛЯ ДОСТУПА .....	116
<b>КРИВУЛЯ Г.Ф., РЯБЕНЬКИЙ В.М., ПЕТРЕНКО Л.П.</b> МЕТОДИКА ФОРМИРОВАНИЯ МАТЕМАТИЧЕСКОЙ МОДЕЛИ СУММАТОРА В ФОРМАТЕ ТРОИЧНОЙ СИСТЕМЫ СЧИСЛЕНИЯ .....	121
<b>КУЗЬМИН А.Я., ГОЛОВИЙ (ГУСАРЬ) Н.В., ДАЮБ Я.</b> РЕАЛИЗАЦИЯ МОДЕЛИ СИСТЕМЫ ПОДДЕРЖКИ ПРИНЯТИЯ РЕШЕНИЙ ВОБЛАСТИ СЕРВИСНОГО ОБСЛУЖИВАНИЯ БАНКОМАТОВ .....	134
<b>ВЕРЕЩАК И.А.</b> МЕТОД НИЗКОУРОВНЕВОЙ ОБРАБОТКИ ГРАФИЧЕСКОЙ ИНФОРМАЦИИ .....	139
<b>РЕФЕРАТИ</b> .....	143

## **ТЕХНОЛОГИИ ВСТРОЕННОГО РЕМОНТА КОМПОНЕНТОВ SYSTEM-IN-PACKAGE**

---

Проводится анализ современных технологий встроенного сервисного обслуживания функциональностей цифровой системы в пакете. Рассматриваются особенности архитектуры «System-in-Package» и существующие стратегии восстановления работоспособности цифровых систем, а также метод оценки надежности восстановления их работоспособности.

### **1. Введение**

В последние годы появились десятки работ, которые рассматривают вопросы, связанные с проблемой тестирования, диагностирования и ремонта цифровых систем на кристаллах и в пакетах (SoC, SiP) [1-24]. Особое место здесь занимает задача тестирования и ремонта компонентов цифровых систем ввиду технологической сложности восстановления работоспособности логических элементов при возникновении в них дефектов. Традиционные решения, предлагаемые в публикациях, сводятся к следующей классификации:

1. Дублирование логических элементов или областей кристалла, приводящее к удвоению аппаратной реализации функциональности. При фиксации неисправного элемента или области осуществляется переключение на исправный компонент с помощью мультиплексора [24]. Предложенные Xilinx модели FPGA применимы также при ремонте компонентов FPGA от компании Altera. Основная единица измерения при ремонте – столбец или строка.

2. Использование генетических алгоритмов для диагностирования и восстановления работоспособности на основе автономной конфигурации кристалла FPGA без использования внешних устройств управления [23]. Надежность диагностирования дефектов равна 99%, время ремонта – 36 миллисекунд вместо 660 секунд, необходимых для стандартного конфигурирования проекта.

3. Метод, не критичный к времени восстановления работоспособности FPGA, путем замены локальных CLB на избыточные запасные компоненты предложен в [20,22]. Доступный уровень объединения CLB, подлежащий замене, для критически важных приложений составляет порядка тысячи логических элементов.

Рассматривается структурно-технологический метод восстановления работоспособности логической части цифровых систем, имплементированных в кристаллы программируемой логики, основанный на существовании или внесении избыточности LUT-компонентов FPGA после выполнения процедур Place and Route. Анализируются физические дефекты кристалла, возникающие в процессе его изготовления или эксплуатации, которые проявляются как логические или временные, приводящие к неправильному функционированию цифровой схемы. Данные дефекты привязываются не только к вентилям или LUT-компонентам, но и к конкретному месту на кристалле. Идея метода сводится к исключению такого места при повторном выполнении процедур Place and Route после установления диагноза о наличии в нем дефекта. При этом возможны две технологии ремонта: 1) Запрет дефектной области путем написания управляющих скриптов для достаточно длительной процедуры Place and Route, что не всегда приемлемо для цифровых систем, работающих в реальном масштабе времени. Однако указанный подход приемлем и ориентирован на исключение дефектных областей любой кратности, имеющих на кристалле. Запрет таких областей при повторном выполнении процедуры Place and Route приводит к восстановлению работоспособности. 2) Для цифровых систем реального времени выполнение процедуры Place and Route при восстановлении работоспособности может привести к катастрофическим последствиям. Необходим технологический подход, способный восстановить функциональность цифровой системы за миллисекунды, необходимые для перепрограммирования FPGA путем подачи нового битстрима, исключая дефектные

области из формирования функциональности. Указанный подход может быть основан только на предварительной подготовке всех возможных битстримов, изолирующих будущие дефектные области путем их попадания в избыточную нефункциональную область кристалла. Чем больше такая резервная область, тем меньше число битстримов – проектных вариантов, привязанных к топологии, которое необходимо сгенерировать априори. Что касается кратных дефектов, не покрываемых одной резервной областью, здесь следует сегментировать цифровой проект, разбив его предварительно на непересекающиеся части, которые имеют собственные карты Place and Route. В данном случае можно ремонтировать цифровую систему, которая имеет для  $n$  распределенных на пластине дефектов  $n$  резервных сегментов. Здесь общая площадь кристалла состоит из  $n+m$  одинаковых частей.

*Цель исследования* – анализ современного состояния технологий встроенного сервисного обслуживания функциональностей цифровой системы в пакете и определение подходов к решению наиболее актуальных задач восстановления работоспособности SiP.

*Задачи:* 1) анализ технологий встроенного восстановления работоспособности цифровой системы в пакете; 2) обзор моделей и методов восстановления работоспособности SiP.

## **2. Восстановление и ремонт SiP**

FPGA широко используются для быстрого прототипирования и уменьшения стоимости сложных цифровых систем [20]. Модульная структура FPGA позволяет выполнять перепрограммирование в целях замены дефектных логических ресурсов (блоков) исправными резервными элементами. Указанное свойство дает возможность повысить отказоустойчивость приложений. Особенно это важно для систем, эксплуатируемых в сложных внешних условиях (космическое пространство, среды с повышенным уровнем радиации). Промышленные FPGA могут быть подвергнуты полному тестированию до реализации этапа программирования. Оперативный контроль FPGA и автономное тестирование кристалла возможны благодаря наличию специальных средств, применимых для FPGA. Однако использование кристаллов в критических приложениях обуславливает повышенный интерес к цифровым системам с возможностями оперативного контроля.

Систематические и неустойчивые неисправности могут быть обнаружены и локализованы путем использования различных методов тестирования. Использование определенной части ресурсов FPGA в качестве резервных позволяет заменить дефектный ресурс, в котором обнаружена систематическая неисправность. Замена происходит путем перепрограммирования кристалла при сохранении его функциональности. Схема, по которой резервные ресурсы распределяются внутри FPGA (и, следовательно, алгоритм реконfigurирования), зависит от типа кристалла. Использование процесса частичного конфигурирования позволяет существенно уменьшить среднее время восстановления и длину битового потока (bitstream), который обычно используется для реконfigurирования FPGA. Для выбора эффективной стратегии распределения резервных ресурсов важное значение имеет структура межсоединений кристалла.

В опубликованных работах [25-31] описаны различные технологии восстановления работоспособности FPGA, однако сравнительный анализ методов и метрика оценки их эффективности практически отсутствует. Поэтому далее рассматривается объект исследования, представленный в виде FPGA, его структура и особенности использования, а также существующие методы диагностирования и ремонта, использующие специфику перепрограммирования.

FPGA есть массив комплексных логических блоков (CLB – Complex Logic Block), каждый из которых представляет собой аппаратную реализацию от двух до восьми таблиц истинности на 4 входа; каждая из них соединена с триггером с помощью ресурсов трассировки, представляющих собой программируемые матрицы переключателей (PSM).

В целях обеспечения отказоустойчивости и надежности FPGA выполняется резервирование функциональной части CLB путем априорного формирования подмножества запасных блоков (spares), мощность которого зависит от структуры межсоединений кристалла.

Первый тип межсоединений ориентирован на матричную топологию CLB, когда оптимальная структура функциональности представлена соединением соседних по вертикали и горизонтали логических блоков. Если дефектный и резервный блоки не являются соседни-

ми в «манхэттенской» системе координат, то для восстановления работоспособности первого CLB необходимо выполнить достаточно сложную процедуру трассировки, используя матрицы переключателей. Описанная структура идеально подходит для обеспечения гибкости при выборе CLB при распределении резервных ресурсов. Недостатки: 1) Большое количество блоков, через которые проходит сигнал, приводит к снижению производительности системы путем увеличения длины логического пути, который зависит от числа используемых промежуточных переключательных матриц. 2) Процесс перепрограммирования межсоединений или трассировки является достаточно сложной задачей, когда замена дефектного логического блока требует значительного времени для поиска даже квазиоптимального пути.

Второй тип межсоединений представлен на рис. 1. Здесь нижний уровень иерархии связей позволяет соединить соседние блоки CLB. Группы блоков используют межсоединения высшего уровня иерархии, что позволяет уменьшить количество промежуточных переключательных матриц. Данная структура дает возможность эффективно использовать мозаичную (tile) и иерархическую стратегии распределения резервных ресурсов [18].

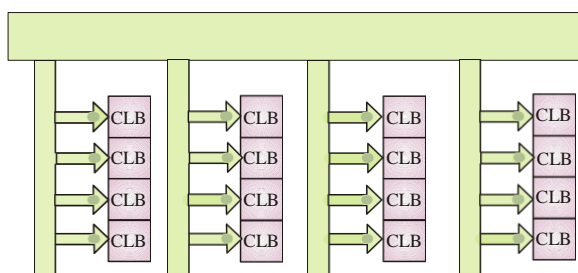


Рис. 1. Структура FPGA с иерархической топологией

Третий тип межсоединений основан на сегментации блоков CLB с помощью программируемых матриц переключателей, разбивающих логические компоненты на подмножества, как показано на рис. 2. Здесь имеются 4 сегмента по 9 логических блоков в каждом. Такая структура не требует выполнения процедуры перетрассировки, если резервный и дефектный блоки расположены на одной линии, вертикальной или горизонтальной, в пределах одного сегмента. В этом случае может быть использован «мозаичный» подход [18], позволяющий использовать резервный CLB для восстановления работоспособности соседнего по горизонтали или вертикали дефектного блока в пределах одного сегмента.

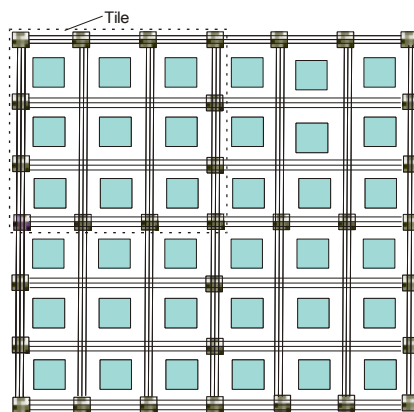


Рис. 2. Структура FPGA с частичной сегментацией связей

Интересным представляется также решение задачи, связанной с выбором стратегии восстановления, которая сводится к созданию протокола перепрограммирования FPGA. Здесь следует рассмотреть два метода частичного реконфигурирования. Первый позволяет определить ресурсы Atmel AT40K FPGA, которые должны быть перепрограммированы, используя пару управляющих регистров для выбора координаты конкретного блока в виде номера строки и столбца реконфигурируемого ресурса. После программирования новая конфигурация ресурсов может быть загружена в управляющие регистры. Данная стратегия

характеризуется незначительным временем исправления ошибки и высокой степенью детализации в процессе реконfigurирования кристалла. Вторым методом, используемым компанией Xilinx, заключается в разделении на столбцы перепрограммируемых ресурсов, что может обеспечивать степень детализации (ячеистость – granularity) не хуже, чем в предыдущем случае.

Для устранения постоянной во времени неисправности в кристалле FPGA используется модель процесса восстановления работоспособности, которая представлена на рис. 3.

Шаг 1. Обнаружение неисправностей в FPGA. До начала реконfigurирования выполняется процесс их диагностирования. Тестирование неисправностей происходит с использованием самопроверяемых схем (self-checking circuits). Приложение, имплементируемое в FPGA, разделяется на части, к каждой из которых добавляется избыточность, в результате чего функциональный модуль становится самопроверяемой схемой относительно дефектов, которые могут возникнуть внутри модуля. Степень детализации, или глубина диагностирования неисправностей, определяется количеством CLB, подозреваемых в наличии дефектов. Их поиск осуществляется в процессе непрерывного и последовательного циклического тестирования структурных компонентов FPGA, каждый из которых представляет собой совокупность блоков, объединенных в область самотестирования (self-testing areas – STARS). В каждый конкретный момент выполняется проверка только одной области, которая выводится из штатного режима путем ее замены резервом, в то время как оставшаяся часть FPGA продолжает функционировать в нормальном режиме. После завершения процедуры тестирования одной области осуществляется реконfigurирование FPGA в целях функционального отключения следующей области, подлежащей тестированию, и возврата проверенного структурного компонента в штатный режим. Описанная процедура позволяет автоматически устранять перемежающиеся (transient) неисправности с помощью конфигурационной памяти FPGA, которая сохраняет информацию о тестируемой области. Поскольку кристалл постоянно реконfigurруется для тестирования очередного компонента функциональности FPGA, процедура диагностирования имеет высокую степень детализации или глубину поиска дефектов, определяемую не более чем 10 CLB. Недостатком метода является зависимость времени диагностирования дефекта от длительности цикла тестирования функциональных компонентов FPGA, которая задается множеством самопроверяемых областей FPGA, полученным на стадии тестопригодного проектирования. Кроме того, наличие задержки между двумя событиями – возникновением и обнаружением дефекта – может приводить к неверному диагнозу о работоспособности системы в определенный момент времени, что приводит к нежелательным последствиям для критических систем реального времени.

Шаг 2. Позволяет различить перемежающиеся и систематические (константные) неисправности. Когда устройство диагностирования фиксирует факт наличия дефекта, выполняется обновление конфигурационной памяти FPGA. Затем выполняется инициализация таймера, контролирующего MTBF (Mean Time Between Failures – средняя наработка на отказ), для различения перемежающихся и систематических неисправностей. Если две ошибки обнаружены в одном месте в течение интервала времени меньше, чем MTBF, фиксируется факт наличия систематической неисправности с последующим выполнением шагов 3 и 4.

Шаг 3. В случае обнаружения систематической неисправности, выполняется ее диагностирование со степенью детализации лучшей, чем при разделении схемы на самотестируемые модули. Для поиска дефектного CLB может быть использован метод, предложенный в [21].

Шаг 4. Ремонт дефектного модуля CLB. Механизм восстановления работоспособности непосредственно

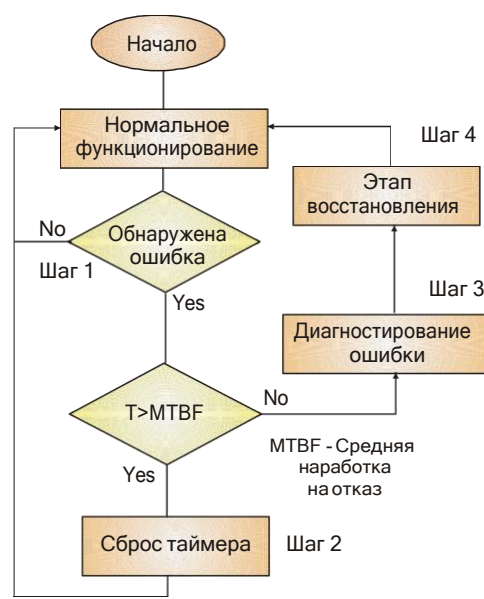


Рис. 3. Алгоритм восстановления работоспособности FPGA

редственно зависит от архитектуры FPGA. При этом используются различные технологии в зависимости от возможностей частичной или динамической реконфигурации FPGA, а также от структуры битового потока для перепрограммирования кристалла и межсоединений: 1) Иерархическая модель предполагает формирование двух уровней избыточности. На нижнем выполняется разделение FPGA на клетки (tile) – подматрицы блоков CLB, в каждой из них создаются резервные блоки. На верхнем уровне дефектные клетки могут быть заменены резервными клетками, как показано на рис. 4.

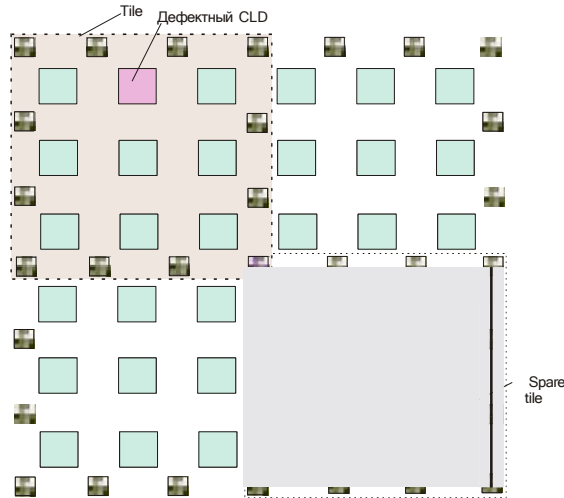


Рис. 4. Иерархическая модель восстановления работоспособности

2) Оптимальная модель предполагает, что резервные CLB могут быть использованы для восстановления работоспособности любого дефектного модуля цифровой системы на кристалле FPGA. При этом нет необходимости выполнять времязатратные процедуры перетрассировки (рис. 5).

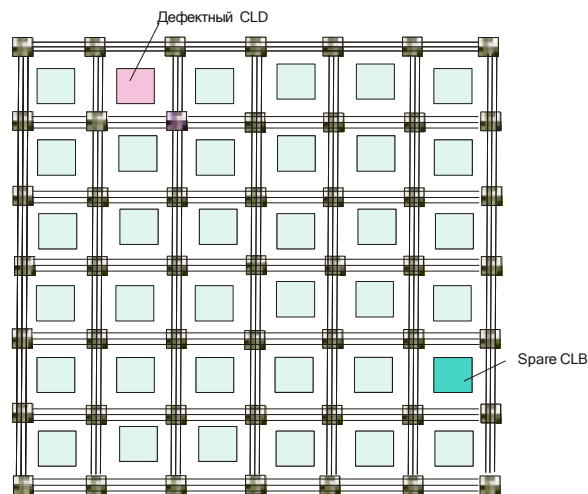


Рис. 5. Оптимальная модель восстановления работоспособности

Данный подход инвариантен к структуре FPGA, но требует существенного времени восстановления работоспособности и дополнительного объема памяти для хранения предварительно скомпилированного битового потока (bitstream), перепрограммирующего кристалл.



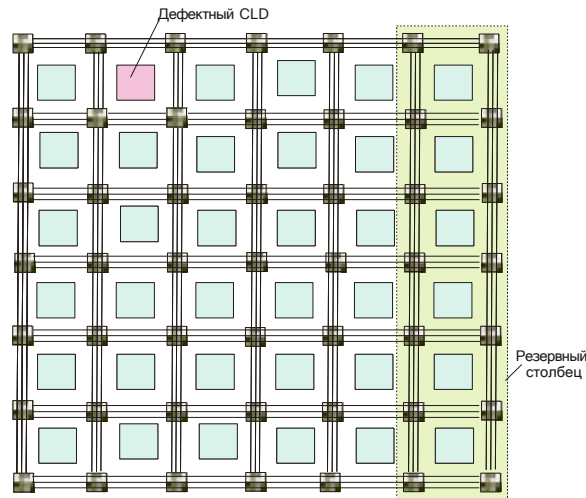
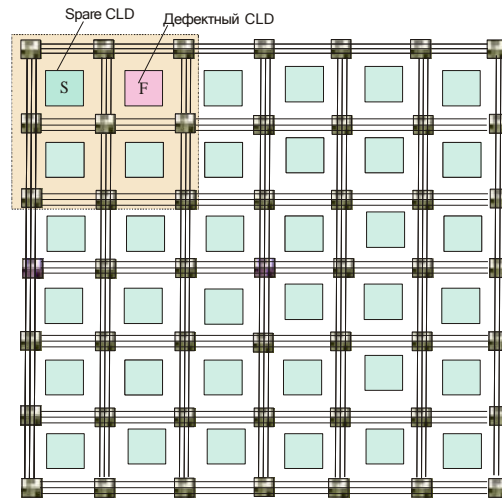


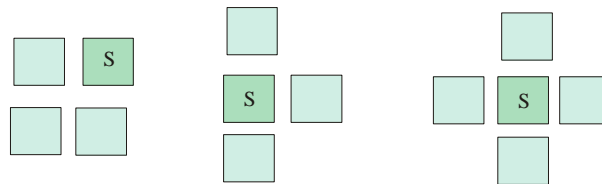
Рис. 6. Модель с избыточностью

Использование bitstream является обязательным, поскольку процедура перепрограммирования может затрагивать все ресурсы FPGA. Следовательно, должен быть реализован полный алгоритм place-and-route. Данная процедура является времязатратной и не может быть выполнена в режиме on-line. Она реализуется во время компиляции проекта с использованием методов уменьшения размерности предварительно скомпилированного битового потока. 3) Модель с избыточностью оперирует матрицей блоков CLB, разделенной на столбцы, среди которых имеется один или несколько избыточных, используемых для восстановления работоспособности цифровой системы (рис.6). Если неисправность обнаружена в функциональном столбце, он маркируется как дефектный и заменяется резервным. Модель процесса позволяет выполнять частичное реконфигурирование структуры FPGA путем разделения bitstream, как это используется в кристаллах компании Xilinx. Процедура реконфигурирования выполняется в реальном масштабе времени. Также имеется возможность упростить, а значит – ускорить ее реализацию с помощью укрупнения детализации функциональных модулей. Недостаток – при обнаружении дефектного CLB другие исправные блоки, принадлежащие столбцу, также маркируются как дефектные и выводятся из функционирования. 4) Мозаичная модель. Здесь структура FPGA делится на клетки, содержащие резервные CLB, каждый из которых может восстановить один дефектный блок в рассматриваемой клетке (рис.7).

В процессе диагностирования определяется местоположение дефектной области с глубиной детализации выше, чем размер клетки (ячейки). Это дает возможность заменить дефектный CLB резервным элементом клетки. Реконфигурация клетки обеспечивает исходную функциональность на новой карте. Межсоединения по периметру клетки с остальной частью FPGA должны быть неизменными в процессе реконфигурации. Такой подход позволяет уменьшить время восстановления работоспособности цифровой системы после обнаружения дефекта. Запасные конфигурации генерируются на стадии проектирования и хранятся в памяти. Каждая клетка формируется как набор блоков CLB и межсоединений FPGA с помощью описания интерфейса, который определяет и обеспечивает связи с другими клетками кристалла. Использование интерфейса клеток позволяет не вовлекать другие компоненты в процесс реконфигурирования, уменьшая используемую память. Модель позволяет восстанавливать не только CLB, но и локальные дефектные межсоединения. Ошибки глобальных межсоединений требуют других подходов, поскольку они пересекают периметр клеток, делая их зависимыми друг от друга. Структура клетки зависит от межсоединений FPGA (рис. 7, а). Как правило, один из нескольких CLB, принадлежащих клетке, является резервным элементом. Остальные блоки используются в штатном режиме. При обнаружении неисправности клетка реконфигурируется путем исключения из функционирования дефектного блока. На рис. 7,б показаны структуры клетки, форма которых отличается от квадратной. В кристаллах Atmel FPGA используются диагональные межсоединения, для которых модель, представленная на рис. 7,б, является более предпочтительной[22].



а



б

Рис. 7. Мозаичная модель восстановления: а – клетка с одним резервным и одним дефектным CLB; б – клетки разной формы

Иерархическая модель представляет собой наиболее общий случай восстановления работоспособности. Все остальные, описанные выше, могут рассматриваться как ее частные случаи. Оптимальная структура применима только на нижнем уровне иерархии, в то время как модель с избыточностью имеет резервные ресурсы только на верхнем уровне для замены дефектного столбца блоков. Мозаичная модель имеет избыточность на нижнем уровне иерархии, поэтому один из двух дефектных блоков, расположенных в одной клетке, является невозстанавливаемым. Для устранения данного недостатка следует использовать дополнительные резервные клетки.

При использовании двухуровневой архитектуры цифровой системы в кристалле FPGA вероятность ее исправного функционирования при наличии не более чем  $q$  дефектов, равного количеству резервных элементов, определяется выражением [20]:

$$P_{nf}(t) = \sum_{i=0}^q \binom{m}{i} P_{tile}(t)^{m-i} (1 - P_{tile}(t))^i,$$

где  $m$  – общее число клеток в FPGA или блоков CLB в клетке;  $q$  – количество резервных клеток или блоков в каждой из них.

Для сравнения четырех моделей восстановления работоспособности SiP в [20] использовались матричная (квадратная) структура FPGA (число строк и столбцов равно 100) с резервом CLB, равным 25%. 1) Оптимальная модель: количество CLB, используемых в процессе функционирования системы, равно 7500, резервных элементов – 2500. 2) Мозаичное восстановление: каждая клетка (tile) включает 4 CLB, 3 из которых используются в процессе функционирования и один является резервным, количество клеток равно 2500. 3) Модель с избыточностью: количество столбцов равно 100, каждый столбец состоит из 100 CLB, 75 из которых используется в работе и 25 – резервные. 4) Иерархическая модель: количество клеток равно 2000, каждая из них содержит 5 CLB, 4 из которых – функциональные и один – резервный. Используется 1875 рабочих клеток и 125 резервных. Общее число резервных блоков CLB равно 2500.

Для малых значений интенсивности отказов надежность восстановления с избыточностью превосходит надежность ремонта на основе мозаичной модели. При увеличении интенсивности отказов надежность первого подхода резко падает ввиду ограниченного количества резервных элементов, а надежность второго – плавно уменьшается благодаря меньшей избыточности блоков CLB для восстановления работоспособности. Таким образом, существующие структуры восстановления работоспособности можно разделить на две группы: 1) Модели, ориентированные на замену единичного элемента (оптимальная и мозаичная). 2) Модели, ориентированные на замену группы дефектных элементов (иерархическая и модель с избыточностью).

Реализация рассмотренных в работе моделей восстановления работоспособности цифровых систем основана на выполнении времязатратной процедуры Place and Route или использовании управляющих регистров для оперативного реконfigurирования структуры FPGA в реальном масштабе времени в целях исключения из процесса функционирования дефектных блоков.

**Список литературы:** 1. Wang F. Z., Wu S., Helian N., Parker M. A., Guo Y., Deng Y., and Khare V. R. Grid-Oriented Storage: A Single-Image, Cross-Domain, High-Bandwidth Architecture // IEEE Transactions on Computers. 2007. P.474–487. 2. Hamdioui S., Gaydadjiev G. N., van de Goor A. J. The State-of-the-art and Future Trends in Testing Embedded Memories // Records IEEE International Workshop on Memory Technology, Design, and Testing, San Jose, CA, August 2004. 2004. P. 54–59. 3. Zhong Y., Dropsho S. G., Shen X., Studer A., Ding C. Miss Rate Prediction Across Program Inputs and Cache Configurations // IEEE Transactions on Computers. 2007. P. 328–343. 4. Memory Repair Primer – A guide to understanding embedded memory Repair options and issues. Logic Vision. 2007. 5. Shoukourian S., Vardanian V., Zorian Y. SoC Yield Optimization via an Embedded-Memory Test and Repair Infrastructure // IEEE Design and Test of Computers. 2004. P. 200–207. 6. Youngs L., Paramanandam S. Mapping and Repairing Embedded-Memory Defects // IEEE Design and Test of Computers. 1997. P. 18–24. 7. Zorian Y., Shoukourian S. Embedded-Memory Test and Repair: Infrastructure IP for SoC Yield // IEEE Design and Test of Computers. 2003. P. 58–66. 8. Huang R., Chen Ch., Wu Ch. Economic Aspects of Memory Built-in Self-Repair // IEEE Design & Test. 2007. P. 164–172. 9. Choi M., Park N., Lombardi F., Kim Y. B., Piuri V. Optimal Spare Utilization in Repairable and Reliable Memory Cores // 2003 International Workshop on Memory Technology, Design and Testing (MTDT'03). 2003. P. 64–71. 10. Ohler Ph., Hellebrand S., Wunderlich H.-J. An Integrated Built-In Test and Repair Approach for Memories with 2D Redundancy // 12th IEEE European Test Symposium (ETS'07). 2007. P. 91–96. 11. Kwang-Ting (Tim) Cheng. The Need for a SiP Design and Test Infrastructure // IEEE Design and Test of Computers. May–June, 2006. P. 181. 12. Peter Rickert, William Krenik. Cell Phone Integration: SiP, SoC, and PoP // IEEE Design and Test of Computers. May–June, 2006. P. 188-195. 13. FSA SiP Market and Patent Analysis Report. FSA SiP Subcommittee // IEEE Design & Test of Computers. Vol. 24, Issue 2, March–April, 2007. P. 184-192. 14. Lee Whetsel. System-in-Package Testing Using Existing IEEE Test Standards // International Test Conference 2001 (ITC'01). 2001. P. 1167. 15. Ajay Khoche. System-in-Package is Coming to Consumer Products: Is Test Ready? // Proceedings of the International Test Conference 2001 (ITC'01). 2001. P. 1166. 16. Fontanelli A. System-in-Package Technology: Opportunities and Challenges // Quality Electronic Design, 2008. ISQED 2008, 9th International Symposium. March, 2008. P. 589–593. 17. Lim S.K. Physical design for 3D system on package // IEEE Design & Test of Computers. Vol. 22, Issue 6. Nov.-Dec., 2005. P. 532–539. 18. Tummala R.R., Madiseti, V.K. System on chip or system on package? // IEEE Design & Test of Computers. Volume 16, Issue 2. April-June, 1999. P. 48–56. 19. Appello D., Bernardi P., Grosso M., Reorda M.S. System-in-package testing: problems and solutions // IEEE Design & Test of Computers. Vol. 23, Issue 3. May-June, 2006. P. 203–211. 20. Pontarelli S., Ottavi M., Vankamamidi V., Salsano A., Lombardi F. Reliability Evaluation of Repairable/Reconfigurable FPGAs // 21st IEEE International Symposium on Defect and Fault-Tolerance in VLSI Systems (DFT'06). October, 2006. P. 227-235. 21. Wang S.-J., Tsai T.-M. Test and diagnosis of faulty logic blocks in FPGAs // IEEE Proceedings Computers and Digital Techniques. Vol. 146, Issue 2. March, 1999. P.100–106. 22. Pontarelli S., Cardarilli G.C., Malvoni A., Ottavi M., Re M., Salsano A. System-on-chip oriented faulttolerant sequential systems implementation methodology // IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems. Oct., 2001. P. 455–460. 23. Ross R., Hall R. A FPGA Simulation Using Asexual Genetic Algorithms for Integrated Self-Repair // Adaptive Hardware and Systems, 2006. AHS 2006. First NASA/ESA Conference on Volume. Issue 15-18 June 2006. P. 301-304. 24. Subhasish Mitra, Huang W.-J., Saxena N.R., Yu S.-Y., McCluskey E.J. Reconfigurable architecture for autonomous self-repair // IEEE Design & Test of Computers. May-June, 2004. Vol. 21, Issue 3. P. 228–240. 25. Koal T., Vierhaus H. T. Basic Architecture for Logic Self Repair // 14th IEEE International On-Line Testing Symposium. 2008. P. 177–178. 26. Kothe R., Vierhaus H.T., Coym T., Vermeiren W., Straube B. Embedded Self Repair by Transistor and Gate Level Reconfiguration // IEEE Design and Diagnostics of Electronic Circuits and Systems. 2006. P. 208–213. 27. Mange D., Sipper M., Stauffer A., Tempesti G. Toward self-repairing and

self-replicating hardware: the Embryonics approach // Evolvable Hardware, Proceedings of the Second NASA/DoD Workshop. 2000. P. 205-214. **28.** *Subhasish M., Huang W.-J., Saxena N.R., Yu S.-Y., McCluskey E.J.* Reconfigurable architecture for autonomous self-repair // IEEE Design & Test of Computers.– Volume 21, Issue 3. May-June, 2004. P. 228-240. **29.** *Miclea L., Szilard E., Benso A.* Intelligent agents and BIST/BISR - working together in distributed systems // Proceedings of the Test Conference. 2002. P. 940-946. **30.** *Rashad S. Oreifej, Carthik A. Sharma, Ronald F. DeMara.* Expediting GA-Based Evolution Using Group Testing Techniques for Reconfigurable Hardware // Reconfigurable Computing and FPGA's, 2006. ReConFig 2006. IEEE International Conference. Sept., 2006. P. 1-8. **31.** *Anand D., Cowan B., Farnsworth O., Jakobsen P., Oakland S., Ouellette M.R., Wheeler D.L.* An on-chip self-repair calculation and fusing methodology // IEEE Design & Test of Computers. Volume 20, Issue 5. Sept.-Oct., 2003. P. 67-75.

*Поступила в редколлегию 14.12.2008*

**Литвинова Евгения Ивановна**, канд. техн. наук, доцент кафедры технологии и автоматизации производства РЭС и ЭВС ХНУРЭ. Научные интересы: алгоритмизация задач автоматизированного проектирования электронных вычислительных средств, автоматизация диагностирования и встроенный ремонт компонентов цифровых систем в пакете (SiP). Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-421.

## РЕФЕРАТИ

---

УДК 681.326:519.613

**Технології убудованого ремонту компонентів System-in-Package** / Є. І. Литвинова // АСУ та прилади автоматики. 2008. Вип. 145. С. 40-48.

Аналіз сучасних технологій убудованого сервісного обслуговування функціональностей цифрової системи у пакеті (SiP) показав «вузькі місця» існуючих стратегій тестування та відновлення працездатності SiP. Визначено напрям подальших досліджень – розробка технологічного підходу до убудованого відновлення працездатності цифрової системи у пакеті в цілях скорочення часу та підвищення надійності відновлення.

Іл. 7. Бібліогр.: 31 назва.

UDC 681.326:519.613

**Embedded technologies of SiP components repair** / E.I. Livinova // Management Information System and Devises. 2008. N 145. P.40-48.

This paper suggests analysis of the modern technologies of embedded F-IP Infrastructure for SiP. The bottle necks of SiP test and repair strategies are shown. The areas of further research is determined, it is development of a technological approach to the embedded repair of digital SiP to decrease repair time and to improve its reliability.

Fig. 7. Ref.: 31 items.

Fig. 5. Ref.: 19 items.