

Міністерство освіти і науки, молоді та спорту України
Харківський національний університет радіоелектроніки

ПЕТРОВ ВЛАДИСЛАВ ВІКТОРОВИЧ

УДК 004.312.43

**МЕТОДИ І МОДЕЛІ ПОБУДОВИ
КОМПОНЕНТІВ ЦИФРОВИХ ПРИСТРОЇВ
НА ОСНОВІ МАТРИЧНИХ БІНОМІАЛЬНИХ ЧИСЕЛ**

05.13.05 - комп'ютерні системи та компоненти

Автореферат
дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків - 2012

Дисертацією є рукопис.

Робота виконана на кафедрі електроніки і комп'ютерної техніки Сумського державного університету Міністерства освіти і науки, молоді та спорту України.

Науковий керівник – доктор технічних наук, професор
Борисенко Олексій Андрійович,
Сумський державний університет,
завідувач кафедри електроніки і комп'ютерної
техніки.

Офіційні опоненти: доктор технічних наук, професор
Кривуля Геннадій Федорович,
Харківський національний
університет радіоелектроніки,
завідувач кафедри автоматизації
проекування обчислювальної техніки;

доктор технічних наук, професор
Краснобаєв Віктор Анатолійович,
Полтавський національний
технічний університет ім. Ю. Кондратюка,
завідувач кафедри комп'ютерної інженерії.

Захист відбудеться “_” _____ 2012 року о ____ годині на засіданні спеціалізованої вченої ради Д64.052.01 Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, просп. Леніна, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, просп. Леніна, 14.

Автореферат розісланий “_” _____ 2012 року.

Вчений секретар
спеціалізованої вченої ради

Є. І. Литвинова

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Комп'ютерні системи та мережі знайшли широке застосування у сучасному житті. За їх допомогою вирішуються завдання керування, слідкування, збору, передачі, перетворення та зберігання інформації, а також багато інших. Тенденції розвитку комп'ютерних систем полягають у неперервному збільшенні їх швидкодії, однак, це завдання і досі залишається актуальним. Його вирішення можливе за рахунок конструктивних методів, а саме збільшення тактових частот та зменшення напруг живлення. Крім того, можливо отримати додаткове підвищення швидкодії за рахунок удосконалення структурної організації системи. Швидкодія комп'ютерних систем визначається параметрами цифрових пристроїв, що складають їх основу. У свою чергу, параметри пристроїв залежать від швидкодії компонентів, що входять до їх складу. Тому на практиці виникає задача підвищення швидкодії компонентів цифрових пристроїв, ефективного вирішення якої покращить показники всієї комп'ютерної системи. Вирішити цю задачу можна за допомогою введення інформаційної надлишковості до компонентів цифрових пристроїв. До них відносять лічильні пристрої, регістри, дешифратори, перетворювачі коду, кодувальні та декодувальні пристрої та ін.

Ідея введення надлишковості вперше використана Дж. фон Нейманом. Методи поелементного резервування розглянуті у роботах І. Мура і К. Шеннона. М. А. Гавриловим і А. Д. Закревським були запропоновані та набули подальшого розвитку методи, що ґрунтуються на введенні інформаційної надлишковості за допомогою кодів, що коректують помилки. Інформаційна надлишковість при побудові цифрових пристроїв використовувалась у роботах Я. А. Хетагурова, Є. С. Согомояна, В. С. Харченка, В. М. Рудницького.

Особливим видом інформаційної надлишковості є природна надлишковість, властива поданню числа у вигляді коду з обмеженнями. Її перевагою над досить поширеною штучною надлишковістю є відсутність додаткових витрат часу на її формування та обробку. Одним із шляхів уведення природної інформаційної надлишковості до компонентів цифрових пристроїв є використання для їх побудови спеціальних завадостійких систем числення, до яких відносять біноміальні системи числення. Особливістю цієї роботи є те, що в ній використовуються біноміальні числа з матричною структурою. Перевагою таких чисел є те, що компоненти цифрових пристроїв на їх основі мають підвищену швидкодію як результат подання інформації у вигляді матричної структури та розпаралелювання операцій її обробки.

Іншою перевагою матричних біноміальних компонентів цифрових пристроїв є завадостійкість, що виникає за рахунок наявності природної інформаційної надлишковості. Ця властивість цифрових компонентів є досить важливою, оскільки зростання швидкодії в сучасній елементній базі пов'язане зі збільшенням тактових частот та зменшенням напруг живлення. Це призводить до зменшення енергетичного рівня інформаційних сигналів, що збіль-

шує чутливість апаратури до дії зовнішніх та внутрішніх завад, і, як результат, збільшується інтенсивність помилок. Використання матричних біноміальних чисел для побудови компонентів цифрових пристроїв дозволяє виявляти та частково виправляти ці помилки. Головна перевага таких схем полягає в тому, що вони, підвищуючи ефективність контролю, не знижують швидкодію завдяки можливості контролювати помилки без зупинення компонентів, що практично неможливо при використанні штучної надлишковості. Крім того, при використанні матричних біноміальних компонентів виникає можливість реалізувати наскрізний контроль усіх інформаційних процесів системи.

Матричні біноміальні компоненти можуть бути використані при побудові швидкодіючих і одночасно завадостійких цифрових пристроїв, що входять до складу комп'ютеризованих та комп'ютерних систем і мереж, керуючих пристроїв, систем збору, стиску та захисту інформації від несанкціонованого доступу. Крім того, специфічні властивості матричних біноміальних компонентів дають можливість будувати спеціалізовані пристрої для формування комбінаторних конфігурацій, такі, як генератори рівноважних кодів, сполучень. Однак на сьогодні матрична біноміальна система числення може бути вдосконалена, а відповідні компоненти цифрових пристроїв потребують розроблення та вдосконалення схем. Крім того, важливою задачею є оцінка цих схем для їх порівняння між собою.

Таким чином, актуальність дисертаційної роботи обумовлюється потребами підвищення швидкодії компонентів цифрових пристроїв і відповідним збільшенням їх завадостійкості.

Зв'язок роботи з науковими програмами, планами, темами. Дисертаційна робота виконувалася згідно з планом науково-дослідних робіт Сумського державного університету в рамках держбюджетної теми кафедри електроніки і комп'ютерної техніки "Розробка методики алгоритмів і програм для електронних систем кодування інформації", № ДР 0107U012782, у розробці яких автор брав участь як виконавець. У рамках зазначеної теми автором розроблені методи оцінки завадостійкості та вибору оптимальних параметрів матричних біноміальних кодів. Дисертація є складовою частиною проведених досліджень з цієї теми.

Мета дослідження – розробка моделей і методів побудови та оцінки компонентів цифрових пристроїв на основі матричних біноміальних чисел для підвищення швидкодії та завадостійкості обробки інформації.

Для досягнення цієї мети потрібно вирішити такі задачі:

1. Провести аналіз шляхів підвищення швидкодії компонентів цифрових пристроїв.
2. Удосконалити методи обробки та перетворення матричних біноміальних чисел.
3. Розробити моделі та відповідні методи синтезу матричних біноміальних компонентів цифрових пристроїв із підвищеною швидкодією та завадостійкістю.

4. Розробити модель оцінки завадостійкості матричних біноміальних компонентів цифрових пристроїв.

5. Розробити метод виявлення однократних помилок за допомогою матричних біноміальних чисел.

6. Розробити пристрої на основі запропонованих компонентів для використання в прикладних задачах.

Об'єкт дослідження – процеси синтезу швидкодіючих завадостійких компонентів цифрових пристроїв.

Предмет дослідження – методи та моделі побудови й оцінки компонентів цифрових пристроїв на основі матричних біноміальних чисел.

Методи дослідження: теорія завадостійкого кодування – для вдосконалення методів обробки та перетворення матричних біноміальних чисел; теорія цифрових автоматів – для вдосконалення існуючих та розробки нових методів побудови матричних біноміальних компонентів; комбінаторика і теорія ймовірності – для побудови моделей оцінки завадостійкості матричних біноміальних компонентів; імітаційне моделювання – для перевірки запропонованих моделей.

Наукова новизна одержаних результатів:

1. Уперше запропоновано метод виявлення помилок у матричних біноміальних компонентах цифрових пристроїв, що полягає у виборі перевірного розряду у кінці кожного рядка матриць так, що кількість одиниць в рядках залишається парною, що дозволило підвищити рівень завадостійкості відповідних компонентів цифрових пристроїв.

2. Уперше запропоновано модель оцінки завадостійкості матричних біноміальних компонентів, що характеризується обчисленням ймовірностей помилок чисел на виході пристрою залежно від імовірності помилки одного розряду, довжини чисел та кількості одиниць у них, що дає можливість будувати компоненти із заданим рівнем завадостійкості.

3. Набули подальшого розвитку методи обробки та перетворення матричних біноміальних чисел, у яких на відміну від існуючих уведена перевірка чисел на предмет помилок за допомогою логічного аналізу матриць, що дозволяє більш ефективно контролювати правильність роботи матричних біноміальних компонентів цифрових пристроїв за допомогою вбудованих схем контролю.

4. Набув подальшого розвитку метод синтезу матричних біноміальних лічильних пристроїв, у якому на відміну від існуючого для побудови лічильних пристроїв використовуються універсальні комірки пам'яті, в котрих організовано паралельний перенос сигналів по стовпцях матриці, що дозволило підвищити швидкодію відповідних лічильних пристроїв.

Практичне значення одержаних результатів. Розроблені автором моделі доведено до рівня програмної реалізації у вигляді VHDL-коду. Вони можуть знайти практичне застосування при побудові завадостійких систем збору та реєстрації даних, швидкодіючих керуючих пристроїв, біноміальних пристроїв стиску та захисту інформації, спеціалізованих генераторів комбіна-

торних конфігурацій. Розроблено швидкодіючі компоненти перетворення, зберігання, лічби, дешифрації, контролю, кодування та декодування матричних біноміальних чисел. Розроблено модель оцінки завадостійкості матричних біноміальних компонентів, яка дозволяє оптимізувати їх параметри з метою забезпечення необхідного рівня завадостійкості обробки інформації при мінімальних апаратурних витратах.

Запропоновані швидкодіючі компоненти цифрових пристроїв були використані на науково-виробничому підприємстві «Selmi» (м. Суми) у вигляді завадостійкого спеціалізованого дільника частот зі змінним коефіцієнтом ділення, що дозволяє підвищувати діапазон вимірювання приладів для реєстрації частоти та часу (акт впровадження від 17.08.2011). Методи побудови і оцінки завадостійкості компонентів цифрових пристроїв на основі матричних біноміальних чисел, а також пакети програм для дослідження ймовірнісних характеристик чисел використані в Сумському державному університеті в навчальному процесі дисциплін «Інформаційні основи електронної техніки», «Основи теорії кодування», «Цифрова схемотехніка», «Цифрові автомати», а також під час виконання дипломних проєктів і випускних робіт магістрів (акт впровадження від 14.06.2011).

Особистий внесок здобувача. Усі основні результати дисертаційної роботи одержані автором самостійно. У роботах, виконаних у співавторстві, автору належать такі результати: [4] – запропоновано модель оцінки завадостійкості матричних біноміальних компонентів цифрових пристроїв; [9] – вдосконалено методи обробки та перетворення матричних біноміальних чисел; [13] – отримана загальна структура матричних біноміальних лічильних пристроїв.

Апробація результатів дисертації. Основні результати дисертації доповідалися та обговорювалися на таких конференціях: науково-технічній конференції викладачів, співробітників та аспірантів (Суми, СумДУ, 2009); п'ятій всеукраїнській науково-практичній конференції «Теоретичні і прикладні проблеми фізики, математики та інформатики» (Київ, КП, 2009); VI міжнародній науково-практичній конференції «Сучасні проблеми радіоелектроніки, телекомунікацій та приладобудування» СПРТП-2009 (Вінниця, ВНТУ, 2009); міжнародній науково-практичній конференції «Информационные технологии и информационная безопасность в науке, технике и образовании» Інфотех-2009 (Севастополь, СевНТУ, 2009); другій міжнародній науково-практичній конференції «Методи та засоби кодування, захисту й ущільнення інформації» (Вінниця, 2009); другій міжнародній науково-технічній конференції «Інтелектуальні системи в промисловості» ІСПО-2009 (Суми, СумДУ, 2009); міжнародній науково-практичній конференції «Інформаційні технології та комп'ютерна інженерія» (Вінниця, ВНТУ 2010); «Гарантоздатні (надійні та безпечні) системи, сервіси та технології» DESSERT-2010 (Кіровоград, 2010); науково-технічній конференції факультету електроніки та інформаційних технологій (Суми, СумДУ, 2010).

Публікації. За результатами виконаних досліджень опубліковано 22 роботи, у тому числі 12 статей у наукових фахових виданнях України, 8 матеріалів конференцій та 2 патенти України на корисну модель.

Структура та обсяг дисертації. Робота складається зі вступу, 5 розділів, загальних висновків, додатків. Загальний обсяг дисертації – 207 сторінок, у тому числі 157 сторінка основного тексту. Дисертація містить 45 рисунків, 23 таблиці та список використаних джерел із 127 назв на 12 сторінках.

ОСНОВНИЙ ЗМІСТ РОБОТИ

Вступ до дисертації містить обґрунтування актуальності теми, визначення об'єкта і предмета дослідження, формулювання мети і задачі роботи, опис основних наукових результатів, їх новизни, достовірності та практичної значущості, а також відомості про публікації, впровадження, апробацію і структуру роботи.

У першому розділі на підставі аналізу літературних джерел, відомих теоретичних положень і технічних рішень обговорюються шляхи підвищення швидкодії та завадостійкості компонентів цифрових пристроїв, обґрунтовується вибір предмета дослідження і формулюються задачі дослідження.

На основі аналізу шляхів підвищення швидкодії компонентів цифрових пристроїв було обґрунтоване застосування природної інформаційної надлишковості з використанням матричних біноміальних двійкових чисел. Компоненти цифрових пристроїв на основі матричних біноміальних чисел можуть бути використані при побудові систем збору і реєстрації інформації у вигляді датчиків, керуючих пристроїв, пристроїв передачі та стиску даних, захисту інформації від несанкціонованого доступу. Ще однією корисною властивістю матричних біноміальних компонентів є можливість побудови генераторів рівноважних кодів та сполучень з малими апаратурними витратами.

Дією зовнішніх та внутрішніх заводостійких завад спотворюється робота цифрових пристроїв, що призводить до появи помилок на їх виходах. При цьому на підставі опублікованих результатів досліджень був зроблений висновок, що в цифрових пристроях значний обсяг становлять однократні помилки.

Для оцінки заводостійкості цифрових пристроїв у роботі використана відома модель, у якій цифровий пристрій подається у вигляді абсолютно надійного пристрою і блока передачі інформації з нульовою затримкою. При цьому заводостійкість цифрового пристрою визначатиметься лише заводостійкістю блока передачі інформації.

Як показники заводостійкості матричних біноміальних компонентів обрані ймовірності P, Z, V відповідно правильних переходів, помилкових переходів, що виявляються і не виявляються.

Процес появи помилок на виходах цифрового пристрою характеризується ймовірностями p_{10} та p_{01} спотворення значень відповідно одиничних і нульових станів (переходів $1 \rightarrow 0$ та $0 \rightarrow 1$).

Необхідно вирішити задачу отримання матричних біноміальних компонентів з $f \rightarrow f_{\max}$ при $V \leq V_3$, де f – швидкодія матричних біноміальних компонентів; V – імовірність невиявлення помилки; V_3 – задане значення ймовірності невиявлення помилки. Розв’язання задачі полягає в удосконаленні методів синтезу матричних біноміальних компонентів цифрових пристроїв та підборі їх параметрів. Виходячи з цього, був обраний предмет і сформульовані задачі дослідження.

У другому розділі завдяки введенню логічного аналізу матриць набули подальшого розвитку методи обробки та перетворення матричних біноміальних чисел, що дозволяє більш ефективно контролювати правильність роботи цифрових пристроїв за допомогою вбудованих схем контролю. Запропоновано методи контролю, кодування та числова функція матричної біноміальної системи числення.

Двійкові $x \in \{0, 1\}$ матриці, що складаються з $(n - k + 1)$ рядків і k стовпців

$$\begin{bmatrix} x_{01} & x_{02} & \cdots & x_{0j} & \cdots & x_{0k} \\ x_{11} & x_{12} & \cdots & x_{1j} & \cdots & x_{1k} \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ x_{i1} & x_{i2} & \cdots & x_{ij} & \cdots & x_{ik} \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ x_{(n-k)1} & x_{(n-k)2} & \cdots & x_{(n-k)j} & \cdots & x_{(n-k)k} \end{bmatrix},$$

що задовольняють властивості 1 – 3, називаються матричними біноміальними числами з параметрами n і k (рис. 1).

Сукупність усіх $N = C_{n+1}^k$ матричних біноміальних чисел для заданих параметрів n і k утворюють матричний біноміальний код.

У біноміальних числових матрицях повинні виконуватися такі основні властивості:

1. У стовпці матриці може знаходитися не більше однієї 1, тобто $x_{ij} \cdot x_{zj} = 0$, де $i, z = 0, 1, \dots, n - k$; $i \neq z$; $j = 1, 2, \dots, k$.

2. Одиниці в матриці в кількості від 1 до k розташовані в одному або декількох рядках так, що перед стовпцями з одиницями або між ними відсутні стовпці, в яких знаходяться нулі. Якщо дано початкову одиницю у вигляді елемента x_{i1} , проміжні $x_{i'2}$, $x_{i''j}$ і кінцеву $x_{yj'}$, то для них справедлива рівність

$$x_{i1} \cdot x_{i'2} = 1,$$

$$x_{i1} \cdot x_{i'2} \cdot \dots \cdot x_{i''2j} = 1, \dots, x_{i1} \cdot x_{i'2} \cdot \dots \cdot x_{yj'} = 1, i, i'', i', y = 0, 1, \dots, (n - k); i \geq i'' \geq i' \geq y;$$

$$j, j' = 1, 2, \dots, k; j \geq 3.$$

3. Серед елементів будь-якої діагоналі матриці, спрямованої зліва направо, тільки один елемент може дорівнювати одиниці. Це означає, що добуток $x_{ij}x_{(i+p)(j+p)} = 0$ для всіх значень $i = 0, 1, \dots, (n-k)$ і $j = 1, 2, \dots, k$, де $p = 1, 2, \dots, (n-k-i)$ при $k-j \geq n-k-i$.

Матричні біноміальні числа мають окремі випадки, які виникають у результаті того, що співвідношення параметрів n і k визначають параметри матриці. Так, при співвідношенні параметрів $k = n$ матриця складається з одного рядка, а при співвідношенні $k = 1$ – з одного стовпця.

0	1	2	3	4
$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 1 & 1 & 1 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$
5	6	7	8	9
$\begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 1 & 1 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 1 \\ 1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{bmatrix}$
10	11	12	13	14
$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 1 & 1 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 0 \end{bmatrix}$
15	16	17	18	19
$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 1 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 1 \\ 0 & 0 & 0 \\ 1 & 1 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 1 \\ 1 & 1 & 0 \end{bmatrix}$	$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 1 & 1 \end{bmatrix}$

Рис. 1. Приклад матричних біноміальних чисел для $n = 5$, $k = 3$

Матричний біноміальний код є завадостійким, оскільки має природну надлишковість і містить $N = C_{n+1}^k$ дозволених комбінацій та $N_{зб} = 2^{(n-k+1)k} - N$ – заборонених. Для виявлення помилок за допомогою матричного коду необхідна перевірка основних властивостей 1 – 3. Невиконання хоча б однієї властивості свідчатиме про наявність помилки. Встановлено, що такий метод контролю вимагає великої кількості операцій та часу. З метою підвищення швидкодії та ефективності операції контролю запропоновано логічний аналіз матриць, згідно з яким для контролю помилок необхідна перевірка системи достатніх властивостей:

$$\begin{cases} \bigcup_{j=1}^k \bigcup_{i=0}^{(n-k-1)} x_{ij} \cdot Sm_{(i+1)j} = 0, \\ \bigcup_{i=0}^{(n-k)} \bigcup_{j=1}^{(k-1)} Sm_{ij} \cdot x_{i(j+1)} = 0, \end{cases} \quad (1)$$

де $Sm_{mj} = \bigcup_{z=m}^{(n-k)} x_{zj}$ – сума одиниць у стовпцях матриці.

Введення перевірки системи достатніх властивостей (1) у методи рахунку, перетворення, кодування і декодування матричних біноміальних чисел дозволило у реальному часі контролювати наявність помилок під час виконання операцій. Проведено доведення методів та узагальнення їх математичних моделей для різних параметрів чисел з метою синтезу компонентів цифрових пристроїв із вбудованими пристроями контролю.

Розглянута задача нумерації матричних біноміальних чисел, що вирішена раніше за допомогою узагальненого біноміального прямокутника. Прямокутник являє собою об'єднання матричного числа та біноміальних коефіцієнтів, що представляють можливі вагові коефіцієнти матричних чисел. Сума біноміальних коефіцієнтів, що залишилися після їх добутку з матричним числом, утворить десятковий еквівалент матричного числа. Встановлено, що перевагою цього методу є висока швидкодія при апаратній реалізації, однак існує ряд задач, коли номер матричного біноміального числа необхідно отримати за допомогою аналітичного виразу. Тому була запропонована числова функція матричної біноміальної системи числення

$$A_i = a_{n-1}C_n^k + a_{n-2}C_{n-1}^{k-q(n-1)} + \dots + a_1C_2^{k-q_2} + a_0C_1^{k-q_1},$$

де A_i – десятковий еквівалент матричного біноміального числа

$$a_{n-1} = x_{(n-k)1}, \quad a_{n-2} = x_{(n-k-1)1} \vee x_{(n-k)2}, \quad \dots, \quad a_1 = x_{0(k-1)} \vee x_{1k}, \quad a_0 = x_{0k} -$$

логічна сума елементів діагоналей біноміальної матриці, що йдуть зверху вправо;

$$q_l = \sum_{i=l}^{n-1} a_i, \quad - \text{сума одиничних значень цифр від } (n-1)\text{-го розряду до } l -$$

го включно.

У третьому розділі набув подальшого розвитку метод синтезу матричних біноміальних лічильних пристроїв з метою підвищення їх швидкодії та завадостійкості. Розроблені та узагальнені для різних параметрів n і k методи синтезу та моделі матричних біноміальних швидкодіючих регістрів, дешифраторів, перетворювачів коду, пристроїв кодування та декодування, що містять вбудовані схеми контролю.

Під час розгляду існуючих матричних біноміальних лічильних пристроїв виявлено, що їх швидкодія зменшується зі збільшенням величини $(n-k)$. Ця особливість обумовлена організацією послідовного переносу сигналів по стовпцях матриці. З метою підвищення швидкодії запропоновано використо-

увати для побудови лічильних пристроїв універсальні комірки пам'яті, в яких організовано паралельне перенесення сигналів по стовпцях. При цьому швидкодія не залежить від розрядності. Метод синтезу матричних лічильних пристроїв із параметрами n і k полягає у наступному. На першому кроці будеться $(n - k + 1)k$ універсальних чарунок пам'яті, заданих системою логічних функцій:

$$\begin{cases} S_{ij} = Sm_{(i-1)k} \cdot \overline{Sm_{ik}} \cdot \overline{Sm_{i(j-1)}} \cdot \overline{Sm_{(i+1)j}}, \\ R_{ij} = Sm_{(i-1)k} \cdot Sm_{ik} + Sm_{(i+1)j}, \\ Sm_{ij} = Sm_{(i+1)j} + x_{ij}, \\ Y_{ij} = x_{ij} \overline{Sm_{i(j-1)}} + x_{ij} Sm_{(i+1)j} + Y_{i(j-1)}, \end{cases}$$

На другому кроці між комірками пам'яті організовується паралельне перенесення сигналів по стовпцях за допомогою схем АБО та проводяться відповідні з'єднання. На рис. 2 наведений приклад матричного біноміального лічильного пристрою з підвищеною швидкодією для параметрів $n = 5$ і $k = 3$.

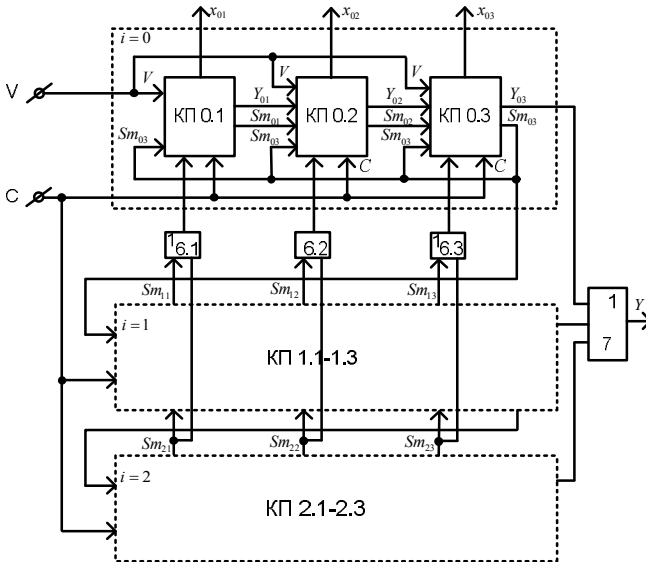


Рис. 2. Матричний біноміальний лічильний пристрій $n = 5$, $k = 3$

Для запропонованих лічильних схем отримано вираз максимальної швидкодії

$$f_{\max} = \frac{1}{\tau_1 + \tau_2 + \tau_{\text{АБО}}},$$

де τ_1, τ_2 – затримка проходження сигналів із входів комірки пам'яті на вихід.

Виявлено, що матричні біноміальні лічильні пристрої переважають у швидкодії лічильники у кодах Фібоначчі приблизно в півтора рази, прототи-пи - лінійні біноміальні лічильники на порядок. Крім того вони є більш швидкодійними ніж двійкові лічильники з послідовним, наскрізним, груповим та паралельним переносами. Встановлено, що матричні лічильні пристрої мають такі ж характеристики, як двійкові лічильники з паралельним переносом, тобто їх швидкодія не залежить від розрядності. Крім того, запропоновані лічильні схеми переважають у швидкодії всі заводські лічильники, побудовані на основі кодів зі штучною надлишковістю.

Виявлено, що мінімальні апаратні витрати мають лічильні схеми зі співвідношенням параметрів $k = \left\lceil \frac{n+1}{2} \right\rceil$, при відхиленні від цього співвідношення витрати зростають.

Запропоновані лічильні схеми складаються з чарунок пам'яті, в яких розподілена вбудована схема контролю. Розроблено та узагальнено для різних n і k метод синтезу вбудованих схем контролю матричних біноміальних компонентів. Запропоновані схеми на відміну від існуючих виявляють усі заборонені стани контрольованих пристроїв у процесі їх роботи за один такт. Для загального випадку схема контролю має такий вигляд:

$$Y = \bigcup_{i=0}^{(n-k)} Y_{ik},$$

де $Y_{ij} = x_{ij} \overline{Sm_{i(j-1)}} \vee x_{ij} Sm_{(i+1)j} \vee Y_{i(j-1)}$ – логічна функція помилки ij -го розряду, $i = 0, 1, \dots, (n-k)$, $j = 1, 2, \dots, k$.

Запропоновані лічильні пристрої, крім виявлення помилок, дозволяють частину з них виправляти. Установлено, що коефіцієнт корекції однократних помилок досягає 45 відсотків.

Розроблено та узагальнено метод синтезу дешифраторів матричного біноміального коду. Дешифратор у вигляді логічної функції

$$y_g = s_{0j} \wedge s_{1z} \wedge \dots \wedge s_{(n-k)l},$$

де y_g – вихід дешифратора, $g = 0, 1, \dots, (N-1)$;

$$\left\{ \begin{array}{l} s_{i0} = \overline{Sm_{i1}} \wedge \overline{Sm_{i2}}, \\ s_{i1} = Sm_{i1} \wedge \overline{Sm_{i2}}, \\ \dots, \\ s_{i(k-1)} = Sm_{i(k-2)} \wedge \overline{Sm_{i(k-1)}}, \\ s_{ik} = Sm_{i(k-1)} \wedge Sm_{ik}. \end{array} \right. \quad \text{– виходи суматорів одиниць;}$$

$j, z, l = 1, 2, \dots, k, j > z > l$.

Встановлено, що швидкодія дешифратора визначається затримкою двох елементів І незалежно від розрядності коду.

У четвертому розділі запропоновано модель оцінки завадостійкості матричних біноміальних компонентів.

Для оцінки завадостійкості компонентів цифрових пристроїв на основі матричних біноміальних чисел отримані співвідношення, що дозволяють обчислити ймовірність невиявлення помилок на виході пристрою залежно від ймовірності помилки одного розряду p_{10} та p_{01} і параметрів n і k компонентів

$$V = P_{\text{собоци}} \sum_{g=0}^{(C_{n+1}^k - 2)} \sum_{z=g+1}^{(C_{n+1}^k - 1)} \prod_{i=0}^{n-k} (p_{11}^{L_i(g,z)} p_{01}^{t_i - L_i(g,z)} p_{00}^{k - q_i - (t_i - L_i(g,z))} p_{10}^{q_i - L_i(g,z)} + p_{11}^{L_i(z,g)} p_{01}^{t_i - L_i(z,g)} p_{00}^{k - q_i - (t_i - L_i(z,g))} p_{10}^{q_i - L_i(z,g)}),$$

де $L_i(g, z) = q_i - (w_i - l_i)$, при переході в підмножину $q_i \leq t_i, w_i \leq l_i$,

$$w_i = \sum_{m=i+1}^{n-k} \sum_{s=1}^k x_{m,s}, \quad l_i = \sum_{m'=i+1}^{n-k} \sum_{s'=1}^k x'_{m',s'} - \text{кількість одиниць у рядках матриці};$$

$$L_i(g, z) = \begin{cases} 0, npu(w_i + q_i - l_i) \leq 0 \\ L = t_i - L', npu(w_i + q_i - l_i) > 0 \end{cases}, \text{ при переході в підмножину}$$

$q_i > t_i, w_i \leq l_i$;

$$L_i(g, z)_i = q_i - L', \quad L' = \begin{cases} 0, npu(t_i + l_i) - (q_i + w_i) \geq 0 \\ (q_i + w_i) - (t_i + l_i), npu(t_i + l_i) - (q_i + w_i) < 0 \end{cases}, \text{ при}$$

переході в підмножину $q_i \leq t_i, w_i > l_i$;

$$L_i(g, z) = q_i - ((q_i + q_w) - (t_i + t_w)), \text{ при переході в підмножину } q_i > t_i, w_i > l_i.$$

У середовищі Visual Basic розроблено імітаційні моделі, за допомогою яких перевірено отримані співвідношення.

У результаті досліджень імовірнісних характеристик матричних біноміальних компонентів отримані такі результати:

- при асиметричному характері помилок $p_{10} > p_{01}$ більш завадостійкими є матричні біноміальні компоненти, в яких параметр k наближається до n .

- при асиметричному характері помилок $p_{10} < p_{01}$ більш завадостійкими є числа, в яких параметр k наближається до 1.

На основі досліджень завадостійкості матричних біноміальних чисел та на основі того, що кількість кодових станів N_3 можна представити числами із різним співвідношенням параметрів n і k , поставлена задача оптимізації

параметрів із метою зменшення апаратурних витрат. Вимоги до матричних біноміальних компонентів описуються системою

$$\begin{cases} C_{n+1}^k \geq N_3, \\ k \cdot (n - k + 1) \leq Q_3, \\ V \leq V_3, \end{cases} \quad (2)$$

де N_3 – задана кількість станів компонента;

Q_3 – задані апаратурні витрати;

V_3 – задане значення ймовірності не виявлення помилки.

Задача полягає у виборі параметрів n і k матричних біноміальних компонентів, що задовольняють систему (2) для заданих ймовірностей помилок одного розряду p_{01} , p_{10} .

Для вирішення поставленої задачі запропоновано метод вибору оптимальних параметрів матричних біноміальних компонентів для забезпечення заданої завадостійкості при мінімальних апаратурних витратах, що полягає у наступному:

Крок 1. Введення значення ймовірностей помилок p_{01} , p_{10} одного розряду, введення заданого значення ймовірності невиявлення помилки V_3 , введення заданих апаратурних витрат Q_3 та кількості станів N_3 .

Крок 2. Оптимізація параметрів. Обчислення мінімальних апаратурних витрат Q_{\min} компонента цифрового пристрою, що забезпечить кількість кодів станів N_3 за допомогою біноміального прямокутника.

Крок 3. Перевірка можливості побудови матричного біноміального компонента із заданими апаратурними витратами. При $Q_{\min} > Q_3$ завдання визнається нерозв'язним.

Крок 4. Обчислення ймовірності невиявлення помилок V . За умови $V \leq V_3$ здійснюється перехід до оптимальних параметрів n і k , перехід до кроку 5. За умови $V > V_3$ виконується оптимізація параметрів n і k матричного компонента з метою збільшення завадостійкості та перехід до кроку 2.

Крок 5. Виведення оптимальних параметрів n і k матричного біноміального компонента.

У п'ятому розділі запропоновано метод виявлення всіх непарних та частини парних помилок у матричних біноміальних компонентах цифрових пристроїв. Запропоновано та узагальнено методи синтезу відповідних компонентів, проведена їх оцінка.

При аналізі завадостійкості матричних біноміальних компонентів виявлено, що вони знаходять частину однократних помилок, частину двократних, трикратних помилок і т. д. Виявлення лише частини однократних помилок є суттєвим недоліком, оскільки із літературних джерел відомо, що вони стано-

влять близько 70% у цифрових схемах. Здатність виявляти помилки кратністю l_0 залежить від мінімальної кодової відстані d_{\min} . Матричні біноміальні числа мають $d_{\min} = 1$, чого недостатньо для виявлення всіх однократних помилок. З метою ліквідації цього недоліку запропоновано метод виявлення однократних помилок, суть якого полягає у виборі перевірного розряду в кінці кожного рядка чисел так, що кількість одиниць у рядках залишається парною.

Матричні біноміальні числа з параметрами n і k доповнені $(k+1)$ -м стовпцем, що задовольняють додаткову властивість, називаються матричними біноміальними числами з перевіркою на парність. Додаткова властивість полягає у наступному. Сума одиниць по рядкам матричних біноміальних чисел з перевіркою на парність завжди залишається парною. Якщо дане n , k – матричне число з перевіркою на парність, то $x_{i1} \oplus x_{i2} \oplus \dots \oplus x_{ik} \oplus x_{i(k+1)} = 0$, $i = 0, 1, \dots, (n-k)$.

Сукупність усіх $N = C_{n+1}^k$ n , k матричних біноміальних чисел з перевіркою на парність утворюють матричний біноміальний код із перевіркою на парність. Приклад чисел для $n = 5$, $k = 3$ наведені на рис. 3.

$$\begin{array}{c}
 0 \qquad \qquad \qquad 1 \qquad \qquad \qquad 2 \qquad \qquad \qquad 3 \qquad \qquad \qquad 4 \\
 \left[\begin{array}{ccc|c} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{array} \right] 0 \quad \left[\begin{array}{ccc|c} 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{array} \right] 1 \quad \left[\begin{array}{ccc|c} 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{array} \right] 0 \quad \left[\begin{array}{ccc|c} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{array} \right] 1 \quad \left[\begin{array}{ccc|c} 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{array} \right] 0
 \end{array}$$

Рис. 3. Матричні біноміальні числа з перевіркою на парність

Завдяки введенню перевірного розряду $d_{\min} = 2$, чого достатньо для виявлення всіх однократних та інших непарних помилок. Крім того, перевірка системи властивостей матричних чисел дозволяє знаходити більшість парних. Для ефективного виявлення помилок у компонентах із перевіркою на парність необхідна одночасна перевірка систем достатніх та додаткової властивостей.

Проведено узагальнення математичних моделей завадостійкого рахунку та перетворення матричних біноміальних чисел з перевіркою на парність з метою розроблення моделей та методів синтезу компонентів цифрових пристроїв із вбудованими схемами контролю. На рис. 4 наведена схема матричного біноміального лічильного пристрою з підвищеною завадостійкістю для параметрів $n = 5$, $k = 3$.

Для оцінки завадостійкості компонентів цифрових пристроїв на основі матричних біноміальних чисел із перевіркою на парність отримані співвідношення, що дозволяють обчислити ймовірність невиявлення помилок

$$V = P_{\text{сообщ}} \sum_{g=0}^{(C_{n+1}^k - 2)} \sum_{z=g+1}^{(C_{n+1}^k - 1)} \prod_{i=0}^{n-k} (p_{11}^{L_i(g,z)} p_{01}^{t_i - L_i(g,z)} p_{00}^{k - q_i - (t_i - L_i(g,z))} \times$$

$$\times p_{10}^{q_i - L_i(g,z)} Pr_i(g,z) + p_{11}^{L_i(z,g)} p_{01}^{t_i - L_i(z,g)} p_{00}^{k - q_i - (t_i - L_i(z,g))} p_{10}^{q_i - L_i(z,g)} Pr_i(z,g)),$$

де $Pr_i(z, g)$ – імовірність помилки перевірного розряду.

У середовищі Visual Basic розроблено імітаційні моделі, за допомогою яких перевірено отримане співвідношення.

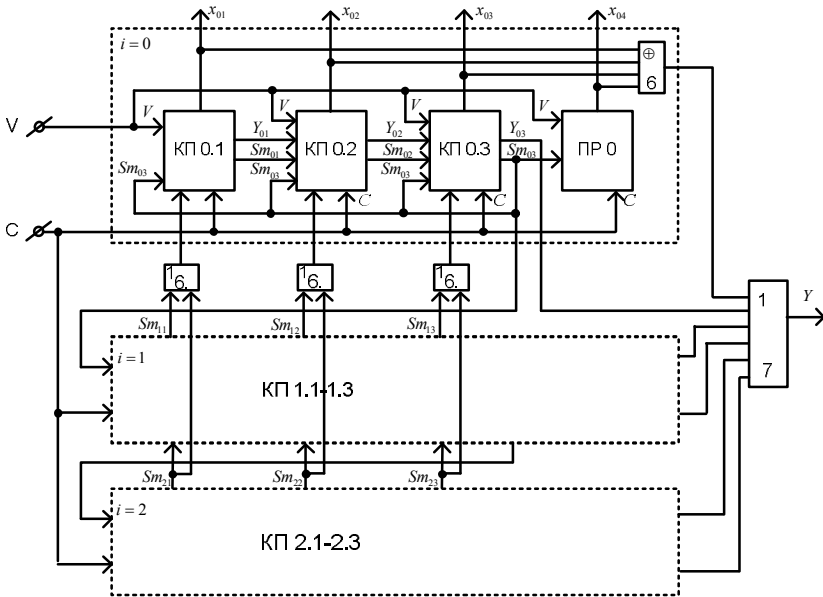


Рис. 4. Лічильний пристрій з підвищеною завадостійкістю $n = 5$, $k = 3$

У результаті аналізу ймовірнісних характеристик виявлено, що введення перевірки на парність підвищило завадостійкість матричних біноміальних компонентів у середньому на 5 порядків.

Встановлено, що матричні компоненти перевищують у завадостійкості компоненти у кодах Фібоначчі, а також лінійні біноміальні компоненти. Матричні компоненти з перевіркою на парність перевищують у завадостійкості компоненти в кодах із однією перевіркою на парність та компоненти в рівноважному коді.

Розраховано, що при використанні матричних біноміальних компонентів для побудови універсального мікропрограмного автомату Уїлкса імовірність не виявлення помилки всього автомата зменшилась у 1,2 рази. При використанні матричних компонентів із перевіркою на парність – у 1,6 раз. В обох випадках швидкодія автомату збільшилась.

ВИСНОВКИ

У дисертаційній роботі вирішено актуальну науково-практичну задачу розробки методів і моделей синтезу швидкодіючих компонентів цифрових пристроїв з підвищеною завадостійкістю на основі матричних біноміальних чисел. При вирішенні цієї задачі отримано наступні результати:

1. Проведено аналіз шляхів підвищення швидкодії та завадостійкості компонентів цифрових пристроїв, на основі якого було обґрунтоване застосування природної інформаційної надлишковості з використанням матричних біноміальних двійкових чисел.

2. Запропоновано новий метод виявлення помилок у матричних біноміальних компонентах цифрових пристроїв. Метод полягає у виборі перевірного розряду у кінці кожного рядка чисел так, що кількість одиниць у рядках залишається парною. Завдяки цьому мінімальна кодова відстань зросла до двох, чого достатньо для виявлення всіх однократних та інших непарних помилок. Крім того, одночасна перевірка системи властивостей матричних чисел дозволяє знаходити більшість парних помилок та деякі виправляти. Розроблені та узагальнені методи синтезу матричних біноміальних компонентів із перевіркою на парність. Розроблено модель оцінки завадостійкості даних компонентів. У результаті аналізу ймовірнісних характеристик виявлено, що введення перевірки на парність підвищило завадостійкість матричних біноміальних компонентів у середньому на 5 порядків.

3. Запропонована нова модель оцінки завадостійкості матричних біноміальних компонентів, у якій на основі отриманих співвідношень визначається ймовірність невиявлення помилок на виході пристрою залежно від імовірності помилки одного розряду, довжини чисел та кількості одиниць у них. Розроблена імітаційна модель, за допомогою якої доведено достовірність отриманих співвідношень. Запропоновано метод вибору оптимальних параметрів матричних біноміальних компонентів для забезпечення заданої завадостійкості при мінімальних апаратурних витратах, що полягає у підборі параметрів n і k чисел.

4. Набули подальшого розвитку методи обробки та перетворення матричних біноміальних чисел. На основі досліджень властивостей матричних чисел запропонована перевірка їх на предмет помилок за допомогою логічного аналізу матриць. Введення такої перевірки у методи обробки та перетворення чисел дозволяє більш ефективно контролювати правильність роботи матричних біноміальних компонентів цифрових пристроїв за допомогою вбудованих схем контролю у реальному часі.

5. Набув подальшого розвитку метод синтезу матричних біноміальних лічильних пристроїв в, якому використовуються універсальні комірки пам'яті, в яких організовано паралельне перенесення сигналів по стовпцях матриці, що дозволило підвищити швидкодію відповідних лічильних пристроїв та завадостійкість завдяки вмісту вбудованих схем контролю. У порівнянні з прототипами швидкодія лічильних пристроїв збільшилась у серед-

ньому на порядок. Розроблено методи синтезу і відповідні моделі матричних біноміальних компонентів цифрових пристроїв, таких, як регістри, пристрої контролю, дешифратори, перетворювачі коду, а також пристрої кодування й декодування.

6. Запропоновані швидкодіючі компоненти цифрових пристроїв були використані на науково-виробничому підприємстві «Selmi» (м. Суми) у вигляді завадостійкого спеціалізованого дільника частот зі змінним коефіцієнтом ділення, що дозволяє підвищувати діапазон вимірювання приладів для реєстрації частоти та часу.

СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Борисенко А.А. Цифровой автомат для перебора сочетаний / А.А. Борисенко, В.В. Петров // Вісник Сумського державного університету. – 2007. – № 2. – С. 127 – 129.
2. Борисенко А.А. Биномиальные счетные устройства / А.А. Борисенко, В.В. Гриненко, А.Е. Горячев, С.В. Костель, В.В. Петров // Вісник Сумського державного університету. – 2008. – № 1. – С. 147 – 157.
3. Борисенко А.А. Унитарный биномиальный счетчик с переменным коэффициентом пересчета / А.А. Борисенко, В.В. Петров // Вісник Сумського державного університету. – 2009. – № 2. – С. 165 – 168.
4. Борисенко А.А. Оценка помехоустойчивости унитарных кодов / А.А. Борисенко, В.В. Петров // Вісник Сумського державного університету. – 2009. – № 4. – С. 155 – 161.
5. Петров В.В. Синтез устройства контроля матричных биномиальных автоматов / В.В. Петров // Вісник Сумського державного університету. – 2010. – № 1. – С. 30 – 36.
6. Борисенко А.А. Матричные помехоустойчивые делители частоты / А.А. Борисенко, В.В. Петров, В.Н. Гапич // Радіоелектронні і комп'ютерні системи. – 2010. – №5 – С. 120 – 123.
7. Борисенко А.А. Отказоустойчивый управляющий автомат Уилкса / А.А. Борисенко, В.В. Петров, Д.В. Гугенко // Технічна електродинаміка. Тематичний випуск «Силовая електроніка та енергоефективність». – 2010. – №2 – С. 116 – 119.
8. Петров В.В. Матричная биномиальная система счисления / В.В. Петров // Вісник Сумського державного університету. – 2010. – № 3. – С. 142 – 153.
9. Борисенко О.А. Матричне біноміальне кодування / А.О. Борисенко, В.В. Петров // Вісник Київського національного університету імені Тараса Шевченка. – 2011. – №1. – С. 82 – 85.
10. Петров В.В. Матричные биномиальные числа с проверкой на четность / В.В. Петров // Вісник Сумського державного університету. – 2011. – № 2. – С. 106 – 111.
11. Петров В.В. Компоненты специализированных цифровых устройств на основе матричных биномиальных чисел / В.В. Петров // Вісник Сумського державного університету. – 2011. – № 3. – С. 145 – 158.

12. Борисенко А.А. Синтез унитарных биномиальных счетчиков / А.А. Борисенко, В.В. Петров // АСУ и приборы автоматики. – 2009. – № 148. – С. 8 – 13.

13. Пат. на корисну модель 48294 Україна, МПК (2009) G11B 20/10. Лічильник перешкодостійкий / О.А. Борисенко, В.В. Петров; заявн. Сумський державний університет. – № u200910104; заявл. 05.10.2009; опубл. 10.03.2010; Бюл. №5. – С. 1 – 3.

14. Пат. на корисну модель 49465 Україна, МПК (2009) G11B 20/10. Лічильник перешкодостійкий / О.А. Борисенко, В.В. Грищенко, В.М. Гапич, В.В. Петров; заявн. Сумський державний університет. – № u200912574; заявл. 04.12.2009; опубл. 26.04.2010; Бюл. №8. – С. 1 – 3.

15. Петров В.В. Оценка помехоустойчивости унитарных биномиальных счетчиков / В.В. Петров, А.А. Гусаков, В.В. Кремезный // Тези доповідей науково-технічної конференції викладачів, співробітників та аспірантів. – Суми: СумДУ, 2009. – С. 156 – 157.

16. Петров В.В. Оценка помехоустойчивости унитарных кодов / В.В. Петров, А.А. Гусаков, В.В. Кремезный // Тези доповідей П'ятої всеукраїнської науково-практичної конференції «Теоретичні і прикладні проблеми фізики, математики та інформатики». – Київ: КПІ, 2009. – С. 19 – 17.

17. Петров В.В. Синтез помехоустойчивого автомата Уилкса / В.В. Петров, Д.В. Гутенко // Тези доповідей VI Міжнародної науково-практичної конференції «Сучасні проблеми радіоелектроніки, телекомунікацій та приладобудування» (СПРТП-2009). – Вінниця: ВНТУ, 2009. – С. 13 – 14.

18. Петров В.В. Помехоустойчивый автомат Уилкса / В.В. Петров, Д.В. Гутенко // Тезисы докладов Международной научно-практической конференции «Информационные технологии и информационная безопасность в науке, технике и образовании» (Инфотех 2009). – Севастополь: СевНТУ, 2009. – С.347 – 348.

19. Борисенко А.А. Преобразование двоичных кодов в унитарные биномиальные и обратно / А.А. Борисенко, В.В. Петров // Тези доповідей Другої міжнародної науково-практичної конференції «Методи та засоби кодування, захисту й ущільнення інформації». – Вінниця, 2009. – С. 23 – 24.

20. Петров В.В. Повышение надежности цифровых систем / В.В. Петров, Д.В. Гутенко // Тези доповідей Другої міжнародної науково-технічної конференції «Інтелектуальні системи в промисловості» (ІСПО 2009). – Суми: СумДУ, 2009. – С. 98 – 99.

21. Борисенко А.А. Оценка помехоустойчивости матричных биномиальных автоматов / А.А. Борисенко, В.В. Петров, С.Ю. Булатов // Тези доповідей Міжнародної науково-практичної конференції «Інформаційні технології та комп'ютерна інженерія». – Вінниця: ВНТУ, 2010. – С. 352 – 353.

22. Борисенко А.А. Оценка помехоустойчивости конечных автоматов по методу ONE / А.А. Борисенко, В.В. Петров, А.М. Рудько // Науково-технічна конференція факультету електроніки та інформаційних технологій. – Суми: СумДУ, 2010. – С. 55.

АНОТАЦІЯ

Петров В. В. Методи і моделі побудови компонентів цифрових пристроїв на основі матричних біноміальних чисел. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп'ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Харків, 2012.

У дисертації вирішено науково-прикладну задачу розробки моделей та методів синтезу швидкодіючих завадостійких компонентів цифрових пристроїв на основі матричних біноміальних чисел.

Вперше запропоновано модель оцінки завадостійкості матричних біноміальних компонентів, що характеризується обчисленням ймовірностей помилок чисел на виході пристрою залежно від імовірності помилки одного розряду, довжини чисел та кількості одиниць у них, що дає можливість будувати компоненти із заданим рівнем завадостійкості. Уперше запропоновано метод виявлення помилок у матричних біноміальних компонентах цифрових пристроїв, який полягає у виборі перевірного розряду у кінці кожного рядка матриць так, що кількість одиниць у рядках залишається парною, що дозволило підвищити рівень завадостійкості відповідних компонентів цифрових пристроїв. Набули подальшого розвитку методи обробки та перетворення матричних біноміальних чисел, у яких на відміну від існуючих введена перевірка їх на предмет помилок за допомогою логічного аналізу матриць, що дозволяє більш ефективно контролювати правильність роботи матричних біноміальних компонентів цифрових пристроїв за допомогою вбудованих схем контролю. Набув подальшого розвитку метод синтезу матричних біноміальних лічильних пристроїв, у якому на відміну від існуючого, для побудови лічильних пристроїв використовуються універсальні комірки пам'яті, в котрих організовано паралельний перенос сигналів по стовпцях матриці, що дозволило підвищити швидкодію відповідних лічильних пристроїв.

Ключові слова: швидкодіючі компоненти цифрових пристроїв, лічильні схеми, завадостійкість цифрових пристроїв, матрична біноміальна система числення, матричні біноміальні числа з перевіркою на парність, схеми вбудованого контролю.

АННОТАЦИЯ

Петров В. В. Методы и модели построения компонентов цифровых устройств на основе матричных биномиальных чисел. – На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 - компьютерные системы и компоненты. - Харьковский национальный университет радиоэлектроники, Харьков, 2012.

В диссертации решена научно-прикладная задача разработки методов построения и соответствующих моделей быстродействующих помехоустой-

чивых компонентов цифровых устройств на основе матричных биномиальных чисел.

В первом разделе на основании анализа литературных источников известных теоретических положений и технических решений рассматриваются пути повышения быстродействия и помехоустойчивых цифровых устройств, обосновывается выбор предмета исследования и формулируются задачи исследования. Обосновано применение естественной информационной избыточности с использованием матричных биномиальных двоичных чисел с целью повышения быстродействия и помехоустойчивости компонентов цифровых устройств.

Во втором разделе проведено исследование свойств матричных биномиальных чисел, на основе которых получена и доказана система свойств, разрешающая контролировать наличие ошибок в таких числах с большей эффективностью. Благодаря введению этой системы получили дальнейшее развитие методы обработки и преобразования матричных биномиальных чисел, что позволило в реальном времени контролировать правильность работы матричных биномиальных компонентов при помощи встроенных схем контроля.

В третьем разделе получил дальнейшее развитие метод синтеза матричных биномиальных счетных устройств, в котором в отличие от существующего, для построения счетных устройств использованы универсальные ячейки памяти, в которых организовано параллельный перенос сигналов по столбцам матрицы, что повысило быстродействие счетных устройств. Кроме того, разработаны и обобщены методы синтеза и соответствующие модели матричных биномиальных компонентов цифровых устройств, таких как регистры, устройства контроля, дешифраторы, преобразователи кода, а также устройства кодирования и декодирования. Достоинствами данных схем является высокое быстродействие, за счет распараллеливания операций обработки информации, а также помехоустойчивость, за счет содержания естественной избыточности.

В четвертом разделе предложена модель оценки помехоустойчивости матричных биномиальных компонентов, в которой на основе полученных соотношений определяется вероятность невыявления ошибок на выходе устройства в зависимости от вероятности ошибки одного разряда, длины чисел и количества единиц в них. Разработана имитационная модель, с помощью которой доказана достоверность аналитических выражений. Предложен метод выбора оптимальных параметров матричных биномиальных компонентов для обеспечения заданной помехоустойчивости при минимальных аппаратных затратах.

В пятом разделе предложен метод выявления всех однократных ошибок в матричных биномиальных компонентах. Метод состоит в выборе проверочного разряда в конце каждой строки чисел так, что количество единиц в строках остается парным. Благодаря этому, минимальное кодовое расстояние увеличилось до двух, чего достаточно для выявления всех однократных и

других непарных ошибок. Кроме того, одновременная проверка системы свойств матричных чисел позволяет находить большинство парных ошибок и некоторые исправлять. Разработаны и обобщены методы синтеза матричных биномиальных компонентов с проверкой на четность. Разработана модель оценки помехоустойчивости этих компонентов. В результате анализа вероятностных характеристик выявлено, что использование проверки на четность позволяет повысить помехоустойчивость матричных биномиальных компонентов до 5 порядков.

Ключевые слова: быстродействующие компоненты цифровых устройств, счетные схемы, помехоустойчивость цифровых устройств, матричная биномиальная система исчисления, матричные биномиальные числа с проверкой на четность, встроенные схемы контроля.

ABSTRACT

Petrov V.V. Methods and models of digital devices' components construction on basis of matrix binomial numbers. – Manuscript.

A thesis for obtaining scientific degree of Ph.D. in the speciality 05.13.05 – computer systems and components. - Kharkiv National University of Radioelectronics, Kharkiv, 2012.

Scientific and applied problem of synthesis models and methods development of high-speed digital devices' components with noise immunity on basis of matrix binomial numbers is solved in the thesis.

For the first time a noise immunity assessment model of matrix binomial components is suggested, which is characterized by error probability calculation depending on the error probability of a digit, length of code combinations and number of contained units. This gives an opportunity to build components with a given level of noise immunity. For the first time the error detection method in matrix binomial components of digital devices is suggested, which contains a check bit choice at the end of every matrix row in such a way that the number of units in rows remains even, that allow us to increase the noise immunity level of corresponding digital devices' components. Methods of matrix binomial numbers' processing and conversion have further development. In contrast to already existing ones, they are examined for the purpose of finding errors with the help of the matrices' logical analysis that allows us to control digital devices' matrix binomial components work more effectively with the help of integrated monitoring circuits. A matrix binomial counting devices' synthesis method also has further development, in which, in contrast to already existing one, signal parallel transfer along the matrix column is used, that allow us to improve the operation speed of counting devices.

Key words: digital devices' high-speed components, counting circuits, digital devices' noise immunity, matrix binomial numeration system, matrix binomial numbers with even parity check, integrated monitoring circuits.

Відповідальний випусковий Руденко О. Г.

Підписано до друку 12.03.2012 р.
Формат 60х90/16. Умовн.-друк. арк. 1,1. Обл. вид. арк. 0,9.
Тираж 100 прим. Замовлення № 326.

Видавець і виготовлювач
Сумський державний університет
вул. Римського-Корсакова, 2, м. Суми, 40007
Свідоцтво суб'єкта видавничої справи ДК №3062 від 17.12.2007.