

Міністерство освіти і науки України  
Харківський національний університет радіоелектроніки

**БАГХДАДІ АММАР АВНІ АББАС**

УДК 658:512.011:681.326:519.713

**КУБІТНІ МОДЕЛІ ТА МЕТОДИ АНАЛІЗУ І  
ДІАГНОСТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ**

05.13.05 – комп'ютерні системи та компоненти

Автореферат дисертації на здобуття наукового ступеня  
кандидата технічних наук

Харків – 2015

Дисертацією є рукопис.

Роботу виконано у Харківському національному університеті радіоелектроніки, Міністерство освіти і науки України.

**Науковий керівник:** доктор технічних наук, професор  
Хаханов Володимир Іванович, Харківський національний університет радіоелектроніки, декан факультету комп'ютерної інженерії та управління.

**Офіційні опоненти:** доктор технічних наук, професор  
Краснобасв Віктор Анатолійович, Полтавський національний технічний університет ім. Ю. Кондратюка МОН України, завідувач кафедри комп'ютерної інженерії;

доктор технічних наук, професор  
Хажмурадов Манап Ахмадович, Національний науковий центр “Харківський фізико-технічний інститут” НАН України, начальник відділу математичного моделювання та дослідження ядерно-фізичних процесів і систем.

Захист відбудеться “\_\_\_” \_\_\_\_\_ 2015 року о \_\_\_ годині на засіданні спеціалізованої вченої ради Д64.052.01 у Харківському національному університеті радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

Автореферат розісланий “\_\_\_” \_\_\_\_\_ 2015 року.

Учений секретар  
спеціалізованої вченої ради

О.А. Винокурова

## ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

**Актуальність теми.** Кіберфізичний простір – метрика взаємодії (взаємної інтеграції) фізичних, біологічних і соціальних об'єктів, процесів і явищ з віртуальними або хмарними технологіями управління – покликане інтегрувати найбільш перспективні кіберфізичні технологічні рішення: 1) вбудований і безпосередній зв'язок мозку людини з комп'ютером та/або кіберпростором шляхом усунення послідовних мовних інтерфейсів між ними; 2) створення штучного інтелекту для самонавчання і самовдосконалення небіологічних (комп'ютерних) структур, програм і процесів; 3) «нано-вирощування» комп'ютера шляхом адитивного структурування атомів. Стадії еволюціонування кіберпростору планети – це послідовні періоди переходу до тісної взаємодії реальних і віртуальних структур: 1) 1980-і роки – формування парку персональних комп'ютерів; 2) 1990-і роки – впровадження Інтернет-технологій у виробничі процеси і побут людини; 3) 2000-і роки – підвищення якості життя за рахунок повсюдного використання мобільних пристроїв і хмарних сервісів; 4) 2010-і роки – створення цифрової інфраструктури моніторингу, управління і взаємодії між собою стаціонарних і рухомих об'єктів; 5) 2015-і роки – створення глобальної цифрової інфраструктури кіберпростору, де всі процеси і явища ідентифікуються в часі та тривимірному просторі, поступово перетворюючись на інтелектуальні компоненти кіберфізичного простору (Internet of Things, Smart Everything). Для згаданих модних технологічних напрямів можна і потрібно використовувати дискретність і багатозначність структур при описі інформаційних процесів, властивість паралелізму, закладену в квантових обчисленнях, що сьогодні є затребуваним при створенні ефективних та інтелектуальних обчислювачів для аналізу кіберпростору, хмарних структур Big Data, а також для проектування нових сервісів Інтернету.

В роботі запропоновано розглядати структуру даних «булеан» як детермінований образ квантового кубіта в алгебрі логіки, примітивні елементи якого унітарно кодуються двійковими векторами і мають властивості суперпозиції, паралелізму та переплутування. Це дає можливість використовувати запропоновані моделі для підвищення швидкодії синтезу, аналізу, верифікації та тестування цифрових пристроїв на класичних обчислювачах.

Задачі проектування, тестування, діагностування та відновлення працездатності цифрових систем описано в публікаціях вчених: Y. Zorian, M. Abramovichi, J. Bergeron, Z. Navabi, A. Jerraya, D.B. Armstrong, P. Prinetto, J. Abraham, H. Fujiwara, T. Nishida, X. Wang, A.I. Петренко, Р. Убар, А. Іванов, А.М. Романкевич, Д.В. Сперанський, П.П. Пархоменко, Ю.В. Малишенко, В.Н. Ярмолік, В.П. Чипуліс, J.P. Roth, А.Ю. Матросова, С. Шукурян, Ю. Скобцов, М. Каравай, В. Харченко, Л. Дербунович, Р. Шейнаускас, Н. Євтушенко, Р. Базилевич, А. Матросова, В. Меліян.

**Зв'язок роботи з науковими програмами, планами, темами.** Розробка основних положень дисертації здійснювалась відповідно до планів НДР та договорів, що виконуються на кафедрі автоматизації проектування обчислювальної техніки (АПОР) Харківського національного університету радіоелектроніки в період з 2011 року: договір про дружбу та співробітництво між ХНУРЕ та корпорацією "Aldec Inc." (USA) № 04 від 01.11.2011; держбюджетна НДР «Теорія й проектування енергозберігаючих цифрових обчислювальних систем на кристалах, що моделюють і підсилюють функціональні можливості людини», д/б № 232, 2009, №ДР 0109U001646; держбюджетна НДР «Мультипроцесорна система пошуку, розпізнавання та прийняття рішень для інформаційної комп'ютерної екосистеми», д/б № 269 (2011-2013), №ДР 0111U002956; фундаментальна держбюджетна НДР «Персональний віртуальний кіберкомп'ютер та інфраструктура аналізу кіберпростору», №258 (2012-2014). Автор дисертації при виконанні зазначених договорів та програм брав участь, як розробник архітектури цифрових систем і програміст, при створенні кубітних моделей і квантових методів тестування, діагностування і вбудованого ремонту цифрових систем на кристалах. Він також брав участь в кодуванні мовами C++ і Verilog програмно-апаратних компонентів системи верифікації HDL-кодів на основі IEEE стандартів, інтегрованих з програмним забезпеченням компанії Aldec.

**Мета і задачі дослідження.** Метою даного дослідження є істотне підвищення швидкодії програмних і апаратних засобів аналізу цифрових пристроїв за рахунок збільшення розмірності структур даних і пам'яті на основі використання кубітних покриттів функціональних елементів, методів адресного паралельного моделювання, вбудованого діагностування та ремонту, що дозволяє значно підвищити вихід придатної продукції завдяки створенню інфраструктури сервісного обслуговування.

Для досягнення поставленої мети необхідно вирішити такі задачі розробки: 1) кубітних моделей компактного опису цифрових систем і компонентів у формі Q-покриттів на основі унітарного кодування вхідних станів для підвищення швидкодії інтерпретативного моделювання за рахунок адресної реалізації аналізу логічних примітивів; 2) матричної моделі кубітних примітивів для реалізації комбінаційних схем шляхом адресного структурування Q-покриттів на елементах пам'яті для відновлення логічних примітивів в реальному часі за допомогою їх переадресації на запасні компоненти; 3) гнучкої автоматної MQT-моделі цифрового пристрою на основі тільки адресованих структур пам'яті та операції транзакції при реалізації комбінаційних і послідовних компонентів для створення сервісів кіберпростору, що використовують паралельні логічні операції; та удосконалення: 4) методу діагностування дефектів цифрових систем шляхом використання паралельної and-операції та структурного маскування несправностей для компактного подання даних, збільшення швидкодії і підвищення глибини діагностування; 5) моделі цифрової системи шляхом доповнення структури пристрою надлишковими компонентами і керуючим

автоматом послідовної обробки комбінаційних примітивів для реалізації процедури переадресації дефектних примітивів в режимі функціонування; 6) інфраструктури, метрики та методу діагностування HDL-коду цифрових обчислювачів шляхом синтезу діагностичної матриці транзакційного графа для зменшення часу виявлення несправностей функціональних компонентів; 7) TAB-методу виявлення функціональних порушень у програмних або апаратних компонентах шляхом використання хог-операції для підвищення продуктивності діагностування блоків за рахунок паралельного аналізу рядків матриці; 8) моделі діагностування функціональностей цифрової системи у вигляді мультидерева та методу його обходу для виявлення несправних блоків із заданою глибиною для зменшення часу налагодження HDL-коду в процесі проектування; а також здійснення тестової верифікації методів моделювання, діагностування та відновлення працездатності на реальних прикладах цифрових систем і компонентів; практичної реалізації генератора HDL-коду «квантових» Хассе-процесорів для прискорення моделювання, верифікації та діагностування з використанням мов програмування: C++, Verilog, Python 2.7 і платформ: Microsoft Windows, X Window (в Unix і Linux), Macintosh OS X; верифікації HDL-коду процесора на декількох тестових прикладах при вирішенні задач покриття.

*Об'єкт дослідження* – процеси паралельної обробки функціональних примітивів для синтезу, аналізу, тестування, діагностування та ремонту цифрових виробів на основі використання кубітних структур даних.

*Предмет дослідження* – кубітні моделі, методи та інфраструктури для синтезу, аналізу, тестування, діагностування й відновлення компонентів цифрових систем на основі використання кубітних моделей компонентів.

Методи дослідження: булева алгебра, теорія множин, теорія графів, теорія цифрових автоматів, квантові методи обчислень та кубітні структури даних – для побудови моделей цифрових пристроїв; векторно-логічний аналіз, теорія алгоритмів, методи, засоби, мови проектування та моделювання цифрових систем – для синтезу й аналізу тестів; методи та критерії аналізу якості обчислювальних проектів – для оцінювання діагнозопридатності цифрових виробів; засоби синтезу схем та аналізу кубітних покриттів – для створення й верифікації програмно-апаратної інфраструктури діагностування SoC.

### **Наукова новизна отриманих результатів:**

1. Вперше запропоновано кубітні моделі опису цифрових систем і компонентів, які характеризуються компактністю опису таблиць істинності у формі Q-покриттів завдяки унітарному кодуванню вхідних станів, що дає можливість підвищити швидкодію програмних і апаратних засобів інтерпретативного моделювання обчислювальних пристроїв за рахунок адресної реалізації аналізу логічних примітивів.

2. Вперше запропоновано матричну модель кубітних примітивів для реалізації комбінаційних схем, що характеризується адресним об'єднанням Q-покриттів на елементах пам'яті, з'єднаних у цифрову схему за допомогою вектора станів ліній; це дає можливість ремонтувати дефектні логічні

примітиви в реальному часі за допомогою їх переадресації на запасні компоненти при досить високій швидкодії функціонування обчислювального пристрою.

3. Вперше запропоновано автоматну MQT-модель цифрового пристрою, яка характеризується використанням тільки адресовних структур пам'яті та операції транзакції для програмної та апаратної реалізації комбінаційних і послідовностних функціональностей, що дає можливість створювати швидкодіючі та надійні обчислювачі для проектування сервісів кіберпростору на основі паралельних логічних операцій і ремонту несправних адресовних функціональних примітивів.

4. Вперше запропоновано Q-метод інтерпретативного справного моделювання цифрових схем, який характеризується використанням компактних Q-покриттів замість таблиць істинності, що дає можливість істотно підвищити швидкодію аналізу за рахунок адресного формування виходів функціональних примітивів і зменшити обсяг структур даних, що практично робить метод конкурентоспроможним з технологіями компілятивного моделювання.

5. Вперше введено критерій якості діагностування, що характеризується функцією, залежною від структури графа, тестів і асерційних моніторів, який дозволяє підвищувати діагнозопридатність проекту шляхом збільшення тестових сегментів для розпізнавання еквівалентних несправних блоків або додавання асерційних моніторів на транзитних вершинах активізованого графа HDL-коду.

6. Удосконалено метод діагностування дефектів цифрових систем за рахунок використання єдиної паралельної операції логічного множення, що в поєднанні зі структурним маскуванням несправностей дає переваги перед аналогами в компактності представлення даних, збільшенні швидкодії та підвищенні глибини діагностування.

7. Удосконалено ремонтпридатність моделі цифрової системи шляхом доповнення структури пристрою надлишковими компонентами і керуючим автоматом, орієнтованим на послідовну обробку комбінаційних примітивів, що дає можливість здійснювати процедуру переадресації несправних примітивів в режимі штатного функціонування.

8. Удосконалено інфраструктуру та методи діагностування HDL-коду цифрової системи шляхом її доповнення транзакційних графом у формі компактної діагностичної матриці, яка описує тернарні відносини як монітор-орієнтовані тест-сегменти, що дозволяє значно зменшити час виявлення несправних функціональних компонентів програмно-апаратних систем.

9. Удосконалено ТАВ-метод виявлення функціональних порушень у програмних або апаратних компонентах, який відрізняється від аналогів використанням хог-операції, що дозволяє підвищити продуктивність діагностування поодиноких і кратних несправних блоків за рахунок

паралельного аналізу ТАВ-матриці, застосування граничного сканування на основі стандарту IEEE 1500, а також векторних операцій and, or, xor.

10. Удосконалено модель діагностування функціональностей цифрової системи на кристалі, яка відрізняється поданням проекту у формі мультидерева і умовним методом його обходу для виявлення несправних блоків із заданою глибиною, що дозволяє істотно зменшити час налагодження програмного і апаратного забезпечень в процесі їх проектування.

**Практичне значення отриманих результатів.** Виконано тестову верифікацію методів моделювання, діагностування та відновлення працездатності на трьох реальних прикладах, представлених компонентами SoC фільтра косинусного перетворення, які показали спроможність результатів щодо зменшення часу виявлення несправностей і пам'яті для зберігання діагностичної інформації, а також підвищення глибини діагностування цифрового модуля. Практично реалізовано генератор HDL-коду спеціалізованих процесорів, що використовують діаграми Хассе для паралельних векторно-логічних обчислень булеанів, які застосовуються для прискорення моделювання, верифікації та діагностування. Програмно-апаратна реалізація процесора базується на використанні мов програмування: C ++, Verilog, Python 2.7 і платформ: Microsoft Windows, X Window (в Unix і Linux) і Macintosh OS X. Генератор дає можливість автоматично синтезувати HDL-коди процесорної структури від 1 до 16 двійкових розрядів для паралельної обробки відповідної кількості вхідних векторів або слів. Теоретичні та практичні результати дають можливість за рахунок апаратної та структурної надлишковості на 50% підвищити швидкодію інтерпретативного моделювання, на 5% підвищити вихід придатної продукції, на 12% підвищити глибину діагностування несправних функціональних блоків і на 15% зменшити час налагодження HDL-коду в процесі проектування цифрових систем на кристалах.

Отримані в процесі досліджень наукові висновки та положення дисертації є обґрунтованими і достовірними. Обґрунтованість підтверджується експериментальними дослідженнями, тестуванням програмно-апаратних продуктів на прикладах реальних функціональних модулів з бібліотек провідних проектних компаній. Результати експериментів підтвердили високу ефективність засобів синтезу, аналізу, верифікації та ремонту, а також показали істотне підвищення швидкодії програмно-апаратних засобів у порівнянні з існуючими непромисловими аналогами. Достовірність наукових висновків підтверджується інтеграцією розробленої технології аналізу та верифікації з проектними продуктами компанії Aldec. Результати дисертації у складі моделей, методів та інфраструктури впроваджено у навчальний процес Харківського національного університету радіоелектроніки (акт про впровадження від 10.12.2014); у науково-дослідну та виробничу діяльність компанії Aldec, USA (довідка про впровадження від 2.12.2014).

**Особистий внесок здобувача.** Всі основні результати отримані здобувачем особисто. У роботах, опублікованих зі співавторами, здобувачеві належать: [1] – застосування кубітних структур для опису функціональності; [2] – кубітні моделі опису цифрових систем і компонентів, які характеризуються компактністю опису таблиць істинності у формі Q-покриттів, квантовий Q-метод інтерпретативного справного моделювання цифрових пристроїв, метод діагностування дефектів цифрових систем за рахунок використання єдиної паралельної операції логічного множення, модель ремонтпридатності цифрової системи, операційна структура комбінаційної схеми; [3] – кубітний метод діагностування цифрових систем, структури кубітних даних для відновлення працездатності комбінаційних пристроїв; [4] – ТАВ-метод виявлення функціональних порушень у програмних або апаратних компонентах; [5] – програмна реалізація моделі критерію якості скалярного і векторного оцінювання бінарних відносин; [6] – огляд мультипроцесорних систем на кристалах; [7] – квантові структури для тестування цифрових пристроїв, матричний метод квантового діагностування функціональних порушень і константних несправностей; [8] – кубітні моделі опису цифрових систем і компонентів; [9] – кубітні моделі для вирішення задач покриття; [10] – метод синтезу логічних функцій для вбудованого діагностування дефектів із заданою глибиною; [11] – структурна модель швидкодіючого мультиматричного процесора; [12] – імплементація процес моделі синтезу загальної функціональності; [13] – програмна реалізація методу синтезу кубітних моделей логічних функцій; [14] – алгоритм моделювання комбінаційної схеми; [15] – модель вбудованого ремонту комбінаційних логічних елементів; [16] – модель і метод квантового діагностування цифрової системи; [17] – імплементація модуля CAR-ID у вигляді системи на кристалі; [18] – квантова модель і метод справного моделювання цифрової системи; [19] – матричний метод діагностування функціональних порушень і константних несправностей в програмних або апаратних блоках.

**Апробація результатів дисертації.** Основні результати дисертації доповідалися на шести наукових конференціях різного рівня, що мають безпосереднє відношення до теми дисертаційної роботи: IEEE East-West Design and Test Symposium (2012, м. Харків, Україна), (2013, м. Ростов-на-Дону, Росія), (2014, м. Київ, Україна); XVI Міжнародний молодіжний форум «Радіоелектроніка і молодь у XXI столітті» (2012, м. Харків, Україна); XI міжнародна науково-технічна конференція «Modern Problems of Radio Engineering, Telecommunications, and Computer Science - TCSET» (2012, м. Славське, Україна); V Всеросійська науково-технічна конференція «Проблеми разработки перспективных микро- и нанoeлектронных систем» (2012, м. Москва-Зеленоград, Росія); 4th International Conference “Telecommunications, Electronics and Informatics” (2012, Chisinau, Moldova); 12-та міжнародна науково-технічна конференція «Experience of Designing and Application of CAD Systems in Microelectronics – CADSM» (2013, м. Поляна,



Україна); наукова конференція «Інформатика, математика, автоматика» (2013, м. Суми, Україна); IEEE 7th International Conference on Intelligent Data Acquisition and Advanced Computing Systems (2013, Berlin, Germany).

**Публікації.** Результати наукових досліджень відображено у 19 друкованих працях: 7 статтях, опублікованих у наукових фахових виданнях України (з них 1 стаття в міжнародній науково-метричній базі), 1 статті у міжнародному науковому журналі за кордоном, а також у 11 матеріалах міжнародних наукових конференцій (з них 4 за кордоном та 6 входять до наукометричної бази Scopus).

**Структура та обсяг дисертації.** Дисертаційна робота містить 186 сторінок (з них 150 с. основного тексту), 29 рисунків, 5 таблиць. Її структура складається з вступу, 5 розділів, висновків, списку використаних джерел з 140 назв (на 16 с.), 2 додатків (на 16 с.).

## ОСНОВНИЙ ЗМІСТ РОБОТИ

**Вступ** містить обґрунтування актуальності розв'язуваної задачі, формулювання мети, об'єкта та задач дослідження, сукупність наукових результатів, що виносяться на захист, відомості про їх апробацію та реалізацію.

**Перший розділ** присвячено викладенню основних напрямів розвитку технологій проектування, валідації та забезпечення якості (quality assurance) систем на кристалах і в пакетах кристалів. Виконано аналітичний огляд квантових методів обчислень, технологій тестування й діагностування цифрових систем на кристалах при їх проектуванні та верифікації, орієнтований на підвищення швидкодії програмних і апаратних засобів аналізу цифрових пристроїв, а також істотне збільшення виходу придатної продукції та зменшення часу її виходу на ринок мікроелектроніки.

**У другому розділі** запропоновано кубітні моделі опису цифрових систем і компонентів, модель кубітних примітивів для реалізації комбінаційних схем, автоматну MQT-модель цифрового пристрою.

Коректність використання прикметника «кубітна» для моделей цифрових пристроїв показана шляхом порівняння алгебр теорії множин і лінійної на прикладі алгебри Кантора  $A^k = \{0,1,X,\emptyset\}$ . Перші два символи є примітивами або первинними елементами, що не розкладаються на складові. Третій символ є похідним в теорії множин, який визначається суперпозицією (накладенням) або об'єднанням символів-примітивів:  $X = 0 \cup 1$ . В гільбертовому просторі, що оперує примітивами  $\alpha \cdot |0\rangle$  і  $\beta \cdot |1\rangle$  третій символ також утворюється суперпозицією двох складових вектора стану:  $|\psi\rangle = \alpha \cdot |0\rangle + \beta \cdot |1\rangle$ . Простежується повна аналогія, яка будучи продовжена на формування четвертого, відсутнього в кубітній (лінійній) алгебрі символу, який відповідає пустій множині, повинна оперувати функцією, зворотною по відношенню до суперпозиції. В теорії множин такою операцією є перетин, який формує порожню множину на символах-примітивах:  $\emptyset = 0 \cap 1$ . В гільбертовому просторі такою операцією є множення (внутрішнє) або

функція (позначення) Дирака  $\langle a | b \rangle$ , що має геометричну інтерпретацію у вигляді:  $\langle a | b \rangle \approx |a| \times |b| \times \cos \angle(a, b)$ . Якщо проєкції  $a$  і  $b$  вектора квантового стану є ортогональними, а це дійсно так, то виходить очікуваний результат:  $\langle \alpha | \beta \rangle = |a| \times |b| \times \cos \angle(a, b) = |a| \times |b| \times \cos \angle 90^\circ = 0$ . Скалярний добуток ортогональних векторів дорівнює нулю. Цей результат є аналогом порожньої множини при виконанні операції перетину в алгебрі множин. Відповідність алгебри множин та лінійної алгебри наведено нижче, що

Boolean $A^k =$	0	1	$X=0 \cup 1$	$\emptyset=0 \cap 1$
Qubit $ \psi\rangle =$	$ 0\rangle$	$ 1\rangle$	$\alpha 0\rangle + \beta 1\rangle$	$\alpha 0\rangle   \beta 1\rangle$

підтверджує ізоморфізм між символами булеана і станами кубіт-вектора, отриманими за

допомогою ізоморфних в алгебрах операцій об'єднання – суперпозиції і перетину – скалярного множення.  $n$ -Кубіт ( $n$ -бубіт,  $n$ -boobit) є векторна форма унітарного кодування універсуму з  $n$  примітивів для завдання булеана

станів  $2^{2^n}$  за допомогою  $2^n$  двійкових змінних. Кубіт ( $n$ -кубіт) дає можливість використовувати логічні операції замість теоретико-множинних для істотного прискорення процесів аналізу дискретних систем. Синонімом кубіта при визначенні двійкового вектора логічної функції є:  $Q$ -покриття або  $Q$ -вектор як уніфікована векторна форма суперпозиційного завдання станів виходів, відповідних адресним кодам вхідних змінних логічної функції. Практично орієнтована новизна кубітного моделювання полягає в заміні таблиць істинності компонентів цифрового пристрою векторами станів виходів. Сутність  $n$ -кубіта відрізняється від класичного байта або біта суперпозиційною структуризацією двійкового вектора, здатного одночасно зберігати  $n$  станів (символів) функціональності на булеані потужністю  $|B(A)| = 2^n$  примітивів і паралельно виконувати логічні операції над вже векторним форматом теоретико-множинних даних. Теоретико-множинне виконання даної операції має мультиплікативну обчислювальну складність від потужностей операндів-підмножин. Використовуються властивості суперпозиції, унарного або унітарного кодування елементів підмножин, а також паралелізму виконання операції.

Процедура моделювання функціонального примітиву зводиться до запису у вихідну булеву змінну  $Y$  стану біта  $Q$ -вектора, адресу якого отримано шляхом конкатенації значень вхідних змінних:  $Y = Q(X) = Q(X_1 * X_2 \dots * X_j \dots * X_k)$ . Для моделювання цифрових схем вводиться  $M$ -вектор еквіпотенціальних ліній, як аналог  $Q$ -вектора, але для завдання станів всієї обчислювальної системи, який пов'язує  $Q$ -вектори логічних примітивів ( $Q$ -примітивів) в структуру за допомогою нумерації вхідних і вихідних змінних кожного функціонального примітиву. З урахуванням наскрізної нумерації входів і виходів  $Q$ -примітивів універсальна процедура моделювання поточного  $i$ -елемента буде мати формат:  $M(Y_i) = Q_i[M(X_i)] = Q_i[M(X_{i1} * X_{i2} \dots * X_{ij} \dots * X_{ik_i})]$  У даному випадку істотно

спрощується алгоритм аналізу цифрової системи, який зводиться до процедури формування адреси, що дає можливість в  $(2^n - 1)$  разів підвищити швидкість інтерпретативного моделювання за рахунок заміни таблиць істинності примітивів на Q-вектори опису тільки вихідних станів.

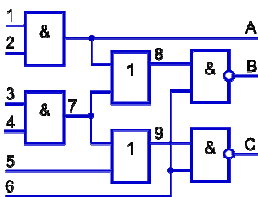


Рисунок 2 – Комбінаційна структура

Основна інноваційна ідея квантових обчислень у порівнянні з машиною фон Неймана полягає в переході від обчислювальних процедур над байт-операндом, що визначає у дискретному просторі одне рішення (точку), до квантових паралельних процесів над кубіт-операндом, який одночасно формує булеан рішень. Модельна схемотехніка, не прив'язана безпосередньо до транзисторів, представлена графовими структурами, де кожна вершина (дуга) ототожнюється з функціональним

перетворенням, яке задається Q-вектором. Дуга (вершина) визначає взаємозв'язки між функціональними Q-покриттями, а також вхідні та вихідні змінні. Реалізація таких структур базується на використанні комірок пам'яті (LUT FPGA), які здатні зберігати інформацію у вигляді Q-вектора, де кожен біт або розряд має свою адресу, що ототожнюється з вхідним словом. Апаратна підтримка систем проектування у вигляді Hardware Embedded Simulator (HES, Aldec) набуває нову мотивацію на системному рівні проектування цифрових виробів, коли програмні й апаратні рішення мають один і той же кубітний формат. Для розгляду пропонується комбінаційна схема (рис. 2), що містить 6 примітивів і три різних логічних елементи. Схемі відповідають три універсальні графові форми цифрової функціональності (рис. 3), що використовують Q-вектори для опису поведінки логічних примітивів. Структура, представлена на рис. 3а, містить 12 ліній (дуг), навантажених на квантові функціональності (1 = 0001, 7 = 0111, 14 = 1110). Граф на рис. 3б є зворотним по відношенню до першої структури, горизонтальні дуги ототожнюються з функціональностями, а вершини – з групами вхідних для функціональностей ліній, об'єднаних в регістрові змінні за допомогою вертикальних дуг, стани яких утворюють двійковий вектор, що використовується в якості адреси для обчислення стану логічного елемента.

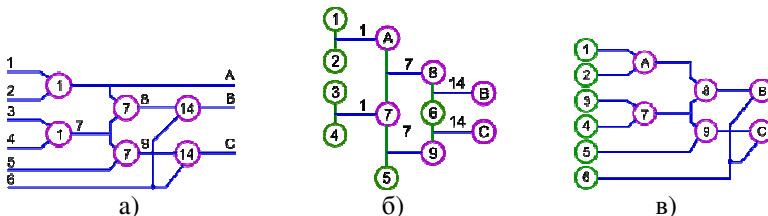


Рисунок 3 – Графові форми квантових функціональностей:

а) - структура ліній, навантажених на квантові функціональності; б) – граф, зворотний по відношенню до структури а); в) – структура невхідних ліній, на якій навантажено функціональність з дугами від вхідних змінних

Змінні, що беруть участь у формуванні адреси для Q-вектора функціональності, можна об'єднати в одну вершину з вказівкою всіх ідентифікаторів ліній, що створюють вектор-адресу. Регістровий граф комбінаційної схеми є ранжованим за рівнями формування вхідних сигналів, що забезпечує умови паралелізму обробки елементів одного рівня і виконуваності ітерацій Зейделя для підвищення швидкодії алгоритмів справного моделювання цифрових систем. Одновимірний Q-вектор опису функціональності можна прив'язати до вихідної (внутрішньої) лінії пристрою, стан якої формується в процесі моделювання розглянутого Q-покриття. Регістрова реалізація комбінаційного пристрою може бути представлена вектором моделювання M, на невідній лінії якого навантажено функціональність з дугами, що йдуть від вхідних змінних, значення яких задають адресу біта Q-вектора, який формує стан розглянутої невідній лінії (рис. 3в). Якщо функціональності описуються одновиходовими примітивами, то кожен з них можна ототожнити або ідентифікувати номером або координатою невідній лінії, на яку навантажений даний елемент. Якщо функціональність багатовиходова, то Q-покриття вже представляється матрицею з кількістю рядків, що дорівнює кількості виходів.

Ефект від такого примітиву полягає у паралелізмі одночасного обчислення станів кількох виходів за одне звернення до матриці за поточною адресою. Близькою до ідеальної за компактністю та часом обробки структурою даних для наведеної на рис. 2 схеми, де Q-вектори функціональностей та номери вхідних змінних прив'язані до невідних ліній пристрою, є табл. 1. Вона дає уявлення про те, які змінні цифрової схеми є зовнішніми, скільки функціональних примітивів є в структурі, а також які входи навантажені на кожен Q-вектор. Перевагою таблиці є відсутність вектора номерів виходів для кожного примітиву, але при цьому зберігається необхідність мати номери вхідних змінних для формування адрес, маніпулювання якими на рівні бітів є часовитратним процесом. Апаратно-орієнтована реалізація моделі цифрової структури пов'язана з кубітно-регістровим графом схеми (див. рис. 3в), яка може бути представлена у вигляді кубітної матриці  $|Q_{ij}|$ ,  $i = \overline{1, p}$ ;  $j = \overline{1, q}$  паралельно-послідовної обробки логічних примітивів.

Матрична модель відображає паралельно-послідовну по суті структуру комбінаційної схеми на основі взаємодії Q-покриттів за рівнями обробки логічних елементів щодо формату (X-Q-Y), який представляє <входи – Q-вектор – вихід> кожного примітиву: [(1,2–1–A), (3,4–1–7)], [(A,7–7–8), (7,5–7–9)], [(8,6–14–B), (6,9–14–C)]. Адресний характер матричних примітивів дає можливість мати запасні елементи для відновлення працездатності

Таблиця 1 – Структура даних

L	1	2	3	4	5	6	7	8	9	A	B	C
M	1	1	1	1	1	0	1	1	1	1	1	1
X	.	.	.	.	.	.	34	A7	75	12	86	96
Q	.	.	.	.	.	.	0	0	0	0	1	1
	.	.	.	.	.	.	0	1	1	0	1	1
	.	.	.	.	.	.	0	1	1	0	1	1
	.	.	.	.	.	.	1	1	1	1	0	0

дефектних компонентів шляхом переадресації на запасні (рядок 3) в режимі on-line. MQT-модель кубітного віртуального комп'ютера базується на транзакціях між компонентами пам'яті, що реалізують логічні функціональності за допомогою Q-векторів, об'єднаних в систему за допомогою вектора моделювання M. Моделювання логічної функції примітиву здійснюється за допомогою зчитування біта з Q-вектора

$Q = (q_1, q_2, \dots, q_i, \dots, q_k)$ ,  $k = 2^n$ ,  $q_i \in \{0,1\}$  і подальшого запису даного біта в вектор M. Будь-яка транзакція може існувати тільки при наявності заданих відносин на компонентах пам'яті, кількість яких повинна бути не менше одного. Циклічність транзакції  $M \xleftarrow{Y_i} Q_i \xleftarrow{X_i} M$  (рис. 4а, 4б)

представленої Read-Write операціями в MQT-структурі, визначається використанням вектора M взаємних зв'язків компонентів, який утворює «м'яку», або адресно з'єднану і гальванічно розірвану автоматну модель обчислювальної системи, де головним її компонентом виступає пара: кубіт-пам'ять.

Побудова двовимірної матриці Q-елементів, ранжированих за рівнями паралельної обробки груп примітивів у стовпцях (рис. 4в), дозволяє зменшити час аналізу схеми.

$$\begin{cases} A \ll M, Q, f, g, X, Y, \\ M(t+1) = f[X(t), Q(t), M(t)]; \\ Y(t) = g[X(t), Q(t), M(t)]; \\ M(Y_i) = Q_i[M(X_i)]. \end{cases}$$

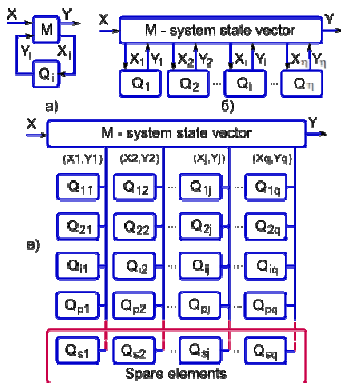


Рисунок 4 – Бітова, векторна і матрична структури кубітних примітивів

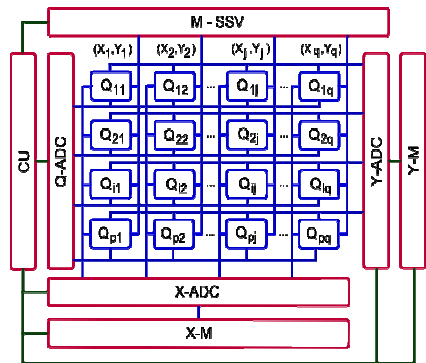


Рисунок 5 – Матрична структура операційного пристрою

Платою за переваги використання кубітних примітивів є апаратна надлишковість у порівнянні з жорсткою комбінаційною схемою, яка полягає у додаванні таких компонентів (рис. 5): CU – пристрій керування; Q-ADC – дешифратор адрес примітивів; M-SSV – вектор станів ліній цифрової системи; X-ADC – дешифратор адрес входів; X-M – пам'ять номерів входів; Y-ADC – дешифратор адрес виходів; Y-M – пам'ять номерів виходів.

У третьому розділі запропоновано *Q-метод інтерпретативного справного моделювання цифрових схем*. У процесі діагностування створюється двійкова матриця структурної активізації несправностей, яка служить маскою для істотного зменшення множини підозрюваних дефектів при спільному аналізі таблиці несправностей. При цьому символи поодиноких константних дефектів  $\{0,1,X,\emptyset\}$ ,  $X=\{0,1\}$  в елементах таблиці несправностей кодуються відповідними станами кубіта  $(10,01,11,00)$  багатозначного алфавіту Кантора  $A^k=\{0,1,X,\emptyset\}$ , що дає можливість виключити з обчислювальних процесів теоретико-множинні процедури, замінивши їх на векторні логічні операції. Для розгляду сутності пропонованого методу використовується фрагмент цифрової схеми (див. рис. 2) з трьома асерційними точками А, В, С для спостереження за станом усіх ліній схеми в процесі виконання діагностичного експерименту шляхом подачі п'яти тестових впливів, заданих у таблиці несправностей  $F(T)$  (рис. 6а). Права частина таблиці є матрицею станів асерційного механізму у вигляді результатів порівняння еталонної і реальної реакцій цифрового пристрою на тестові набори. Значення 1 означає неспівпадіння, 0 – збіг зазначених реакцій. Матриця досяжності наведена на рис. 6б. Маска можливих дефектів формується за допомогою виразу:

$$S_i = S(T_i) = \left( \bigvee_{A_{ij}=1} S_{ij} \right) \wedge \left( \bigvee_{A_{ij}=0} \bar{S}_{ij} \right).$$

T \ F	1	2	3	4	5	6	7	8	9	A	B	C	A <sub>a</sub>	A <sub>b</sub>	A <sub>c</sub>	
111101	0	0	0	0	.	0	0	0	0	0	1	1	1	0	0	0
010101	1	.	1	.	1	.	1	1	1	1	0	0	0	1	1	1
101001	.	1	.	1	1	.	1	1	1	1	0	0	0	0	0	0
000011	.	.	.	.	0	0	1	1	0	1	0	1	0	0	0	0
111110	0	0	.	.	1	.	.	.	0	0	0	0	1	1	1	1

а)

S = S <sub>ij</sub>	1	2	3	4	5	6	7	8	9	A	B	C
1	1	1	.	.	.	.	.	.	.	1	.	.
2	1	1	1	1	.	1	1	1	.	1	.	.
3	.	.	1	1	1	1	1	1	.	1	.	1

б)

Рисунок 6 – Таблиця несправностей (а) і матриця досяжності (б)

В цілях формування структур даних, зручних для комп'ютерної обробки, необхідно перевести символи таблиці несправностей у дворозрядні коди згідно з правилами  $\triangleright$ -кодування:  $\triangleright = \{0 = 10; 1 = 01; X = 11; \emptyset = 00\}$  та виконати єдину векторну операцію логічного множення для всіх рядків кодованої модифікованої таблиці істинності  $F(T)$ :

$$F(T) = \left( \bigvee_{A_i=1} F_i \right) \wedge \left( \bigvee_{A_i=0} \bar{F}_i \right) = \left( \bigwedge_{A_i=1} F_i \right) \wedge \left( \bigvee_{A_i=0} \bar{F}_i \right) = \left( \bigwedge_{A_i=1} F_i \right) \wedge \left( \bigwedge_{A_i=0} \bar{F}_i \right) = \left( \bigwedge_{i=1}^n F_i \right).$$

Це дає можливість точно визначити всі дефекти об'єкта діагностування, представлені в двох нижніх рядках наведеної вище кодованої таблиці несправностей  $F(T)$ :  $F = \{3^1, 6^1, A^0\}$ :

F(T)	1	2	3	4	5	6	7	8	9	A	B	C
T1	0	0	0	0	.	0	0	0	0	0	1	1
T2	1	.	1	.	1	.	1	1	1	0	0	0
T3	.	1	.	1	1	.	1	1	1	0	0	0
T4	.	.	.	.	0	0	1	1	0	1	0	1
T5	0	0	.	.	1	.	.	.	0	0	0	0



F(T)	1	2	3	4	5	6	7	8	9	A	B	C
T1	10	10	10	10	00	10	10	10	10	10	01	01
T2	01	00	01	00	01	00	01	01	01	01	10	10
T3	00	01	00	01	01	00	01	01	01	01	10	10
T4	00	00	00	00	10	10	01	01	01	10	01	01
T5	10	10	00	00	00	01	00	00	00	10	10	10

**У четвертому розділі пропонуються:** критерій якості діагностування, метод діагностування дефектів цифрових систем з використанням єдиної паралельної операції логічного множення, модель цифрової системи з надлишковими компонентами, інфраструктура і метод діагностування HDL-коду на основі транзакційного графа, TAB-метод виявлення функціональних порушень у програмних і апаратних компонентах.

Аналітичну модель верифікації з використанням темпоральних асерцій (додаткова спостережуваність операторів або ліній), орієнтовану на досягнення заданої глибини діагностування, наведено нижче:

$$\Omega = f(G, A, B, S, T); G = (A * B) \times S; S = f(T, B); A = \{A_1, A_2, \dots, A_i, \dots, A_n\};$$

$$B = \{B_1, B_2, \dots, B_i, \dots, B_n\}; S = \{S_1, S_2, \dots, S_i, \dots, S_m\}; T = \{T_1, T_2, \dots, T_i, \dots, T_k\}.$$

У наведеній моделі  $G = (A * B) \times S$  – функціональність, представлена CFT графом (Code-Flow Transaction);  $S = \{S_1, S_2, \dots, S_i, \dots, S_m\}$  – вершини або оператори коду програми при симуляції тестових сегментів (наборів). Дуги орієнтованого графа відповідають множині програмних блоків:

$$B = \{B_1, B_2, \dots, B_i, \dots, B_n\}; \bigcup_{i=1}^n B_i = B; B_i \cap B_j = \emptyset, \text{ де асерції } A_i \in A = \{A_1, A_2, \dots, A_i, \dots, A_n\}$$

можуть бути додані до кожного блоку  $B_i$  – послідовність операторів коду, які визначають стан вершини графа  $S_i = f(T, B_i)$  залежно від тестового набору  $T = \{T_1, T_2, \dots, T_i, \dots, T_k\}$ . Метод діагностування функціональних порушень блоків передбачає використання попередньо побудованої TAB-матриці (таблиці)  $M = [M_{ij}]$ , де рядок представляє відношення між тестовим сегментом  $i$  підмножиною блоків, що активізуються  $T_i \rightarrow A_j \approx (M_{i1}, M_{i2}, \dots, M_{ij}, \dots, M_{in})$ ;  $M_{ij} = \{0, 1\}$  і спостережуються монітором  $A_j$ . Несправний блок визначається за допомогою вектора  $B_j$  за мінімальною

кількістю одиничних координат:  $B = \min_{j=1, n} [B_j = \sum_{i=1}^h (B_{ij} \oplus A_i^*)]$ . Для оцінки

витрат  $E$  на реалізацію TAB-матричної моделі виявлення функціональних порушень можна використовувати ефективність пари тест-асерція для заданої глибини діагностування. Критерій  $E$  функціонально залежить від відношення ідеального  $\lceil \log_2 N \rceil \times N$  і реального  $|T| \times |A| \times N$  обсягів необхідної пам'яті або ресурсів (де  $|T|$  – довжина тесту;  $|A|$  – кількість асерцій) для відповідної TAB-матриці і являє собою відносне значення в інтервалі від 0 до 1:  $E = \frac{\lceil \log_2 N \rceil \times N}{|T| \times |A| \times N} = \frac{\lceil \log_2 N \rceil}{|T| \times |A|}$ . Узагальнений критерій

якості діагностування залежить від витрат  $E$  та діагноспридатності  $D$ :

$$Q = E \times D = \frac{\lceil \log_2 N \rceil}{|T| \times |A|} \times \frac{N_d}{N}.$$

Метод діагностування несправних блоків апаратно-програмної (Hardware-Software) HS-системи, що базується на моделі мультидерева, дозволяє розробити універсальний алгоритм (рис. 7, блок 6) обходу гілок дерева на апіорно заданій глибині:

$$B_j^{rs} \oplus A^{rs} = \begin{cases} 0 \rightarrow \{B_j^{r+1,s}, R\}; \\ 1 \rightarrow \{B_{j+1}^{rs}, T\}. \end{cases}$$

Векторна хог-операція виконується між стовпцями матриці та вектором асерційної перевірки  $A^{rs}$ , який визначається за допомогою хог-операції над реальним (m) і модельним (g) відгуками функціональності на тестові набори:  $A^{rs} = m_i^{rs} \oplus g_i^{rs}$ ,  $i = \overline{1, k_{rs}}$ .

Якщо всі координати векторної хог-суми  $B_j^{rs} \oplus A^{rs} = 0$

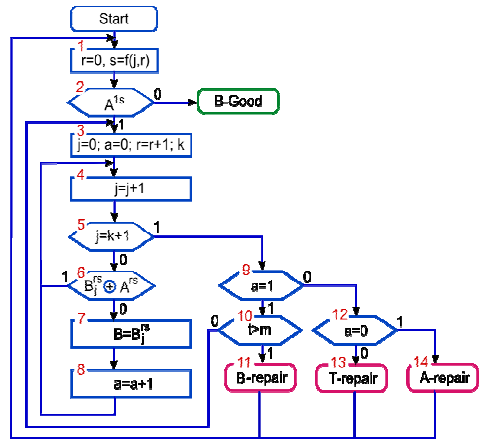


Рисунок 7 – Движок для обходу мультидерева

дорівнюють нулю, то виконується одна з наступних дій: перехід до матриці активізації більш низького рівня  $B_j^{r+1,s}$  або відновлення функціонального

блоку  $B = B_j^{rs}$ . Технологічна модель інфраструктури вбудованого тестування,

діагностування та відновлення несправних блоків містить три компоненти:

1. Тестування блоків (Unit Under Test – UUT)

з використанням еталонної моделі (Model Under Test – MUT) для генерації вектора асерційної перевірки, розмір якого відповідає кількості тестових наборів.

2. Пошук несправних блоків на основі аналізу ТАВ-матриці.

3. Відновлення несправних блоків шляхом заміни їх на справні компоненти з наявного резерву. Виграш у часі виходить за рахунок введення в проект додаткової інфраструктури, рис. 8, що дозволяє виконувати вибіркове тестування й діагностування, а також

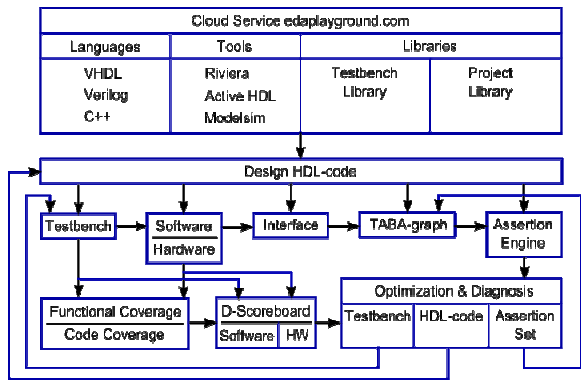


Рисунок 8 – Імплементація результатів у систему Riviera



перепрограмування окремих модулів несправних блоків. Застосування механізму асерцій дає можливість зменшити довжину testbench, значно скоротити (x3) час проектування, збільшити глибину діагностування функціональних порушень в програмних блоках до рівня 10-20 операторів HDL-коду. Запропонована інфраструктура дозволяє істотно зменшити час виходу проекту на ринок (time-to-market), про що свідчать експериментальні результати: для проектів, що містять до двохсот тисяч вентилів – на 29 %, до чотирьохсот тисяч вентилів – на 38 %, до одного мільйона вентилів – на 50 %.

У **п'ятому розділі** описано імплементацію кубітних структур даних в паралельний обчислювач.

У **додатках** наведено лістинги програм та документи, що підтверджують впровадження результатів дисертаційної роботи.

## ВИСНОВКИ

Проведені науково-технологічні дослідження в рамках дисертаційної роботи характеризуються успішним вирішенням актуальної науково-практичної задачі істотного (5%) підвищення якості проектування цифрових виробів шляхом створення інфраструктури тестування, діагностування та відновлення працездатності функціональних блоків, а також розробки спеціалізованих моделей, методів, процесора для аналізу й синтезу проектів, що дозволило забезпечити високу швидкодію програмно-апаратних засобів за рахунок структурно-функціональної надлишковості. Автором одержано такі наукові та практичні результати:

1. Нові кубітні моделі опису цифрових систем і компонентів, які дозволяють підвищити швидкодію програмних і апаратних засобів інтерпретативного моделювання обчислювальних пристроїв за рахунок адресної реалізації аналізу логічних примітивів.

2. Нова матрична модель кубітних примітивів для реалізації комбінаційних схем, яка дає можливість відновлювати працездатність логічних примітивів за допомогою їх переадресації на запасні компоненти за рахунок адресного об'єднання Q-покриттів на елементах пам'яті.

3. Нова автоматна MQT-модель цифрового пристрою, яка дає можливість створювати швидкодіючі та надійні обчислювачі за рахунок використання тільки адресовних структур пам'яті та операції транзакції для програмної й апаратної реалізації комбінаційних і послідовностних функціональностей.

4. Новий Q-метод інтерпретативного справного моделювання цифрових схем, який дозволяє істотно підвищити швидкодію аналізу схеми за рахунок використання компактних Q-покриттів замість таблиць істинності, адресного формування виходів функціональних примітивів і зменшення обсягу структур даних.

5. Новий критерій якості діагностування, який дозволяє підвищити діагнозопридатність проекту за рахунок збільшення тестових сегментів для розпізнавання еквівалентних несправних блоків або додавання асерційних моніторів на транзитних вершинах активізованого графа HDL-коду.

6. Удосконалений метод діагностування дефектів цифрових систем, який дає переваги перед аналогами в компактності представлення даних, збільшенні швидкодії та підвищенні глибини діагностування за рахунок використання єдиної паралельної операції логічного множення та поєднання її зі структурним маскуванням несправностей.

7. Удосконалена модель ремонтпридатної цифрової системи, доповненої надлишковими компонентами і керуючим автоматом, яка дозволяє здійснювати процедуру переадресації відмовних примітивів в режимі штатного функціонування.

8. Удосконалена інфраструктура і методи діагностування HDL-коду цифрової системи, які дозволяють значно зменшити час виявлення несправних функціональних програмно-апаратних компонентів завдяки використанню транзакційного графа у формі компактної діагностичної матриці.

9. Удосконалений ТАВ-метод виявлення функціональних порушень у програмних або апаратних компонентах, який дозволяє підвищити продуктивність діагностування поодиноких і кратних несправних блоків за рахунок паралельного аналізу ТАВ-матриці, застосування граничного сканування на основі стандарту IEEE 1500 та векторних операцій and, or, xor.

10. Удосконалена модель діагностування функціональностей цифрової системи на кристалі, представленої у формі мультидерева, яка дозволяє істотно зменшити час налагодження програмного й апаратного забезпечень в процесі їх проектування завдяки використанню умовного методу обходу мультидерева для виявлення несправних блоків із заданою глибиною.

11. Практична значущість полягає у тестовій верифікації методів моделювання, діагностування та відновлення працездатності на трьох реальних прикладах, які показали спроможність результатів щодо зменшення часу виявлення несправностей та об'єму пам'яті для зберігання діагностичної інформації, а також підвищення глибини діагностування цифрового модуля. Теоретичні та практичні результати дають можливість за рахунок апаратної та структурної надлишковості на 50% підвищити швидкодію інтерпретативного моделювання, на 5% підвищити вихід придатної продукції, на 12% підвищити глибину діагностування несправних функціональних блоків і на 15% зменшити час налагодження HDL-коду в процесі проектування цифрових систем на кристалах.

## **СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ**

1. Гузь, О.А. Квантовые модели данных и вычислительных процессов / О.А. Гузь, Мурад Али А., В.И. Хаханов, Е.И. Литвинова, И.В. Хаханова, Baghdadi Ammar Awni Abbas // Радиоэлектронні і комп'ютерні системи.– №6(58).–2012.–С. 47-52. (Входить до міжнародних науково-метричних баз INSPEC, Index Copernicus та ін.)

2. Багдади, А. А. А. Квантовые модели диагностирования цифровых систем / Багдади Аммар Авни Аббас (Baghdadi Ammar Awni Abbas), В.И.

Хаханов, Е.И. Литвинова, С.А. Бутенко, С.В. Чумаченко // Радиоэлектроника и информатика.– 2013.– №2.– С.35-43.

3. Багхдади, А. А. А. Квантовое моделирование и тестирование вычислительных устройств / А.А. Багхдади, В.И. Хаханов, В.Ш. Меликян, Е.И. Литвинова // Вестник государственного инженерного университета Армении. Серия «Информационные технологии, электроника, радиотехника».– 2014.– Вып. 17, №1.– С. 9-19.

4. Baghdadi, Ammar Awni Abbas Диагностирование HDL-моделей систем на кристаллах / Baghdadi Ammar Awni Abbas, В.И. Хаханов, Е.И. Литвинова, С.А. Зайченко // Радиоэлектроника и информатика.– 2013.– №4.– С.64-72.

5. Гузь, О.А. Метрика и критерии анализа киберпространства / О.А. Гузь, В.И. Хаханов, Мурад Али А., Baghdadi Ammar Awni Abbas, И.В. Хаханова // АСУ и приборы автоматики.– 2011.– Вып. 156.– С. 90-98.

6. Мурад, Али Аббас Технологии восстановления работоспособности мультипроцессорных систем на кристаллах / Мурад Али Аббас, Багхдади Аммар Авни Аббас, В.И. Хаханов, Е.И. Литвинова, Дахири Фарид // АСУ и приборы автоматики.– 2012.– Вып. 159.– С.10-22.

7. Хаханов, В.И. Квантовые структуры для тестирования цифровых устройств / В.И. Хаханов, Baghdadi Ammar Awni Abbas, С.В. Чумаченко, А.С. Шкиль // АСУ и приборы автоматики.– 2013.– Вып. 163.– С. 4-17.

8. Хаханов, В.И. Кубитные структуры данных вычислительных устройств / В.И. Хаханов, Baghdadi Ammar Awni Abbas, Е.И. Литвинова, И.В. Хаханова, Н.Н. Врублевский // АСУ и приборы автоматики.– 2013.– Вып. 164.– С.4-19.

9. Nahanov, V.I. Qubit Model for solving the coverage problem / V.I. Nahanov, E.I Litvinova., S.V. Chumachenko, Baghdadi Ammar Awni Abbas, Eshetie Abebech Mandefro // Proceedings of IEEE East-West Design and Test Symposium.– Kharkov, Ukraine.– 2012.– P. 142-144. (Входит до міжнародних науково-метричних баз Scopus, IEEE Xplore).

10. Baghdadi, Ammar Awni Abbas Синтез логических функций для встроенного диагностирования дефектов с заданной глубиной / Baghdadi Ammar Awni Abbas, И.О. Филиппенко // Материалы XVI Международного молодежного форума «Радиоэлектроника и молодежь в XXI веке».– 2012.– Часть 5.– С. 38-39.

11. Maksimov, M. Multimatrix processor for cyberspace analysis / M. Maksimov, V.I. Nahanov, S.V. Chumachenko, Baghdadi Ammar Awni Abbas // Матеріали XI Міжнародної конференції «Modern Problems of Radio Engineering, Telecommunications, and Computer Science».– Славське, Україна.– 2012.– С. 243. (Входит до міжнародної науково-метричної бази Scopus).

12. Хаханов, В.И. Методы высокоуровневого и логического моделирования в САПР СБИС / В.И. Хаханов, Murad Ali Abbas, Baghdad Ammar Awni Abbas, И.В. Хаханова // V Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012».– Москва, Россия.– 2012.– С. 529- 534.

13. Хаханов, В. Синтез кубитных моделей логических функций / В. Хаханов, Багхдади Аммар Авни Аббас, О. Гузь, И. Хаханова // 4th

International Conference “Telecommunications, Electronics and Informatics”, ICTEI 2012.– Chisinau, Moldova.– 2012.– P. 56-61.

14. Hahanova, Y.V. Embedded repair of logic blocks / Y.V. Hahanova, E. Litvinova, I.V. Hahanova, Baghdadi Ammar Awni Abbas // Матеріали XII Міжнародної науково-технічної конференції CADSM 2013 «Досвід розробки та застосування приладо-технологічних САПР в мікроелектроніці».– Поляна, Україна.– 2013.– С. 217-221. (Входить до міжнародної науково-метричної бази Scopus).

15. Литвинова, Е.И. Модели встроенного ремонта комбинационных логических элементов / Е.И. Литвинова, Baghdadi Ammar Awni Abbas // Материали конференції "Информатика, математика, автоматика". – Сумы, Украина.– 2013.– С. 69.

16. Baghdadi, Ammar Awni Abbas Quantum Modeling and Repairing Digital Systems / Baghdadi Ammar Awni Abbas, V.I. Hahanov, Palanichamy Manikandan, E.I. Litvinova, S. Dementiev // Proceedings of IEEE East-West Design and Test Symposium.– Rostov-on-Don, Russia.– 2013.– P.88-93. (Входить до міжнародних науково-метричних баз Scopus, IEEE Xplore).

17. Hahanov, V. Cloud traffic monitoring and control / V. Hahanov, W. Gharibi, Baghdadi Ammar Awni Abbas, S. Chumachenko, O. Guz, E. Litvinova // Proceedings of the IEEE 7th International Conference on Intelligent Data Acquisition and Advanced Computing Systems (IDAACS).– Berlin, Germany.– 2013.– P. 244-248. (Входить до міжнародних науково-метричних баз Scopus, IEEE Xplore).

18. Gharibi, Wajeb Modeling Digital Systems / Wajeb Gharibi, V. Hahanov, Baghdadi Ammar Awni Abbas, E. Litvinova, D. Shcherbin // Матеріали XIII Міжнародної конференції «Modern Problems of Radio Engineering, Telecommunications, and Computer Science».– Славське, Україна.–2014.– С.77.

19. Baghdadi, Ammar Awni Abbas Qubit Method for Diagnosing Digital Systems / Baghdadi Ammar Awni Abbas, Farid Dahiri, A. Hahanova // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2014).– Kiev, Ukraine.– 2014.– P. 93 – 96. (Входить до міжнародних науково-метричних баз Scopus, IEEE Xplore).

## АНОТАЦІЯ

*Багдаді Аммар Авні Аббас.* Кубітні моделі та методи аналізу і діагностування цифрових пристроїв. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп’ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Міністерство освіти і науки України, Харків, 2015.

Мета дисертаційного дослідження – істотне підвищення швидкодії програмних і апаратних засобів аналізу цифрових пристроїв за рахунок збільшення розмірності структур даних і пам’яті на основі використання кубітних покриттів функціональних елементів, методів адресного

паралельного моделювання, убудованого діагностування та ремонту, що дозволяє значно підвищити вихід придатної продукції завдяки створенню інфраструктури сервісного обслуговування. Основні результати: кубітні моделі опису цифрових систем і компонентів, які характеризуються компактністю опису таблиць істинності у формі Q-покриттів і дозволяють підвищити швидкодію програмних і апаратних засобів інтерпретативного моделювання обчислювальних пристроїв; матрична модель кубітних примітивів для реалізації комбінаційних схем, яка характеризується адресним об'єднанням Q-покриттів на елементах пам'яті, з'єднаних у цифрову схему за допомогою вектора станів ліній, і дає можливість відновлювати працездатність відмовних логічних примітивів; автоматна MQT-модель цифрового пристрою, яка характеризується використанням тільки адресовних структур пам'яті та операції транзакції для програмної і апаратної реалізації комбінаційних і послідовностних функціональностей та дозволяє створювати швидкодіючі та надійні обчислювачі для проектування сервісів кіберпростору; Q-метод інтерпретативного справного моделювання цифрових схем, який характеризується використанням компактних Q-покриттів замість таблиць істинності та дозволяє істотно підвищити швидкодію аналізу схеми.

Ключові слова: верифікація, діагностування, тестування, моделювання, цифрові системи на кристалах, квантові обчислення, графова модель, відновлення працездатності.

## АННОТАЦИЯ

*Багдади Аммар Авни Аббас.* Кубитные модели и методы анализа и диагностирования цифровых устройств.– На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты.– Харьковский национальный университет радиоэлектроники, Министерство образования и науки Украины, Харьков, 2015.

Цель диссертационного исследования – существенное повышение быстродействия программных и аппаратных средств анализа цифровых устройств за счет увеличения размерности структур данных и памяти на основе использования кубитных покрытий функциональных элементов, методов адресного параллельного моделирования, встроеного диагностирования и ремонта, что позволяет значительно повысить выход годной продукции благодаря созданию инфраструктуры сервісного обслуживания.

Объект исследования – процессы параллельной обработки функциональных примитивов для синтеза, анализа, тестирования, диагностирования и ремонта цифровых изделий на основе использования кубитных структур данных. Предмет исследования – кубитные модели, методы и инфраструктуры для синтеза, анализа, тестирования, диагностирования и ремонта компонентов цифровых систем на основе

использования кубитных моделей компонентов. Основная инновационная идея квантовых или кубитных вычислений заключается в переходе от вычислительных процедур над байт-операндом, определяющим в дискретном пространстве одно решение (точку), к квантовым параллельным процессам над кубит-операндом, одновременно формирующим булеан решений.

Основные результаты: 1) кубитные модели описания цифровых систем и компонентов, которые характеризуются компактностью описания таблиц истинности в форме Q-покрытий, позволяют повысить быстродействие программных и аппаратных средств интерпретативного моделирования вычислительных устройств; 2) матричная модель кубитных примитивов для реализации комбинационных схем, которая характеризуется адресным объединением Q-покрытий на элементах памяти, соединенных в цифровую схему с помощью вектора состояний линий, дает возможность восстанавливать работоспособность отказавших логических примитивов путем их переадресации на запасные компоненты при достаточно высоком быстродействии функционирования вычислительного устройства; 3) автоматная MQT-модель цифрового устройства, которая характеризуется использованием только адресуемых структур памяти и операции транзакции для программной и аппаратной реализации комбинационных и последовательностных функциональностей, дает возможность создавать быстродействующие и надежные вычислители для проектирования сервисов киберпространства на основе параллельных логических операций и ремонта неисправных адресуемых функциональных примитивов; 4) Q-метод интерпретативного исправного моделирования цифровых схем, который характеризуется использованием компактных Q-покрытий вместо таблиц истинности, позволяет существенно повысить быстродействие анализа схемы за счет адресного формирования выходов функциональных примитивов и уменьшить объем структур данных; 5) критерий качества диагностирования, который учитывает структуру графа, тестов и ассерционных мониторов, позволяет повысить диагнозпригодность проекта за счет увеличения тестовых сегментов для распознавания эквивалентных неисправных блоков или добавления ассерционных мониторов на транзитных вершинах активизированного графа HDL-кода; 6) усовершенствованная инфраструктура и методы диагностирования HDL-кода цифровой системы, дополненные транзакционным графом в форме компактной диагностической матрицы, позволяют значительно уменьшить время обнаружения неисправных функциональных компонентов программно-аппаратных систем.

Практическая значимость результатов исследования: тестовая верификация методов моделирования, диагностирования и восстановления работоспособности на трех реальных примерах; практическая реализация генератора HDL-кода специализированных процессоров, использующих диаграммы Хассе для параллельных векторно-логических вычислений булеанов, применяемых для ускорения моделирования, верификации и диагностирования. Теоретические и практические результаты дают возможность за счет аппаратной и структурной избыточности на 50%

повысить быстродействие интерпретативного моделирования, на 5% повысить выход годной продукции, на 12% повысить глубину диагностирования неисправных функциональных блоков и на 15% уменьшить время отладки HDL-кода в процессе проектирования цифровых систем на кристаллах.

Ключевые слова: верификация, диагностирование, тестирование, моделирование, цифровые системы на кристаллах, квантовые вычисления, графовая модель, восстановление работоспособности.

## ABSTRACT

*Baghdadi Ammar Awni Abbas.* Qubit models and methods for analyzing and diagnosis of digital units. – Manuscript.

PhD thesis (candidate degree of technical sciences) in speciality 05.13.05 – Computer Systems and Components. – Kharkiv National University of Radio Electronics, Ministry of Education and Science of Ukraine, Kharkiv, 2015.

The aim of the research is a considerable increase in the speed of hardware and software for analyzing digital units by increasing the dimension of the data structures and memory through the use of qubit coverage of functional elements, methods for address parallel simulation, embedded diagnosis and repair, which make it possible significantly increase the product yield due to the development of the infrastructure IP. The main results are the following: qubit models for description of digital systems and components, which are characterized by compact representation of the truth table in the form of Q-coverage and allow improving the performance of software and hardware interpretative simulation of computing units; matrix model of qubit primitives to implement combinational circuits that is characterized by address union of Q-coverage on memory cells, connected in a digital circuit by using the state vector of lines, provides an opportunity to repair faulty logic primitives; MQT-automaton model of digital unit that is characterized by using only addressable memory structures and operation of transaction for software and hardware implementation of combinational and sequential functionalities, allows creating fast and reliable calculators for designing cyberspace services; Q-method for interpretative fault-free simulation of digital circuits that is characterized by the use of compact Q-coverage instead of the truth table makes it possible to significantly improve the performance of circuit analysis.

Key words: verification, diagnosis, testing, simulation, system-on-chip, quantum computation, graph model, repair.

Підп. до друку \_\_.\_\_.15. Формат 60r84<sup>1</sup>/<sub>16</sub>. Папір друк.; Умов. друк. арк. 0,9

Облік. вид. арк. 1,0. Зам. № \_\_-\_\_; Тираж 100 прим.

Надруковано у видавництві ЧП “Степанов В.В.”

61168, Харків, вул. акад. Павлова, 311