

МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА СПОРТУ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
РАДІОЕЛЕКТРОНІКИ

ІГЕНЕ КРИСТОФЕР УМЕРАХ

УДК 658:512.011:681.326:519.713

**ІНФРАСТРУКТУРА УБУДОВАНОГО ДІАГНОСТУВАННЯ
HDL-МОДЕЛЕЙ ЦИФРОВИХ СИСТЕМ НА КРИСТАЛАХ**

05.13.05 – комп'ютерні системи та компоненти

АВТОРЕФЕРАТ

дисертації на здобуття наукового ступеня
кандидата технічних наук

Харків 2011

Дисертацією є рукопис.

Роботу виконано у Харківському національному університеті радіоелектроніки, Міністерство освіти і науки, молоді та спорту України.

Науковий керівник: доктор технічних наук, професор
Хаханов Володимир Іванович, Харківський національний університет радіоелектроніки, декан факультету комп'ютерної інженерії та управління.

Офіційні опоненти: доктор технічних наук, професор
Краснобасв Віктор Анатолійович, Полтавський національний технічний університет ім. Ю. Кондратюка, завідувач кафедри комп'ютерної інженерії;

доктор технічних наук, професор
Хажмурадов Манап Ахмадович, Національний науковий центр "Харківський фізико-технічний інститут", начальник відділу математичного забезпечення.

Захист відбудеться "**14**" **грудня 2011 року о 13-00** годині на засіданні спеціалізованої вченої ради Д64.052.01 у Харківському національному університеті радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

З дисертацією можна ознайомитися в бібліотеці Харківського національного університету радіоелектроніки за адресою: 61166, м. Харків, пр. Леніна, 14.

Автореферат розісланий "**11**" листопада 2011 року.

Вчений секретар
спеціалізованої вченої ради

Чалий С.Ф.

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Ринок електронних технологій створює умови для розвитку: 1) 2D-3D нано-електронних технологій з роздільністю 45-28 nm – нині, 20 nm – 2012 рік, 14 nm – 2014 рік, 11 nm – 2015 рік – для створення цифрових систем на кристалах і в пакетах кристалів; 2) засобів проектування EDA, орієнтованих на використання мультипроцесорів і транзакційних моделей (TLM) для синтезу й тестування цифрових виробів; 3) спеціалізації цифрових систем на кристалах для реалізації енергозберігаючих пристроїв на основі ASIC або PLD. Зазначені напрями створюють умови для появи на ринку широкого спектру спеціалізованих цифрових виробів (гаджетів – gadget), які витісняють універсальні технічні рішення, орієнтованих на створення нових комунікаційних, обчислювальних та інформаційних сервісів, корисних для людини, що характеризуються істотними перевагами перед персональними комп'ютерами і ноутбуками: енергоспоживання, компактність, вага, вартість, функціональні можливості, дружність інтерфейсу. Перехід від обчислювальних платформ до мобільних пристроїв з малим форм-фактором приведе до істотного зниження енергоспоживання в усьому світі. Для ефективного проектування, виробництва й експлуатації такої маси цифрових виробів необхідно створювати нові економічні технології та інфраструктури сервісного обслуговування на стадіях проектування, виробництва й експлуатації. Виходячи з актуальності дослідження дисертаційна робота спрямована на створення нових моделей, методів і засобів тестування й діагностування функціональних порушень HDL-коду цифрової системи на кристалі, представлених: помилками розробників у системній моделі; недосконалістю існуючих технологій діагностування; невисокою продуктивністю визначення діагнозу із заданою глибиною. Нове пропонуване рішення проблеми тестування й діагностування HDL-моделей дозволить на 20% знизити сумарні витрати на проектування цифрових систем на кристалах.

Проблемами проектування, тестування й діагностування цифрових систем успішно займаються вчені: J. Bergeron, L. Bening, H. Foster, R. Drechsler, Z. Navabi, A. Jerraya, D.B. Armstrong, M. Breuer, Y. Zorian, P. Prinetto, J. Abraham, H. Fujiwara, I. Pomeranz, T. Nishida, X. Wang, F. Fummi, А. И. Петренко, Р. Убар, А. М. Романкевич, Д. В. Сперанський, П.П. Пархоменко, Ю.В. Малишенко, В.Н. Ярмолік, В.П. Чипуліс, J.P. Roth, А.Ю. Матросова, В.А. Твердохлебов, Ю.А. Скобцов, М.Ф. Каравай, В.С. Харченко, Л.В. Дербунович, Р. Шейнаускас, А.Н. Чеботарьов.

Зв'язок роботи з науковими програмами, планами, темами. Розробка основних положень дисертації здійснювалась відповідно до планів НДР, програм та договорів, що виконуються на кафедрі АПОТ Харківського національного університету радіоелектроніки в період з 2007 року: 1) Договір про дружбу та співробітництво між ХНУРЕ та корпорацією “Aldec Inc.” (USA) № 03 від 09.12.2009; 2) Договір про науково-технічне співробітництво

в галузі створення систем автоматизованого тестування з Талліннським технічним університетом № 02 від 17.11.2008; 3) Держбюджетна НДР «Розробка математичних методів, алгоритмів та інструментальних засобів надшвидких перетворень зображень», Розділ «Розробка основ нових інформаційних технологій в автоматизованому проектуванні, діагностиці засобів обчислювальної техніки» (№ ГР 0101U001948); 4) Теорія й проектування енергозберігаючих цифрових обчислювальних систем на кристалах, що моделюють і підсилюють функціональні можливості людини, д/б № 232, 2009, № ГР 0109U001646; 5) Мультипроцесорна система пошуку, розпізнавання та прийняття рішень для інформаційної комп'ютерної екосистеми, д/б № 259-1, 2011, № ДР 0111U002956. При виконанні зазначених вище договорів і робіт автор брав безпосередню участь у розробці моделей і методів тестування цифрових систем на кристалах, а також у реалізації апаратних компонентів системи діагностування на основі асерцій, інтегрованих в продукт Riviera, Aldec Inc., в якості інженера.

Мета дослідження – введення програмно-апаратної надлишковості в технологію проектування цифрових виробів на кристалах для забезпечення заданої глибини діагностування HDL-коду, зменшення часу верифікації та підвищення якості ESL-моделей.

Для досягнення поставленої мети необхідно вирішити задачі:

1. Розробити ESL-моделі вбудованого тестування цифрових систем на кристалах на основі використання транзакційного графа та механізму асерцій.

2. Розробити векторно-логічні методи верифікації та діагностування цифрових систем на кристалах із застосуванням механізму асерцій.

3. Розробити архітектуру логічного асоціативного мультиматричного процесора для сервісного обслуговування функціональностей цифрових систем на кристалах.

4. Виконати імплементацію та верифікацію моделей, методів та архітектури процесора, інтегрованих в інфраструктуру вбудованого тестування цифрових систем на кристалах.

Об'єкт дослідження – процес проектування й тестування цифрових систем на кристалах, представлених за допомогою мов опису апаратури високого рівня для HDL-симулятора.

Предмет дослідження – HDL-моделі, методи та засоби тестування й функціональної верифікації цифрових систем на кристалах на основі використання транзакційного графа та механізму асерцій.

Методи дослідження: булева алгебра, векторно-асоціативна логіка, теорія множин, теорія графів, теорія цифрових автоматів – для побудови аналітичної моделі тестування; логічний аналіз, теорія алгоритмів, методи проектування і моделювання цифрових систем – для побудови структур даних і системи тестування, методи аналізу якості моделей та ефективності верифікації цифрових систем – для досягнення заданої глибини діагностування запропонованими методами; промислові засоби логічного синтезу схем та

аналізу функціонального покриття, а також генерації тестів – для створення програмно-апаратної інфраструктури діагностування HDL-коду.

Наукова новизна отриманих результатів:

1. Вперше запропоновано модель процесів тестування та верифікації, яка характеризується використанням бета-метрики тестування цифрових систем на кристалах, що дає можливість аналітично сформулювати всі задачі технічної діагностики програмно-апаратних продуктів та визначити на графі всі концептуальні шляхи їх вирішення.

2. Вперше запропоновано модель HDL-коду у формі транзакційного графа, яка характеризується взаємодією програмних блоків, механізму асерцій і функціональним покриттям, що дає можливість здійснювати діагностування помилок в процесі моделювання.

3. Удосконалені методи діагностування функціональних порушень HDL-коду на основі асерцій, які відрізняються паралелізмом виконання векторних логічних операцій над матрицею несправностей, що дає можливість зменшити час аналізу результатів моделювання при пошуку дефектів.

4. Удосконалена модель логічного асоціативного мультиматричного процесора, яка, на відміну від існуючих, передбачає вбудоване сервісне обслуговування функціональних блоків цифрових систем на кристалах, що дає можливість підвищити продуктивність процесів верифікації та діагностування.

Практичне значення отриманих результатів:

1. Моделі й методи тестування, а також архітектура спеціалізованого мультиматричного процесора доведені до практичної реалізації у вигляді програмно-апаратних компонентів інфраструктури, інтегрованої з системою Riviera (Aldec), що надало можливість створювати ефективні маршрути перевірки та діагностування HDL-коду цифрових систем на кристалах.

2. Інтеграція програмних HDL-моделей і апаратної реалізації методів діагностування функціональних порушень дозволила істотно (20%) скоротити часові витрати для моделювання й верифікації у процесі тестування цифрових виробів.

3. Інфраструктура тестування HDL-коду надає можливість апаратно обробляти програмно-апаратні моделі проектного виробу, що дозволяє істотно (50%) зменшити час діагностування та корекції коду в процесі ітераційного налагодження.

4. Запропоновані моделі й методи, що складають основу програмно-апаратної інфраструктури тестування на основі асерцій істотно (20%) підвищують тестопридатність цифрової системи в цілому, що дозволяє зменшити часові витрати на синтез тесту, підвищити його функціональну повноту і якість проектного виробу.

Обґрунтованість і достовірність наукових положень підтверджується результатами експериментальних досліджень, обробкою 10 реальних моделей систем на кристалах, орієнтованих на промислове використання. Результати експериментів підтверджують високу ефективність діагностування

функціональних порушень в HDL-моделях, а так само суттєве підвищення продуктивності програмно-апаратної системи тестування у порівнянні з існуючими академічними аналогами. Достовірність наукових висновків підтверджується інтеграцією розробленої інфраструктури тестування в програмний комплекс Riviera компанії Aldec (США).

Розробки у вигляді програмно-апаратних додатків, запропоновані в дисертації, використовуються у: 1) Харківському національному університеті радіоелектроніки, в навчальному процесі (акт про впровадження від 30.05.2011); 2) Компанії Aldec, USA (довідка про впровадження від 11.06.2011).

Особистий внесок здобувача. Всі основні результати отримані здобувачем особисто. У роботах, опублікованих зі співавторами, здобувачеві належать: [1] – нова модель HDL-коду у формі транзакційного графа, яка характеризується взаємодією програмних блоків, механізму асерцій та функціональним покриттям; [2] – нова модель процесів тестування та верифікації, яка характеризується використанням бета-метрики; [3] – огляд архітектур мультипроцесорів; [4] – удосконалена архітектура логічного асоціативного мультиматричного процесора, яка відрізняється орієнтацією на вбудоване сервісне обслуговування функціональних блоків цифрових систем на кристалах; [5] – удосконалений метод діагностування функціональних порушень HDL-коду на основі асерцій, який відрізняється паралелізмом виконання векторних логічних операцій над матрицею несправностей; [6] – сервісне обслуговування сучасних цифрових систем на кристалах на основі використання механізму асерцій; [7] – тестування і верифікація HDL-моделей компонентів SOC з використанням механізму асерцій; [8] – інфраструктура логічного аналізу асоціативних таблиць; [9] – удосконалений метод діагностування пам'яті; [10] – програмно-апаратна імплементація систем обчислювального інтелекту; [11] – апаратна реалізація технологій відновлення працездатності цифрових систем на кристалах на основі FPGA; [12] – метод діагностування функціональних порушень системи на кристалі; [13] – метод тестування HDL-моделі; [14] – поліпшення якості проекту системи на кристалі шляхом верифікації з використанням механізму асерцій; [15] – інфраструктура комп'ютерної системи, що саморозвивається; [16] – мультипроцесорна інфраструктура аналізу інформаційного простору; [17] – метрика векторно-логічного простору; [18] – процес-модель аналізу асоціативних структур даних; [19] – архітектура логічного асоціативного мультипроцесора; [20] – застосування логічного мультипроцесора для аналізу інформації; [21] – матричний метод пошуку функціональних порушень.

Апробація результатів дисертації. Основні результати роботи представлені й обговорені на 15 конференціях: 1) міжнар. науково-технічна конференція «Xth International Conference CADSM», Lviv-Polyana, 2009; 2) міжнар. науково-технічна конференція «Интеллектуальные системы принятия решений и проблем вычислительного интеллекта» (ISDMCT09), Євпаторія, 2009; 3) V міжнар. конференція «Стратегия качества в

промышленности и образовании», Варна, 2009; 4) міжнар. науково-технічна конференція «IFAC Discrete-Event System Design», Spain, 2009; 5-6) міжнар. симпозиум «IEEE East-West Design and Test Symposium», Russia, 2009, 2010; 7) VI міжнар. науково-технічна конференція «Повышение качества, надежности и долговечности технических систем и технологических процессов», Хургада, 2009; 8) XV міжнар. науково-практична конференція «Актуальные вопросы развития инновационной деятельности», Алушта, 2010; 9) міжнар. науково-технічна конференція «Інтелектуальні системи прийняття рішень та проблеми обчислювального інтелекту», Євпаторія, 2010; 10) міжнар. науково-технічна конференція «Сучасні інформаційні та інноваційні технології на транспорті MINTT-2010», Херсон, 2010; 11) 7 міжнар. науково-технічна конференція «Автоматизация проектирования дискретных систем», Мінськ, 2010; 12) міжнар. науково-технічна конференція «The 12th Biennial Baltic Electronics Conference (BEC)», Tallinn, 2010; 13) VI міжнар. науково-практична конференція «Наука и социальные проблемы общества: информация и информационные технологии», 2011, Харків.

Публікації. Результати наукових досліджень відображено у 21 друкованій праці: 8 статтях, опублікованих у наукових виданнях, включених до Переліків ВАК України, а також 13 матеріалах наукових конференцій.

Структура та обсяг дисертації. Дисертаційна робота містить 122 сторінки, 38 рисунків. Її структура складається з вступу, 4 розділів, 22 підрозділів, висновків, списку використаних джерел з 132 назв (на 15 с.), 4 додатків (на 28 с.).

ОСНОВНИЙ ЗМІСТ РОБОТИ

Вступ містить обґрунтування актуальності задачі, що розв'язується, формулювання мети, об'єкта та задач дослідження, сукупність наукових результатів, що виносяться на захист, відомості про їх апробацію та реалізацію.

Перший розділ присвячено розгляду нових технологій проектування й верифікації цифрових систем на кристалах. Представлено аналітичний огляд технологій тестування та верифікації SoC, орієнтований на пошук ефективних рішень в частині моделей, методів і засобів, спрямованих на підвищення якості проектування та збільшення виходу придатної продукції.

У другому розділі запропоновано *нову модель процесів тестування та верифікації, яка характеризується використанням бета-метрики, та нову модель HDL-коду у формі транзакційного графа.*

Метрика β кібернетичного (двійкового) простору визначається єдиною рівністю, яка формує нуль-вектор для хог-суми відстаней d_i між ненульовою

та скінченною кількістю точок (об'єктів), замкнутих у цикл: $\beta = \bigoplus_{i=1}^n d_i = 0$.

Відстань (по Хеммінгу) між двома об'єктами (векторами) a , b визначається у

вигляді вектора: $d_i = d(a, b) = a_j \oplus b_j$. Метрика β кібернетичного

багатозначного простору, де кожна координата вектора (об'єкта) визначена в алфавіті, що становить булеан на універсумі примітивів потужністю p : $a_j = \{\alpha_1, \alpha_2, \dots, \alpha_r, \dots, \alpha_m\}$, $m = 2^p$, є симетрична різниця відстаней між скінченною кількістю точок, що утворюють цикл, яка дорівнює \emptyset - вектору (за всіма координатами): $\beta = \Delta_{i=1}^n d_i = \emptyset$.

Нова модель процесів тестування та верифікації, яка характеризується використанням бета-метрики, базується на хог-взаємодії чотирьох основних компонентів технічної діагностики. Процедура синтезу тестів, моделювання несправностей та пошуку дефектів можна звести до хог-відношень на графі (рис. 1) повної взаємодії чотирьох вершин (функціональність, пристрій, тест, дефекти) $G = \{F, U, T, L\}$. Такий граф породжує чотири базових трикутника, які формують 12 практично орієнтованих тріад відношень, які формулюють задачі технічної діагностики:

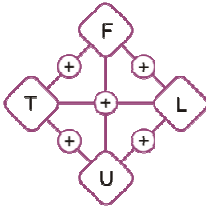


Рис. 1. Граф взаємодії компонентів технічної діагностики

$T \oplus F \oplus L = 0$	$T \oplus L \oplus U = 0$	$T \oplus F \oplus U = 0$	$F \oplus L \oplus U = 0$
1) $T = F \oplus L$	4) $T = L \oplus U$	7) $T = F \oplus U$	10) $F = L \oplus U$
2) $F = T \oplus L$	5) $L = T \oplus U$	8) $F = T \oplus U$	11) $L = F \oplus U$
3) $L = T \oplus F$	6) $U = T \oplus L$	9) $U = T \oplus F$	12) $U = F \oplus L$

Діагностування дефектів (функціональних порушень) зводиться до порівняння результатів модельного $(T \oplus F)$ і натурального $(T \oplus U)$ експериментів, яке формує список функціональних порушень L , які мають місце в об'єкті діагностування. Формула-модель процесу пошуку блоку F_i з функціональними порушеннями зводиться до вибору рішення за допомогою визначення хог-взаємодії між трьома компонентами:

$$L = F_i \leftarrow [(T \oplus F_i) \oplus_{i=1}^p (T \oplus U_i)] = 0.$$

Нова модель HDL-коду у формі транзакційного графа. Аналітична модель верифікації HDL-коду з використанням механізму темпоральних асерцій (додаткових ліній спостереження) орієнтована на досягнення заданої глибини діагностування і представлена в наступному вигляді:

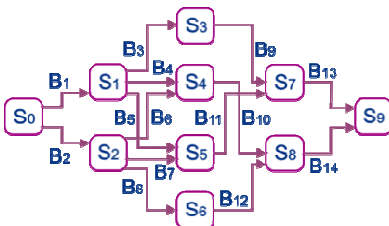
$$\begin{aligned} M &= f(F, A, B, S, T, L), & F &= (A * B) \times S; S = f(T, B); \\ A &= \{A_1, A_2, \dots, A_i, \dots, A_n\}; & B &= \{B_1, B_2, \dots, B_i, \dots, B_n\}; \\ S &= \{S_1, S_2, \dots, S_i, \dots, S_m\}; & S_i &= \{S_{i1}, S_{i2}, \dots, S_{ij}, \dots, S_{ip}\}; \\ T &= \{T_1, T_2, \dots, T_i, \dots, T_k\}; & L &= \{L_1, L_2, \dots, L_i, \dots, L_n\}. \end{aligned}$$

Тут $F=(A*B) \times S$ – функціональність, представлена графом (рис. 2) транзакцій програмних блоків (Code-Flow Transaction Graph – CFTG), де $S=\{S_1, S_2, \dots, S_i, \dots, S_m\}$ – вершини або стани програмного продукту при моделюванні тестових сегментів. Граф можна ідентифікувати як ABC-граф – Assertion Based Coverage Graph. Кожен стан $S_i = \{S_{i1}, S_{i2}, \dots, S_{ij}, \dots, S_{ip}\}$ визначається значеннями істотних змінних проекту (булеві, регістрові змінні, пам'ять). Орієнтовані дуги графа представлені сукупністю програмних блоків

$$V = (B_1, B_2, \dots, B_i, \dots, B_n), \bigcup_{i=1}^n B_i = B; \bigcap_{i=1}^n B_i = \emptyset, \text{ де кожному з них може бути}$$

поставлена у відповідність асерція $A_i \in A = \{A_1, A_2, \dots, A_i, \dots, A_n\}$. Кожна дуга B_i – група операторів коду – формує стан вершини $S_i = f(T, B_i)$ в залежності від тесту $T = \{T_1, T_2, \dots, T_i, \dots, T_k\}$. Кожній вершині може бути поставлений у відповідність асерційний монітор, що поєднує асерції дуг, які входять у вершину $A(S_i) = A_{i1} \vee A_{i2} \vee \dots \vee A_{ij} \vee \dots \vee A_{in}$. Вершина може мати більше однієї вхідної (вихідної) дуги. Множина блоків з функціональними порушеннями представлена списком $L = \{L_1, L_2, \dots, L_i, \dots, L_n\}$.

Модель HDL-коду, представлена у формі ABC-графа, відображає не тільки структуру програмного коду, але й тестові зрізи функціональних покриттів, сформованих за допомогою програмних блоків, які входять у вершину, що розглядається. Остання визначає відношення між досягнутим на



$$V = B_1 B_3 B_9 B_{13} \vee B_2 B_7 B_{11} B_{13} \vee B_1 B_5 B_{11} B_{13} \vee B_1 B_4 B_{10} B_{14} \vee B_2 B_6 B_{10} B_{14} \vee B_2 B_8 B_{12} B_{14}.$$

Рис. 2. Приклад ABC-графа для HDL-коду

тесті простором змінних і потенційно можливим, яке формує функціональне покриття як потужність стану i -вершини графа

$$Q = \text{card} C_1^r / \text{card} C_1^p.$$

У сукупності всі вершини графа повинні складати повне покриття простору станів змінних програмного коду, яке формує якість тесту, що дорівнює 1

$$(100\%): Q = \text{card} \bigcup_{i=1}^m C_1^r / \text{card} \bigcup_{i=1}^m C_1^p = 1.$$

Крім того, механізм асерцій $\langle A, C \rangle$,

існуючий на графі, дозволяє виконувати моніторинг дуг (code-coverage) $A = \{A_1, A_2, \dots, A_i, \dots, A_n\}$ та вершин (functional coverage) $C = \{C_1, C_2, \dots, C_i, \dots, C_m\}$.

У третьому розділі запропоновано удосконалені методи діагностування функціональних порушень HDL-коду на основі асерцій, які відрізняються паралелізмом виконання векторних логічних операцій над матрицею несправностей.

Метод векторно-логічного аналізу стовпців. Методи пошуку функціональних порушень (ФП) в блоках операторів коду використовують попередньо побудовану таблицю ФП $V = [V_{ij}]$, де рядок є відношення між тестовим сегментом і підмножиною активізованих на даному сегменті програмних блоків $T_i \approx (V_{i1}, V_{i2}, \dots, V_{ij}, \dots, V_{in})$. Стовпець таблиці формує відношення між програмним блоком і тестовими сегментами $V_j \approx (T_{1j}, T_{2j}, \dots, T_{ij}, \dots, T_{pj})$, що активізують його. Стовпець є вектором асерцій, що ідентифікує функціональне порушення у відповідному блоці. На стадії моделювання визначається реакція $m = (m_1, m_2, \dots, m_i, \dots, m_p)$ механізму асерцій на тест шляхом формування кожного розряду $m_i = (A_1 \vee A_2 \vee \dots \vee A_i \vee \dots \vee A_k)$, $A_i = \{0, 1\}$ як реакції асерцій на тест-сегмент T_i . Пошук ФП базується на визначенні хог-операції між вектором стану асерцій та стовпців таблиці ФП $m \oplus (V_1 \vee V_2 \vee \dots \vee V_j \vee \dots \vee V_n)$. Вибір рішення визначається вектором V_j з мінімальною кількістю одиничних координат, які формують програмні блоки з ФП, що перевіряються на тестових сегментах. Процес діагностування за таблицею ФП на основі реакції $m = (m_1, m_2, \dots, m_i, \dots, m_n)$, $m_i = \{0, 1\}$ на тест зводиться до методів векторно-логічного аналізу стовпців або рядків.

Перший метод базується на застосуванні векторної хог-операції між m -реакцією функціональності на тест, яка формально розглядається в якості вхідного вектор-стовпця та стовпців таблиці несправностей $m \oplus (V_1 \vee V_2 \vee \dots \vee V_j \vee \dots \vee V_m)$. Для підрахунку якості взаємодії векторів $Q_j(m \oplus V_j)$ з метою вибору кращого рішення визначаються стовпці з мінімальною кількістю одиниць вислідного вектора. Вони ідентифікують і формують дефектні блоки з функціональними порушеннями, що перевіряються на тестових наборах. Аналітична модель процесу отримання рішення у вигляді списку блоків з ФП, які мають місце в програмному продукті, представлена в наступному вигляді:

$$L = L \vee V_j \leftarrow \sum_{i=1}^k (V_{ij} \oplus m_i) = (0 \vee \min). \quad \text{Тут фігурує вектор}$$

експериментальної перевірки, який є вхідним для подальшого аналізу таблиці ФП $m = f(A, B) \oplus f^*(A, B, L)$. Він є результатом проведення тестового експерименту – порівняння функціоналів (станів виходів) еталонного $f(A, B)$ та реального $f^*(A, B, L)$ пристрою з дефектами L на тестових наборах A . У другому випадку, якщо множина дефектних блоків $L > 1$, це означає наявність еквівалентних на даному тесті та механізмі асерцій, функціональних порушень.

Процес-модель пошуку оцінки кращого рішення з мінімальною кількістю одиничних координат з не менш, ніж двох альтернатив, представлено на рис. 3. Вона містить такі операції: 1) спочатку в вектор-результат Q , в якому буде збережено найкраще рішення, заносяться одиничні значення в усі координати (найгірше рішення) і одночасно здійснюється операція slc зсуву вліво з ущільненням одиниць поточного вектора Q_i ; 2) виконується порівняння двох векторів: Q і наступної оцінки Q_i зі списку рішень; 3) реалізується векторна операція $and(Q \wedge Q_i)$, результат якої порівнюється з вмістом вектора Q , що дає можливість змінити його, якщо вектор Q_i має меншу кількість одиничних значень; 4) процедура пошуку оцінки кращого рішення повторюється n разів.

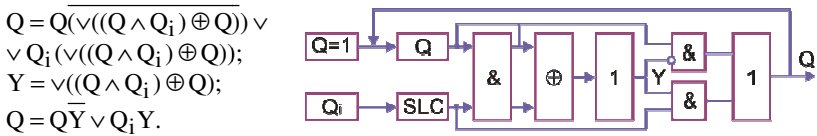


Рис. 3. Процес-модель вибору рішення

Переваги методу векторно-логічного аналізу стовпців – вибір кращого рішення з усіх можливих поодиноких і кратних ФП.

Метод векторно-логічного аналізу рядків. Метод призначений для визначення місця дефектів або ФП програмного коду і складається з двох процедур: 1) обчислення логічного добутку кон'юнкції рядків, позначених одиничними значеннями вектора $T_i(m_i = 1)$, на заперечення диз'юнкції нульових рядків $T_i(m_i = 0)$ для одиничних дефектних блоків; 2) обчислення логічного добутку диз'юнкції одиничних рядків на заперечення диз'юнкції нульових рядків для кратних дефектних блоків:

$$L^S = \left(\bigwedge_{\forall m_i=1} T_i \right) \wedge \left(\bigvee_{\forall m_i=0} \bar{T}_i \right); L^m = \left(\bigvee_{\forall m_i=1} T_i \right) \wedge \left(\bigvee_{\forall m_i=0} \bar{T}_i \right); \quad (1)$$

Обчислювальна складність методу аналізу рядків визначається залежністю: $Z^c = n^2$; $Z^r = n$. Перша оцінка призначена для підрахунку кількості координатних операцій, друга визначає обчислювальну складність процесу обробки на основі регістрових паралельних операцій. Модифікація формул (1) за рахунок введення таких позначень:

$$a = \left(\bigwedge_{\forall m_i=1} T_i \right); b = \left(\bigvee_{\forall m_i=0} \bar{T}_i \right); c = \left(\bigvee_{\forall m_i=1} T_i \right);$$

$$L^S = a\bar{b} = a \oplus ab = a(a \oplus b) = a(b \oplus 1); L^m = c\bar{b} = c \oplus cb = c(c \oplus b) = c(b \oplus 1);$$

$$L = \begin{cases} a\bar{b} = a\bar{b} = a \oplus ab = a(a \oplus b) = a(b \oplus 1); \\ c\bar{b} = c\bar{b} = c \oplus cb = c(c \oplus b) = c(b \oplus 1) \leftarrow a\bar{b} = 0; \end{cases}$$

Будь-який вираз у правій частині рівнянь може бути використаний для визначення функціонального порушення в програмному або апаратному виробі. Різниця полягає в наявності або відсутності інверсії, змінної хог-операцією, яка для задач діагностування та розпізнавання образів є більш кращою. У такому випадку процес-модель діагностування поодиноких (використовується а-компонент) або кратних (b-компонент) дефектів (функціональних порушень) на основі аналізу таблиці ФП матиме ефективну векторно-орієнтовану обчислювальну технологію: $L = (b \oplus 1)(a \vee c)$ убудованого сервісного обслуговування програмних та/або апаратних продуктів. З позиції теорії множин це означає визначення результату теоретико-множинного віднімання $L = (a \vee c) \setminus b = (a \setminus b) \vee (c \setminus b)$ в алгебологічному векторному просторі. Для таких операцій необхідний мультиматричний процесор, строго орієнтований на паралельне виконання декількох логічних операцій над матрицями даних.

Матричний метод пошуку функціональних порушень в програмних блоках. Метод діагностування функціональних порушень в програмних блоках на додаток до графа транзакцій програмних блоків використовує триаду матриць одного формату:

$$M = B \oplus A \oplus L = 0; L = B \oplus A \leftarrow \underline{L_{ij}} = \underline{B_{ij}} \oplus \underline{A_{ij}} \leftarrow \{B_{ij}, A_{ij}, L_{ij}\} = \{0, 1\};$$

$$B = [B_{ij}], A = [A_{ij}], L = [L_{ij}], i = 1, n; j = 1, m; \oplus = ab \vee \bar{a}\bar{b}.$$

Тут матриці формують: B – активізацію блоків на тестових сегментах в процесі моделювання; A – активність асерцій, відповідних блокам, на тестових сегментах також в процесі моделювання; L – дефектні блоки, отримані в результаті виконання хог-операції над двома попередніми матрицями.

Для діагностування програмного коду відповідно до процес-моделі, що має вигляд $L(B, T) = (B \oplus A) \rightarrow L(B) = (\bigvee_{i=1, n} A_i) \wedge (\bigvee_{i=1, n} L_i)$, необхідно

розглянути наступні пункти: 1. Покриття (coverage) – будь-яка метрика вибору тесту та визначення його повноти. Покриття коду – code coverage – метрика тесту, орієнтована на гарантоване підтвердження виконання всіх рядків коду. Виконується декомпозиція програмного коду на блоки

$B = \{B^s, B^t\} \leftarrow B^s \cap B^t = \emptyset, B^s \cup B^t = B$. 2. Кожен блок належить до одного з двох типів: послідовність операторів без розгалуження або коло часової затримки $B_i \in \{B^s, B^t\}$. Виконується установка асерційних моніторів активності блоків на тесті на початку розгалуження або в першому такті кола часової затримки. У процесі моделювання асерції формують матрицю активізації програмних блоків на кожному тест-сегменті $B_{ij} = T_i \oplus B_j \in \{0, 1\}$.

3. Функціональне покриття – functional coverage – метрика тесту, що гарантує досягнення усіх істотних станів в просторі визначення змінних і функцій

програмного продукту. Виконується декомпозиція функціональності програмного продукту на графі: керувальний і транзакційний $F = \{F^c, F^t\} \leftarrow F^c \cap F^t = \emptyset, F^c \cup F^t = F$. Це дає можливість істотно зменшити розмірність задач, пов'язаних з побудовою відповідних покриттів, які задають область визначення змінних керування та потоків даних. Синтезований тест для графа керування забезпечує активізацію усіх логічних і арифметичних змінних, що беруть участь в ініціюванні транзакцій програмного продукту. Спосіб активізації змінних або синтез тесту: псевдовипадкова або детермінована (алгоритмічна) генерація тестових впливів, а також ручне написання вхідних стимулів. Форма завдання покриття: скорочена таблиця істинності, булево рівняння, двійкова діаграма рішень (binary decision diagram), граф-схема алгоритму. 4. Матриця асерцій програмних блоків має вигляд, аналогічний структурі активізації блоків $A = [A_{ij}]$. Тут формат асерції як логічного висловлювання, що використовує істотні змінні програмного блоку $f(X) = A_{ij} = \{0,1\}$, відповідає за функціонування відповідного активізованого на тесті модуля $V_{ij} = 1$. Асерція має два значення: 1 – блок працює справно, 0 – існують функціональні порушення. Асерції представлені двома рівнями ієрархії: інтерфейсні та блокові $A = \{A^i, A^b\}$. Перші орієнтовані на перевірку істотних параметрів специфікації, загальних для програмного продукту, які є зовнішніми по відношенню до останнього. Другі вбудовуються в програмний блок, який не має розгалужень.

У четвертому розділі пропонується удосконалена модель логічного асоціативного мультиматричного процесора, яка, на відміну від існуючих, передбачає вбудоване сервісне обслуговування функціональних блоків цифрових систем на кристалах.

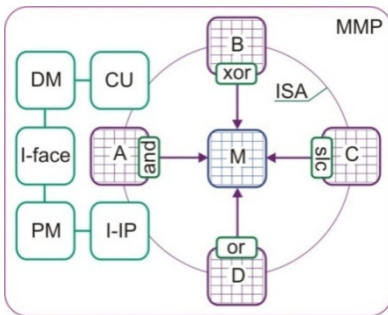


Рис. 4. Мультиматричний процесор бінарних операцій

Мультиматричний процесор аналізу бінарних операцій (ММП) – це така мінімальна архітектура інструкцій-примітивів, де кожен з них орієнтований на паралельне виконання тільки однієї (and, or, xor, slc) операції над відповідною матрицею (двовимірний масив даних). Кількість командно-орієнтованих матриць-примітивів створює систему – гетерогенний мультиматричний процесор бінарних операцій з буфером М, рис. 4. Тут представлені стандартні блоки: пам'ять даних DM і програм PM, управління CU, інтерфейс I-face та сервісного обслуговування I-IP, а також

мультиматричний модуль процесора, що включає 4 блоки пам'яті з убудованими в них операціями (A – and, B – xor, C – or, D – slc, shift left crowding) та буферну пам'ять M. Мультиматричний процесор (ММР) орієнтований на паралельне виконання в даному випадку однієї з чотирьох інструкцій (ISA – Instruction Set Architecture), які оперують матрицями двійкових даних однакової розмірності: $M = M\{\text{and, or, xor, slc}\}\{A, B, C, D\}$ із занесенням результату в буфер M. Прототип ММР інтегрований в плату апаратного прискорення процесів моделювання та верифікації HESTTM, компанії Aldec.

На основі мультиматричного (мультирегістрового) процесора створено інфраструктуру верифікації HDL-коду проєктованих цифрових систем на кристалах, яка є модифікацією I-IP стандарту 1500. Тут фігурують чотири процес-моделі: тестування на стадії моделювання, діагностування функціональних порушень, оптимізація діагнозу, відновлення працездатності. Процес-модель тестування містить HDL-модель, механізм асерцій, testbench та coverage (покриття). Останнє оцінює якість тесту перевірки всіх станів проєкту. В результаті моделювання синтезується матриця активізації програмних блоків B і матриця асерційних реакцій A на тестові сегменти, яка може бути трансформована до вектора стану асерцій m шляхом застосування функції og до вектор-стовпців A-матриці:

$$\begin{cases} B = (T \oplus F); \\ m = \bigvee_{j=1}^m A_j \leftarrow A = (T \oplus A^c). \end{cases} \text{ Два останніх компоненти використовуються в}$$

другій процес-моделі для діагностування блоків HDL-коду. Результатом діагностування є вектор дефектів, що формує підмножину блоків m_d з функціональними порушеннями. Третій блок вирішує задачу мінімізації кількості блоків, підозрюваних в наявності функціональних порушень, до одного з них. При цьому використовується матриця активізації блоків і діагноз m_d , отриманий у попередній процес моделі. Модуль усунення функціональних порушень орієнтований на ручний пошук помилок в одному програмному блоці, представленому вектором m_b . Можливий також автоматичний режим виправлення помилок у блоках, якщо в інфраструктурі верифікації передбачено бібліотеку диверсних програмних модулів, що мають аналогічні функціональності.

Апаратна реалізація мультиматричного процесора (Execution_unit), що оперує матрицями й векторами в кристалі FPGA, з набором інструкцій: (A – and, B – xor, C – or, D – slc – shift left crowding), виконана за допомогою таких програмних і апаратних засобів: Spartan 3A FPGA, Virtex 6; Virtex 5; синтез, трасування та розміщення – Xilinx ISE Design Suite 13; моделювання й верифікація – Xilinx ISIM; мови опису апаратури – VHDL, Verilog. Принцип роботи: зчитати матрицю m з n (16) векторів з пам'яті, а також матрицю A такої ж розмірності, обробити їх одночасно в одному такті та записати

результат в пам'ять матриці m . Для реалізації використовується кілька модулів пам'яті, що відповідають операціям `xor`, `or`, `and`, `slc` відповідно. Програма реалізована мовою VHDL і складається з реєстрового файлу та пристрою виконання операцій. Реєстровий файл служить для зберігання інформації: тимчасового зберігання даних, зчитаних з пам'яті, та результатів. Виконуючий пристрій розділений на 2 модуля реалізації операцій (`xor`, `or`, `and`) та (`slc`). На рис. 5 наведено структуру й інтерфейс мультиматричного процесора (ММП). Виконуючий пристрій складається з 3-х блоків: блок `xor_or_and`, блок `slc` та блок мультиплектора (`sixteen_mux4_to_1`).

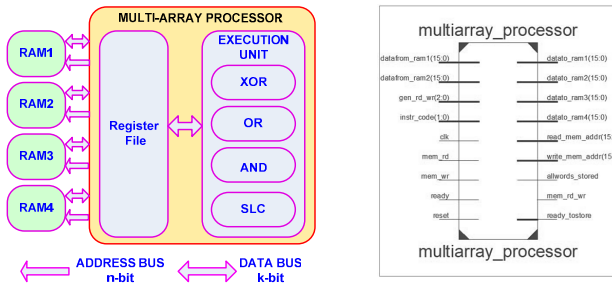


Рис. 5. Структура й інтерфейс ММП

та три методи діагностування удосконалили існуючий процес верифікації, що дало можливість на 15% зменшити загальний час проектування цифрового виробу на кристалі. Фактично застосування трьох методів і асерційної моделі дає можливість зменшити обсяг `testbench` коду, а отже, істотно (у кілька разів) скоротити час налагодження проекту (рис. 7), що впливає на вартість розробки проекту в цілому.

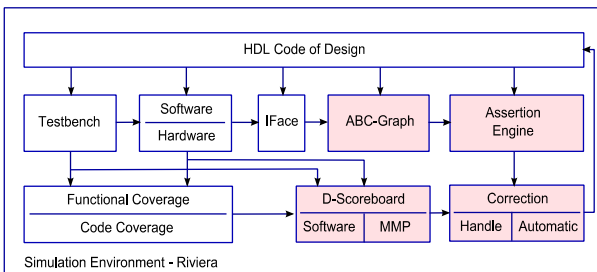


Рис. 6. Інтеграція інфраструктури в систему Riviera

(Electronic Design Automation) асерційні моделі тестування цифрових виробів.

Програмно-апаратна реалізація запропонованих компонентів діагностування HDL- коду інтегрована з промисловим середовищем Aldec Riviera для налагодження HDL-моделей. Висока продуктивність матричних

Програмно-апаратна реалізація моделей та методів інфраструктури тестування інтегрована в якості компонентів середовища моделювання Riviera компанії Aldec, рис. 6. Введені в систему програмні модулі синтезу АВС-графу

На основі використання практики застосування граф-асерційних методів верифікації для 10 реальних проектів (від 1,5 тис. до 150 тис. вентилів) напрацьовано спеціальні рішення, включені до бібліотеки верифікації VTL (Verification

обчислень і технологічні рішення методів діагностування спільно з HDL-симулятором фірми Aldec надають користувачеві ефективні засоби синтезу діагностичної інформації та аналізу працездатності проєктованих цифрових систем на кристалах. Механізм асерцій реалізований апаратним і програмним способами з обмеженнями на підмножину підтримуваних конкретними компіляторами мовних конструкцій. Продукт Riviera з технологією асерційної верифікації та матричного діагностування, дозволяє на 2-3% підвищити якість (вихід придатної продукції) проєктів цифрових систем на кристалах. Ефективність інфраструктури діагностичного обслуговування HDL-моделей SoC підвищується також за рахунок реалізації трьох методів діагностування функціональних порушень програмних блоків, рис. 8. На першому кроці виконується синтез додаткових структур даних у вигляді транзакційного графа програмних модулів і таблиці активізації функціональних блоків. Для вибору одного з методів діагностування, виконується аналіз параметрів моделі проєктованої цифрової системи:

- 1) кількість асерційних моніторів на кожному тест-сегменті більше одного, перевага віддається MMD-методу мультиматричного діагностування, що забезпечує високий рівень паралелізму (мінімальний час) та низьку глибину пошуку дефектів за рахунок використання мультиматричного процесора;
- 2) кількість розрядів в кожній координаті таблиці дорівнює одиниці, використовується MAR-метод аналізу рядків таблиці активації, який має більш високу глибину діагностування;
- 3) кількість розрядів в кожній координаті таблиці більше одиниці, активізується MAC-метод аналізу стовпців таблиці активації, який розпізнає функціональні порушення в умовах невизначеності щодо мінімальної кодової відстані.

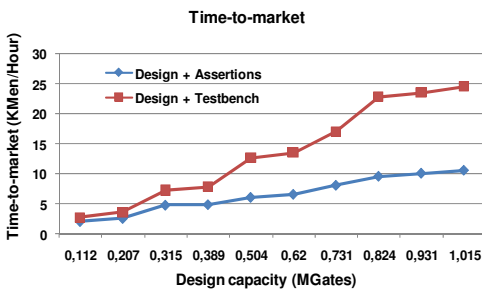


Рис. 7. Порівняльний аналіз методів тестування

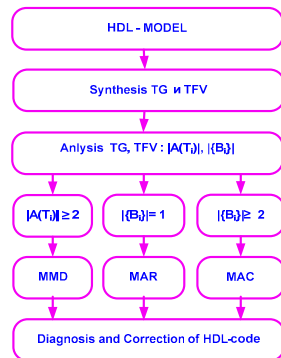


Рис. 8. Стратегія вибору методу діагностування

ВИСНОВКИ

У результаті проведеного дисертаційного дослідження було вирішено науково-технічну задачу істотного (20%) зменшення часу й вартості верифікації цифрових систем на кристалах шляхом створення інфраструктури вбудованого

тестування HDL-коду, яка базується на використанні механізму асерцій та логічного мультиматричного процесора, що забезпечує підвищення якості проекту за рахунок збільшення структурної складності програмно-апаратних засобів діагностування функціональних порушень. Отримано такі наукові результати:

1. Розроблено нову аналітичну модель процесів тестування та верифікації, яка характеризується використанням бета-метрики, що дає можливість сформулювати всі існуючі задачі технічної діагностики програмно-апаратних компонентів цифрових систем на кристалах.

2. Створено нову структурну модель HDL-коду у формі транзакційного графа, яка характеризується взаємодією програмних блоків, механізму асерційних висловлювань і функціональним покриттям, що дає можливість здійснювати пошук семантичних помилок в процесі моделювання коду.

3. Запропоновано групу модифікованих методів діагностування функціональних порушень HDL-коду на основі механізму асерцій, яка відрізняється паралельним виконанням векторних логічних операцій над матрицею несправностей, що дає можливість істотно зменшити час аналізу результатів моделювання при пошуку дефектів.

4. Представлено вдосконалену архітектуру логічного асоціативного мультиматричного процесора з обмеженою системою команд, яка відрізняється орієнтацією на вбудоване сервісне обслуговування функціональних блоків цифрових систем на кристалах, що дає можливість підвищити продуктивність процесів верифікації та діагностування.

5. Запропоновані моделі та методи тестування, а також архітектура спеціалізованого мультиматричного процесора доведені до практичної реалізації у вигляді програмно-апаратних компонентів інфраструктури, інтегрованої з системою Riviera (Aldec), що надало можливість створити ефективну інфраструктуру верифікації та діагностування HDL-коду цифрових систем на кристалах.

6. Інтеграція програмних HDL-моделей і апаратної реалізації запропонованих методів діагностування функціональних порушень дозволила істотно (20%) скоротити часові витрати, необхідні для моделювання й верифікації на стадії тестування цифрових виробів.

7. У сукупності запропонована інфраструктура тестування HDL-коду надає можливості для апаратної обробки програмно-апаратних моделей проєктованого виробу, що дозволяє істотно (50%) зменшити час діагностування й корекції помилок програмного коду в процесі ітераційного налагодження.

СПИСОК ОПУБЛІКОВАНИХ РОБІТ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Хаханов В.И. Тестирование и верификация HDL-моделей компонентов SOC. I / В.И. Хаханов, Е.И. Литвинова, С.В. Чумаченко, И.А. Побеженко, С. U. Ngene // Радиозлектроника и информатика. – 2009. – №3. – С. 38-45.

2. Hahanov V. Brain-like Computer Structures / Vladimir Hahanov, S. Chumachenko, C.U. Ngene, Y. Tiesoura // Радиоэлектроника и информатика.– 2009.– №4.– С. 30-40.
3. Ngene C.U. A Closer look at Microprocessors that have shaped the Digital World / C.U. Ngene, M.K. Mishra // Радиоэлектроника и информатика.– 2009.– №4.– С. 41-55.
4. Хаханов В.И. Мультипроцессорная архитектура параллельного решения ассоциативно-логических задач / В.И. Хаханов, Е.И. Литвинова, О.А. Гузь, С.У. Ngene // Информационно-управляющие системы на железнодорожном транспорте.– 2010.– № 4.– С. 42-50.
5. Хаханов В.И. Технология тестирования и верификации системных HDL-моделей / В.И. Хаханов, О.А. Гузь, И.А. Побеженко, С.У. Ngene // Радиоелектронні і комп'ютерні системи.– 2010.– №7(48).– С. 205-211.
6. Хаханов В.И. Сервисное обслуживание современных цифровых систем на кристаллах / В.И. Хаханов, Е.И. Литвинова, С.У. Ngene // Радиоелектронні і комп'ютерні системи.–2009.– №7(41).– С. 319-323.
7. Хаханов В.И. Тестирование и верификация HDL-моделей компонентов SOC. II / В.И. Хаханов, Е.И. Литвинова, И.А. Побеженко, Y. Tiesoura, С.У. Ngene // АСУ и приборы автоматики.– 2009.– Вып. 148.– С. 26-37.
8. Хаханов В.И. Инфраструктура логического анализа ассоциативных таблиц / В.И. Хаханов, О.А. Гузь, Ив Тиекура, К.У. Нгене (С.У. Ngene), В.И. Копанев // АСУ и приборы автоматики.– 2009.– Вып. 149.– С. 18-29.
9. Hahanov V. Embedded Diagnosis and Repairing of SOC Memory / V. Hahanov, E. Litvinova, C.U. Ngene, Olesya Guz // Proceedings of the Xth International Conference CADSM 2009.– Lviv-Polyana, 2009.– P. 296-300.
10. Хаханов В. Энергосберегающие технологии для программно-аппаратной имплементации систем вычислительного интеллекта / В. Хаханов, С.У. Ngene, Yves Tiesoura // Материалы межд. научн. конф. «Интеллектуальные системы принятия решений и проблем вычислительного интеллекта» (ISDMCI'09).– Евпатория, 2009.– Т.2.– С. 439-458.
11. Литвинова Е.И. Изучение технологий восстановления работоспособности цифровых систем на кристаллах на основе FPGA / Е.И. Литвинова, С.В. Чумаченко, С.С. Галаган, С.У. Ngene // V Международная конференция «Стратегия качества в промышленности и образовании».– Варна, 2009.– С. 678-683.
12. Hahanov V. Algebra-Logical Fault Diagnosis Method for SOC Functional Blocks / Vladimir Hahanov, Svetlana Chumachenko, Wajeb Gharibi, Ngene Christopher Umerah // Proc. of IFAC Discrete-Event System Design.– Spain, 2009.– P. 44-50.
13. Hahanov V. Testing and Verification of HDL-models for SoC components / Vladimir Hahanov, Irina Hahanova, C.U. Ngene, Yves Tiesoura // Proc. of IEEE East-West Design and Test Symposium. – Russia, 2009.– P. 48-53.
14. Hahanov V. SoC Design Quality Increasing by Using Assertion Engine / Vladimir Hahanov, Irina Hahanova, Eugenia Litvinova, C.U. Ngene, Yves Tiesoura // Материалы VI Международной научно-технической конференции

- «Повышение качества, надежности и долговечности технических систем и технологических процессов».– Хургада, 2009. – С.124-126.
15. Хаханов В.И. Инфраструктура саморазвивающегося компьютерного социума / В.И. Хаханов, Е.И. Литвинова, С.У. Ngene // Материалы XV Международной научно-практической конференции «Актуальные вопросы развития инновационной деятельности».– Алушта, 2010.– С. 60-68.
16. Хаханов В.И. Мультипроцессорная инфраструктура анализа информационного пространства / В.И. Хаханов, Е.И. Литвинова, И.А. Побеженко, С.У. Ngene // Материалы міжнародної наукової конференції «Інтелектуальні системи прийняття рішень та проблеми обчислювального інтелекту».– Євпаторія, 2010.– С. 409-413.
17. Хаханов В.И. Метрика векторно-логического пространства и ее практическое применение / В.И. Хаханов, А.В. Хаханова, Yves Tiesoura, С.У. Ngene // Материалы конференции "Сучасні інформаційні та інноваційні технології на транспорті MINTT-2010".– Херсон, 2010.– С. 247-250.
18. Hahanov V. Process models for analyzing associative data structures / V. Hahanov, O. Guz, С.У. Ngene, V. Olhovoy // Proc. of IEEE East-West Design and Test Symposium.– Russia, 2010.– P.123-126.
19. Хаханов В.И. Архитектура логического ассоциативного мультипроцессора / В.И. Хаханов, Е.И. Литвинова, С.У. Ngene, И.А. Побеженко // Материалы 7-й межд. конференции «Автоматизация проектирования дискретных систем».– Минск, 2010.– С. 34-44.
20. Hahanov V.I. Logic Associative Multiprocessor for Information Analysis / V.I. Hahanov, Wajeb Gharibi, E. I. Litvinova, Ngene Christopher Umerah // The 12th Biennial Baltic Electronics Conference (BEC).– Tallinn, 2010.– P. 169-172.
21. Хаханов В.И., Хаханова А.В., Ngene С.У. Матричный метод поиска функциональных нарушений/ Материалы VI Международной научно-практической конференции «Наука и социальные проблемы общества: информация и информационные технологии». 2011. Харьков. С. 393 – 394.

АНОТАЦІЯ

Нгене Кристофер Умерах. Інфраструктура убудованого діагностування HDL-моделей цифрових систем на кристалах.– Рукопис. – Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – Комп'ютерні системи та компоненти. – Харківський національний університет радіоелектроніки, Харків, 2011.

Ключові слова: моделювання, верифікація, діагностування, тестування, цифрові системи на кристалах, асерція, мультиматричний процесор.

Мета дисертаційного дослідження – зменшення часу верифікації та підвищення якості ESL-моделей цифрових виробів на кристалах шляхом введення програмно-апаратної надлишковості в технологію проектування, що забезпечує задану глибину діагностування HDL-коду. Основні результати: нова аналітична модель процесів тестування та верифікації, яка характеризується використанням бета-метрики і дає можливість сформулювати

всі існуючі задачі технічної діагностики програмно-апаратних компонентів цифрових систем на кристалах; нова структурна модель HDL-коду у формі транзакційного графа, що дає можливість здійснювати пошук семантичних помилок в процесі моделювання коду; група модифікованих методів діагностування функціональних порушень HDL-коду на основі механізму асерцій, яка дає можливість істотно зменшити час аналізу результатів моделювання при пошуку дефектів; удосконалена архітектура логічного асоціативного мультиматричного процесора з обмеженою системою команд, що відрізняється орієнтацією на вбудоване сервісне обслуговування функціональних блоків цифрових систем на кристалах. Запропоновані моделі та методи тестування, а також архітектура спеціалізованого мультиматричного процесора доведені до практичної реалізації у вигляді програмно-апаратних компонентів інфраструктури, інтегрованої з системою Riviera (Aldec), що надало можливість створити ефективну інфраструктуру верифікації та діагностування HDL-коду цифрових систем на кристалах.

АННОТАЦИЯ

Игене Кристофер Умерах. Инфраструктура встроенного диагностирования HDL-моделей цифровых систем на кристаллах.– Рукопись.– Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – Компьютерные системы и компоненты.– Харьковский национальный университет радиоэлектроники, Харьков, 2011.

Ключевые слова: моделирование, верификация, диагностирование, тестирование, цифровые системы на кристаллах, асерция, мультиматричный процессор.

Цель диссертационного исследования – уменьшение времени верификации и повышение качества ESL-моделей цифровых изделий на кристаллах путем введения программно-аппаратной избыточности в технологию проектирования, обеспечивающей заданную глубину диагностирования HDL-кода.

По существу автор предложил: структурную модель отношений на множестве из четырех основных компонентов технической диагностики (функциональность, устройство, тест, дефекты), которая характеризуется полным хог-взаимодействием всех вершин графа и транзитивной обратимостью каждой триады отношений, что позволяет определить и классифицировать пути решения практических задач, включая синтез тестов, моделирование неисправностей и поиск дефектов. Предложена новая модель программного продукта в форме графа блочных транзакций, а также группа методов диагностирования функциональных нарушений, которые характеризуются технологичностью подготовки данных в процессе поиска некорректных блоков, что дает возможность существенно уменьшить время проектирования цифровых систем на кристаллах. Методы поиска функциональных нарушений отличаются параллелизмом выполнения векторных операций над строками таблицы функциональных неисправностей,

что дает возможность существенно ($\times 10$) повысить быстродействие вычислительных процедур, связанных с диагностированием и восстановлением работоспособности программных и аппаратных продуктов. Предложенная архитектура мультиматричного процессора ориентирована на повышение быстродействия процедур встроенного диагностирования функциональных нарушений в программном или аппаратном изделии, которая отличается использованием параллельных логических векторных операций `and`, `or`, `xor`, `slc` операций, что дает возможность существенно ($\times 10$) повысить быстродействие диагностирования функциональных нарушений. Все теоретические и практические разработки вошли в состав инфраструктуры верификации и диагностирования HDL-кода проектируемых цифровых систем на кристаллах, которая имеет четыре процесс-модели для тестирования, диагностирования, оптимизации и исправления ошибок, замкнутые в цикл, что дает возможность уменьшить время отладки кода в процессе создания проекта. Практическая реализация моделей, методов и средств тестирования была интегрирована в среду моделирования Riviera компании Aldec. Введенные в систему модули ассерций и диагностирования усовершенствовали процесс верификации, что дало возможность на 15% уменьшить общее время проектирования цифрового изделия. Проведенные эксперименты на 10 промышленных проектах показали значительное повышение производительности процессов верификации (50%) и глубины диагностирования функциональных нарушений HDL-кода. При этом условия, предъявляемые к входному описанию спецификации проекта, не отличаются от существующих стандартов. Вся дополнительная информация для диагностирования HDL-кода генерируется стандартными средствами в процессе моделирования проекта.

Основные результаты: новая аналитическая модель процессов тестирования и верификации, которая характеризуется использованием бета-метрики, что дает возможность сформулировать все существующие задачи технической диагностики программно-аппаратных компонентов цифровых систем на кристаллах; новая структурная модель HDL-кода в форме транзакционного графа, которая характеризуется взаимодействием программных блоков, механизма ассерционных высказываний и функциональным покрытием, что дает возможность осуществлять поиск семантических ошибок в процессе моделирования кода; группа модифицированных методов диагностирования функциональных нарушений HDL-кода на основе механизма ассерций, которая отличается параллельным выполнением векторных логических операций над матрицей неисправностей, что дает возможность существенно уменьшить время анализа результатов моделирования при поиске дефектов; усовершенствованная архитектура логического ассоциативного мультиматричного процессора с ограниченной системой команд, которая отличается своей ориентацией на встроенное сервисное обслуживание функциональных блоков цифровых систем на кристаллах, что дает возможность повысить производительность процессов верификации и диагностирования.

ABSTRACT

Ngene Christopher Umerah. Embedded diagnostic infrastructure for HDL models of digital systems-on-chips. – Manuscript. – PhD thesis (candidate degree of technical sciences) in speciality 05.13.05 – Computer systems and components. – Kharkiv National University of Radio Electronics, Kharkiv, 2011.

Key words: simulation, verification, diagnosis, testing, system-on-chip, assertion, multi-matrix processor.

The goal is to reduce HDL-code verification time and improve the quality of ESL-models for digital systems-on-chips by using software-hardware redundancy in the design technology, which provides the desired diagnostic resolution of the HDL-code.

Main results: a new analytical process model for testing and verification, which is characterized by the use of beta-metric that makes it possible to formulate all existing problems of technical diagnostics of software and hardware components of digital systems-on-chips; a new structural model of HDL-code in the form of transaction graph, which makes it possible to search for functional violations during code simulation; based on the assertion engine a group of improved methods for diagnosing functional violations in HDL-code was developed, which significantly reduce the analysis time of simulation results when searching for faults; improved architecture of logic associative multi-matrix processor with limited instruction set, which is focused on embedded Infrastructure IP for functional blocks of digital systems-on-chips. The proposed models and methods for testing, as well as the dedicated multi-matrix processor were implemented in the form of hardware-software infrastructure components and integrated into Riviera (Aldec) simulation environment. This allows for the creation of an efficient infrastructure for verification and diagnosis of HDL-code of digital systems-on-chips.

Відповідальний випусковий **Свищ В.М.**

Підп. до друку 01.11.11. Формат 60x84¹/₁₆. Папір друк.; Умов. друк. арк. 1,2

Облік. вид. арк. 1,0. Зам. № 11-71; Тираж 120 прим.

Надруковано у видавництві ЧП “Степанов В.В.”

61168, Харків, вул. акад. Павлова, 311