



УКРАЇНА

(19) **UA** (11) **102262** (13) **U**
(51) МПК (2015.01)
Н03М 7/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

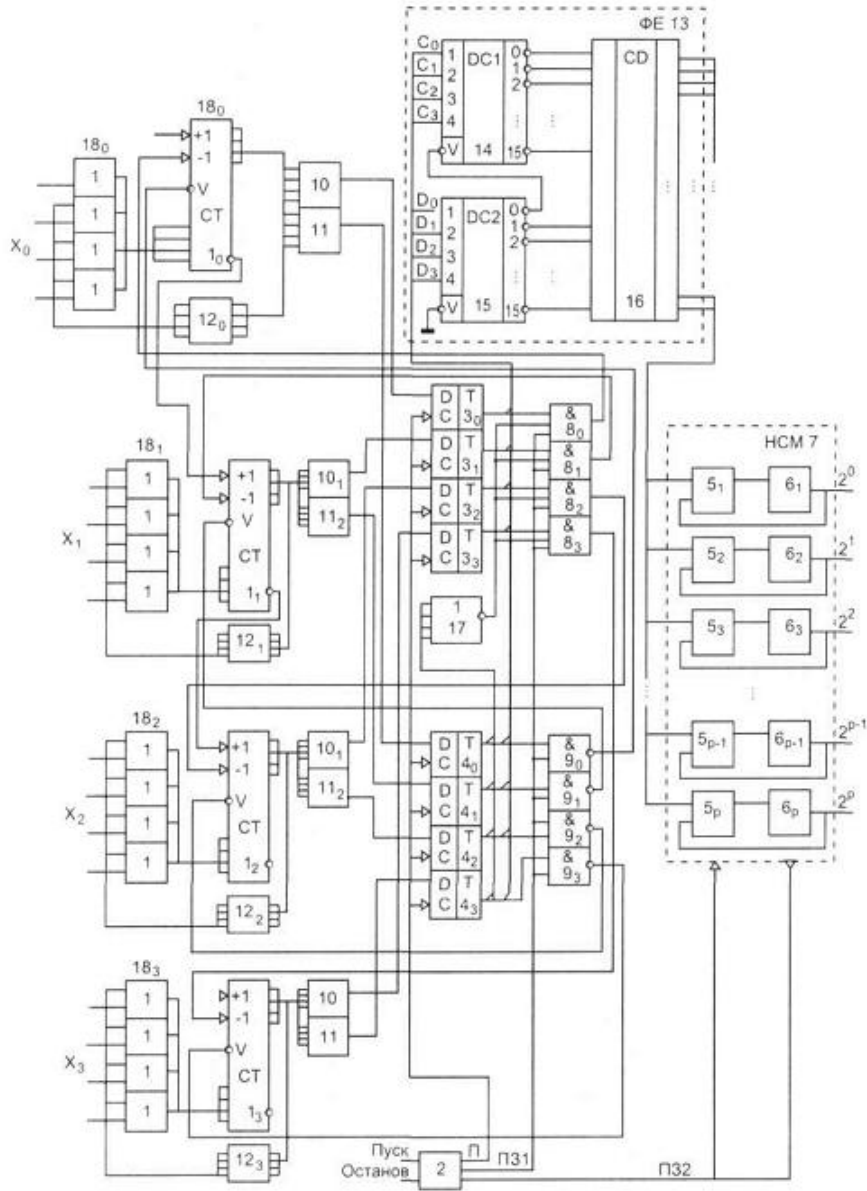
<p>(21) Номер заявки: u 2015 03488</p> <p>(22) Дата подання заявки: 14.04.2015</p> <p>(24) Дата, з якої є чинними права на корисну модель: 26.10.2015</p> <p>(46) Публікація відомостей про видачу патенту: 26.10.2015, Бюл.№ 20</p>	<p>(72) Винахідник(и): Какурін Микола Яковлевич (UA), Хаханов Володимир Іванович (UA), Литвинова Євгенія Іванівна (UA), Вареца Віталій Вікторович (UA), Макаренко Ганна Миколаївна (UA)</p> <p>(73) Власник(и): ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ РАДІОЕЛЕКТРОНІКИ, пр. Леніна, 14, м. Харків, 61166 (UA)</p>
--	--

(54) ПЕРЕТВОРЮВАЧ ДВІЙКОВО-К-ЗНАЧНОГО КОДУ В ДВІЙКОВИЙ КОД

(57) Реферат:

Перетворювач двійково-К-значного коду в двійковий код містить (n-1) лічильник старших розрядів, лічильник молодшого розряду, генератор імпульсів, групи CD-тригерів, перший та другий регістр стану, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор НСМ, групу з (n-1)-го елемента I та групу з (n-1)-го елемента I-II, групу з (n-1)-го дешифратора нуля, групу з (n-1)-го дешифратора перевищення, групу з (n-1)-го кодових шифраторів, формувач еквівалентів, групи елементів I та групи елементів АБО для трансляції молодшого розряду, елемент АБО-II, лічильник, інформаційні D-входи першої та другої групи тригерів, генератор імпульсів, накопичувальний суматор, кодовий шифратор, дешифратор нуля, дешифратор перевищення.

UA 102262 U



Фиг. 1

Корисна модель належить до автоматики і обчислювальної техніки і може бути використана при побудові пристроїв обробки і перетворення інформації.

Відомий однокроковий перетворювач двійково-К-значного коду у двійковий код з послідовним використанням кроку перетворення, що дорівнює одиниці, (А. с. СССР 1126946, МКИ G06F 5/02 Преобразователь двоично-К-ичного кода в двоичный код /А.И. Слободжанин //Открытия. Изобретения. 1983. № 44. С. 250.), що вміщує групу з n розрядних лічильників СТ для зберігання цифр К-значного коду, генератор імпульсів, що вміщує прямий П, прямі затримані ПЗ1 і ПЗ2 виходи, групу CD-тригерів для відображення ненульового стану розрядних лічильників, формувач еквівалентів ФЕ, комбінаційний двійковий суматор та регістр результату, що утворюють в сукупності накопичувальний суматор НСМ, групу елементів І та групу дешифраторів нуля. Формувач еквівалентів ФЕ виконують звичайно у вигляді послідовного з'єднання дешифратора DC, групи елементів І, шифратора CD та групи елементів АБО. Функціонування перетворювача коду виконується наступним чином. За допомогою дешифраторів нуля виконується аналіз значень старших розрядів на нуль. Двійкові показники ненульових значень старших розрядів записуються в регістр стану з CD-тригерів і за допомогою ФЕ перетворюються в двійковий код еквівалента, який по задньому фронту прямого затриманого імпульсу ПЗ 2 додається до накопиченої суми еквівалентів у двійковому суматорі НСМ. По задньому фронту прямого затриманого імпульсу ПЗ 1 виконується відрахування одиниць із значень тих старших розрядних лічильників, значення яких не дорівнюють нулю. Після обнуління старших розрядів виконується трансляція (додавання) молодшого розряду до накопиченої суми еквівалентів. Перетворення коду числа виконується за два етапи. На першому етапі перетворення старших розрядів потребує $K-1$ тактів тому, що найбільш можливе значення старшого розряду дорівнює $K-1$, на другому етапі трансляція молодшого розряду додає ще один такт. Таким чином, загальна кількість тактів перетворення числа в однокроковому перетворювачі кодів становить K тактів, де K - модуль (основа) системи числення. Більш швидкодіючим є перетворювач двійково-К-значного коду в двійковий код з послідовним використанням двох різних кроків перетворення (на першому етапі кроку перетворення а, на другому - кроку перетворення 1).

Найбільш близьким по сукупності ознак до патенту, що заявляється, є перетворювач двійково-К-значного коду в двійковий код з послідовним використанням двох різних кроків перетворення (А. с. СССР № 1647908, МПК H03M 7/12. Преобразователь двоично-К-ичного кода в двоичный код /Н.Я. Какурин, Ю.К. Кирьяков, Макаренко А.Н. //Открытия. Изобретения. 1991. № 17. С. 262-263.), що містить групу з n розрядних лічильників СТ для зберігання цифр К-значного коду, генератор імпульсів, що вміщує прямий П, прямі затримані ПЗ1 і ПЗ2 виходи, першу групу CD-тригерів (перший регістр стану) для відображення ненульового стану кожного старшого розрядного лічильника, другу групу CD-тригерів (другий регістр стану) для відображення рівняння або перевищення кроку а станом відповідного старшого розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють в сукупності накопичувальний суматор НСМ, групу елементів І та групу елементів І-НІ, групу дешифраторів нуля, групу дешифраторів перевищення, групу кодів шифраторів CD, що на виході формують значення коду зменшене на значення другого кроку а (у разі рівняння або перевищення кроку а відповідним лічильником), формувач еквівалентів ФЕ, що складається з двох дешифраторів DC 1 і DC 2, шифратора CD, групи елементів І та групи елементів АБО для трансляції молодшого розряду, елемента АБО-НІ та груп елементів АБО для запису розрядів коду з входів перетворювача у старші розрядні лічильники СТ.

Старші розряди двійково-К-значного коду числа для перетворення записуються через перші бітові входи груп елементів АБО старших розрядів у старші лічильники, молодший же розряд коду записується безпосередньо у молодший лічильник. Перетворення числа виконується за три етапи наступним чином. За допомогою дешифраторів нуля виконується аналіз значень старших розрядів на нуль, а за допомогою дешифраторів перевищення виконується аналіз значень старших розрядів на рівняння або перевищення значення кроку а. Двійкові показники ненульових значень старших розрядів записуються в перший регістр стану, а ненульові значення дешифраторів перевищення старших розрядів записуються в другий регістр стану. На першому етапі перетворення числа використовується крок а, використання кроку 1 забороняється нульовим сигналом з виходу елемента АБО-НІ, що подається на всі перші входи групи елементів І. За допомогою ФЕ двійковий код другої групи тригерів перетворюється в двійковий код еквівалента, який по задньому фронту прямого затриманого імпульсу ПЗ 2 додається до накопиченої суми еквівалентів у накопичувальному суматорі НСМ. На першому етапі перетворення потрібно $(K-1)/a$ [тактів, де дужки] [означають округлення до меншого цілого, на другому етапі - $(a-1)$ такт, та на третьому етапі потрібен ще один такт для трансляції

молодшого розряду. Таким чином, максимальна кількість кроків для перетворення двійково-К-значного коду у двійковий код не перевищує значення $N_2 = \lfloor (K-1)/a \rfloor + a$ (1). При $K=12$ та $a=2$ маємо $N_2=7$.

5 В основу корисної моделі поставлена задача підвищення швидкодії двокрокового перетворювача двійково-К-значного коду у двійковий код за рахунок нового схемного рішення.

Поставлена задача вирішується наступним чином. В перетворювач двійково-К-значного коду у двійковий код, який містить $(n-1)$ лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямий вихід та перший і другий прямі затримані виходи, першу групу CD-тригерів, перший регістр стану, для відображення ненульового стану відповідного старшого розрядного лічильника, другу групу CD-тригерів, другий регістр стану, для відображення рівняння або перевищення кроку а станом відповідного старшого розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор НСМ, групу з $(n-1)$ -го елемента I та групу з $(n-1)$ -го елемента I-II, групу з $(n-1)$ -го дешифратора нуля, групу з $(n-1)$ -го дешифратора перевищення, групу з $(n-1)$ -го кодкових шифраторів, що на виході формують значення коду зменшене на значення другого кроку а (у разі рівняння або перевищення кроку а відповідним лічильником), формувач еквівалентів ФЕ, що складається з першого і другого дешифраторів, шифратора, групи елементів I та групи елементів АБО для трансляції молодшого розряду, елемент АБО-II та $(n-1)$ -у групу елементів АБО для запису розрядів коду з входів перетворювача у лічильники старших розрядів, причому бітові входи лічильника молодшого розряду є інформаційними входами для запису значення молодшого розряду, перші входи кожної з $(n-1)$ -ї групи елементів АБО є інформаційними входами для запису значень відповідних старших розрядів, а другі входи кожної з $(n-1)$ -ї групи елементів АБО з'єднані з відповідними виходами відповідних кодкових шифраторів, входи яких в кожному старшому розряді з'єднані з відповідними виходами лічильника цього старшого розряду, а також з відповідними входами дешифратора нуля і дешифратора перевищення цього розряду, виходи дешифраторів нуля з'єднані з відповідними інформаційними D-входами першої групи тригерів, а виходи дешифраторів перевищення з'єднані з відповідними інформаційними D-входами другої групи тригерів, входи синхронізації тригерів обох груп з'єднані з прямим виходом генератора імпульсів, прямі виходи тригерів першої групи з'єднані з відповідними першими входами елементів групи I і з відповідними входами першого дешифратора у формувачі еквівалентів, прямі виходи тригерів другої групи з'єднані з входами елемента АБО-II, з відповідними першими входами елементів групи I-II і з відповідними входами другого дешифратора у формувачі еквівалентів, другі входи елементів групи I з'єднані з виходом елемента АБО-II, треті входи елементів групи I і другі входи елементів групи I-II з'єднані з першим затриманим виходом генератора імпульсів, інверсні виходи елементів групи I-II з'єднані з інверсними входами V у відповідному лічильнику старшого розряду, виходи елементів групи I з'єднані з входом віднімання -1 у відповідному лічильнику старшого розряду, виходи переповнення усіх лічильників, за винятком самого найстаршого, з'єднані з входом +1 лічильника наступного розряду, входи +1 та -1 лічильника молодшого розряду є входами запису числа для перетворення у число-імпульсному коді, бітові виходи лічильника молодшого розряду з'єднані у формувачі еквівалентів з відповідними входами групи елементів I, виходи яких з'єднані з відповідними входами шифратора у формувачі еквівалентів, виходи першого дешифратора у формувачі еквівалентів з'єднані з відповідними входами групи елементів АБО, виходи яких з'єднані з відповідними входами шифратора у формувачі еквівалентів, виходи другого дешифратора у формувачі еквівалентів безпосередньо з'єднані з відповідними входами шифратора, виходи шифратора у формувачі еквівалентів з'єднані з відповідними входами накопичувального суматора, управляючий вхід накопичувального суматора з'єднаний з другим затриманим виходом генератора імпульсів, а виходи накопичувального суматора з'єднані з інформаційними виходами перетворювача коду, згідно з корисною моделлю, в перетворювач коду додатково введені по одному тригеру в першу і другу групи CD-тригерів, один додатковий елемент I в групу елементів I, один додатковий елемент I-II в групу елементів I-II, по одному додатковому входу в перший і другий дешифратори з інверсними виходами у формувачі еквівалентів, в молодший розряд введено один дешифратор нуля, один дешифратор перевищення, один кодвий шифратор, одна група елементів АБО, перші входи додаткової групи елементів АБО є інформаційними входами для запису в перетворювач коду значення молодшого розряду, другі входи кожного з елементів цієї групи елементів АБО з'єднані з відповідними виходами додаткового кодowego шифратора, входи якого в молодшому розряді з'єднані з відповідними виходами лічильника цього розряду і з відповідними входами дешифратора нуля і дешифратора перевищення цього розряду, вихід дешифратора нуля молодшого розряду з'єднаний з інформаційним D-входом додаткового

тригера в першій групі тригерів, вихід додаткового дешифратора перевищення з'єднаний з інформаційним D-входом тригера в другій групі тригерів, входи синхронізації додаткових тригерів обох груп з'єднані з прямим виходом генератора імпульсів, виходи додаткового елемента I і додаткового елемента I-HI з'єднані відповідно з входом-1 та входом V лічильника молодшого розряду, прямі виходи додаткових тригерів стану першої і другої груп з'єднані з молодшими додатковими входами відповідно першого і другого дешифраторів у формувачі еквівалентів і дешифратора, інверсний нульовий вихід другого дешифратора з'єднаний з інверсним входом V першого дешифратора у формувачі еквівалентів, а інверсні виходи першого і другого дешифраторів з'єднані з відповідними входами шифратора у формувачі еквівалентів безпосередньо.

Таким чином, завдяки введенню в молодший розряд перетворювача групи елементів АБО, кодового шифратора, дешифраторів нуля та перевищення, а в перетворювач коду двох додаткових тригерів, додаткових елементів I-HI і елемента I та новим зв'язкам створено перетворювач коду, що дозволяє за рахунок нового схемного рішення виконувати перетворення усіх розрядів, зокрема і молодшого, паралельно. Відсутність трансляції молодшого розряду зменшує кількість тактів перетворення на одиницю підвищує швидкодію). Вибір оптимального значення кількості тактів перетворення N_2 згідно формули (2) $N_2 = \lfloor (K-1)/a \rfloor + 1$ (2), де дужки [означають округлення до меншого цілого, дає при $K=12$ та $a=4$ мінімальне значення $N_2=5$.

На фіг. 1 зображена структурна схема перетворювача двійково-K-значного коду в двійковий код для узагальненої кількості розрядів $n=4$.

У таблиці (фіг. 2) наведена послідовність перетворення числа $X=11,7,3,8$ із $K=12$ у $K=2$ при $a=4$.

Перетворювач коду містить в кожному розряді лічильник 1 (СТ), генератор імпульсів 2, що вміщує прямий вихід (П), перший прямий затриманий (ПЗ1) і другий прямий затриманий (ПЗ2) виходи, групу з n CD-тригерів 3 для відображення ненульового стану кожного відповідного розрядного лічильника 1, групу з n CD-тригерів 4 для відображення рівняння або перевищення кроку a станом відповідного розрядного лічильника 1, комбінаційний двійковий суматор 5 та регістр результату 6, що утворюють у сукупності накопичувальний суматор 7 (НСМ), виходи якого є виходами перетворювача коду, групу з n елементів I 8 та групу з n елементів I-HI 9, групу з n дешифраторів нуля 10, групу з n дешифраторів перевищення 11, групу з n кодових шифраторів 12, формувач еквівалентів 13 (ФЕ), що складається з першого 14 і другого 15 дешифраторів з інверсними виходами (DC1) і (DC2) та шифратора 16 (CD), елемент АБО-HI 17 та n груп елементів АБО 18 для запису розрядів коду з входів перетворювача у розрядні лічильники.

Пристрій працює наступним чином. Розглянемо послідовність перетворення числа $X=x_3x_2x_1x_0=11,7,3,8$ із $K=12$ у $K=2$ при $a=4$. Після запису коду у лічильники 1 двійкові значення з дешифраторів нуля 10 і дешифраторів перевищення 11 на кожному такті перетворення записуються у відповідні коди тригерів груп 3 і груп 4. Спочатку (на першому і другому такті) перетворення числа виконується з кроком $a=4$, коли хоча б одна з цифр числа дорівнює значенню a або його перевищує. На третьому, четвертому і п'ятому тактах для перетворення числа застосовується крок $a=1$. Значення кодів еквівалентів, що видає на виході формувач еквівалентів ФЕ 13, залежить від коду на входах спочатку старшого дешифратора DC2 15, а потім і молодшого дешифратора DC1 14, та настройки шифратора CD 16.

Загальний вигляд виразу на виході старшого дешифратора DC2 15 може змінюватися від $S(\text{DC2})=0$ до $S(\text{DC2}) = aK^3 + aK^2 + aK^1 + aK^0$.

Компонент $a \cdot K^i$ входить у повний вираз $S(\text{DC2})$ у разі, коли $x_i \geq a$.

Аналогічно загальний вираз на виході молодшого кодеру $S(\text{DC1})$ може змінюватися від $S(\text{DC1})=0$ до $S(\text{DC1}) = aK^3 + aK^2 + aK^1 + aK^0$.

Компонент K^i входить у повний вираз $S(\text{DC1})$ у разі, коли $1 \leq x_i < a$.

З таблиці витікають наступні конкретні вирази і коди на виходах DC2 15, DC1 14 та на виході ФЕ 13:

$$S^1(\text{DC2}) = a \cdot K^3 + a \cdot K^2 + a \cdot K^0 = 4 \cdot 1728 + 4 \cdot 144 + 4 = 7492 \text{ при } D_3D_2D_1D_0=1101;$$

$$S^2(\text{DC2}) = a \cdot K^3 + a \cdot K^0 = 4 \cdot 1728 + 4 = 6916 \text{ при } D_3D_2D_1D_0=1001;$$

$$S^3(\text{DC1}) = K^3 + K^2 + K^1 = 1728 + 144 + 12 = 1884 \text{ при } C_3C_2C_1C_0=1110. \text{ П'ятий імпульс з виходу}$$

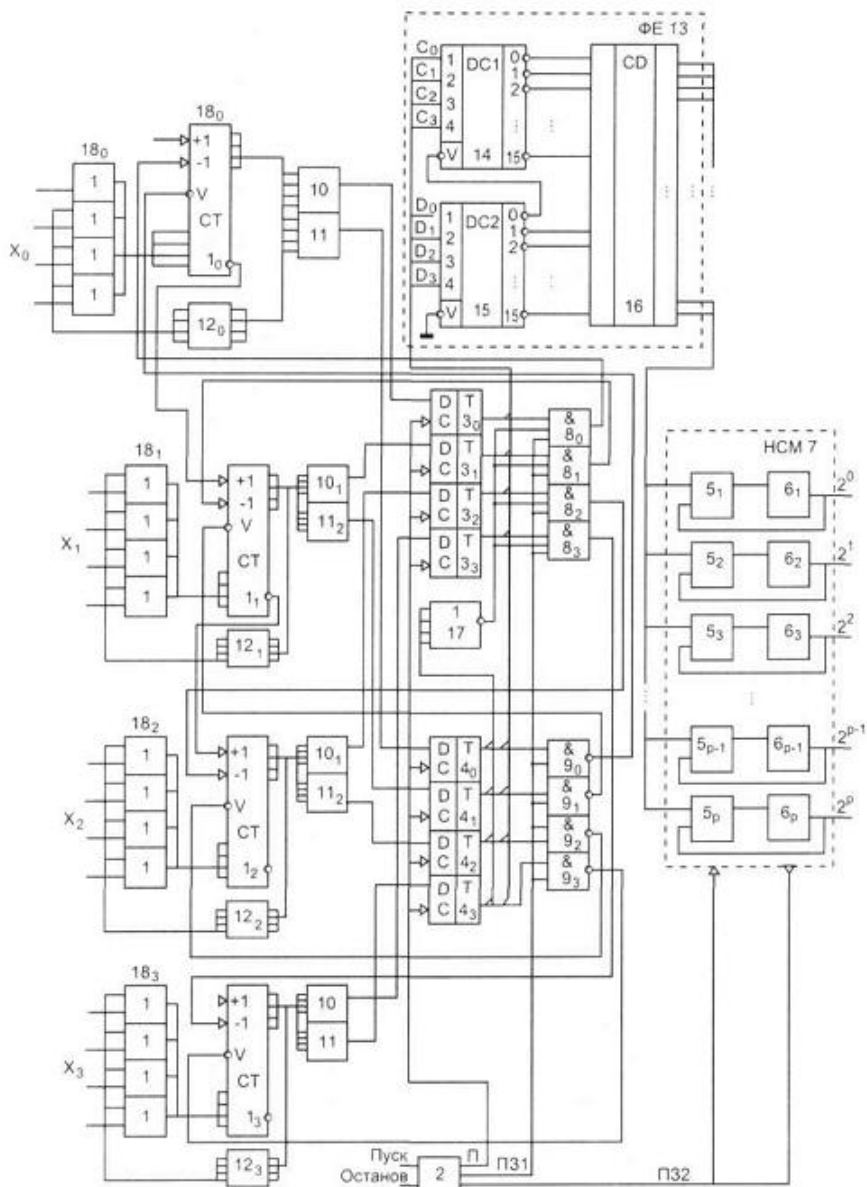
генератора 2 записує на виходах перетворювача коду двійковий код числа 100 1110 0101 1100. Кількість кроків перетворення не залежить від кількості розрядів коду n і дорівнює 5 тактам при $K=12$ та $a=4$.

Перед кожним наступним перетворенням необхідно обнулити регістр результату в суматорі та лічильники усіх розрядів. Запропонована корисна модель має достатньо високу швидкодію і може бути використана в пристроях діагностування і статистичної обробки інформації.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Перетворювач двійково-К-значного коду в двійковий код, який містить (n-1) лічильник старших розрядів, один лічильник молодшого розряду, генератор імпульсів, що вміщує прямих вихід та перший і другий прямих затримані виходи, першу групу CD-тригерів, перший регістр стану, для відображення ненульового стану відповідного старшого розрядного лічильника, другу групу CD-тригерів, другий регістр стану, для відображення рівняння або перевищення кроку а станом відповідного старшого розрядного лічильника, комбінаційний двійковий суматор та регістр результату, що утворюють у сукупності накопичувальний суматор НСМ, групу з (n-1)-го елемента I та групу з (n-1)-го елемента I-II, групу з (n-1)-го дешифратора нуля, групу з (n-1)-го дешифратора перевищення, групу з (n-1)-го кодових шифраторів, що на виході формують значення коду зменшене на значення другого кроку а, у разі рівняння або перевищення кроку а відповідним лічильником, формувач еквівалентів ФЕ, що складається з першого і другого дешифраторів, шифратора, групи елементів I та групи елементів АБО для трансляції молодшого розряду, елемент АБО-II та (n-1)-у групу елементів АБО для запису розрядів коду з входів перетворювача у лічильники старших розрядів, причому бітові входи лічильника молодшого розряду є інформаційними входами для запису значення молодшого розряду, перші входи кожної з (n-1)-ї групи елементів АБО є інформаційними входами для запису значень відповідних старших розрядів, а другі входи кожної з (n-1) -ї групи елементів АБО з'єднані з відповідними виходами відповідних кодових шифраторів, входи яких в кожному старшому розряді з'єднані з відповідними виходами лічильника цього старшого розряду, а також з відповідними входами дешифратора нуля і дешифратора перевищення цього розряду, виходи дешифраторів нуля з'єднані з відповідними інформаційними D-входами першої групи тригерів, а виходи дешифраторів перевищення з'єднані з відповідними інформаційними D-входами другої групи тригерів, входи синхронізації тригерів обох груп з'єднані з прямим виходом генератора імпульсів, прямих виходи тригерів першої групи з'єднані з відповідними першими входами елементів групи I і з відповідними входами першого дешифратора у формувачі еквівалентів, прямих виходи тригерів другої групи з'єднані з входами елемента АБО-II, з відповідними першими входами елементів групи I-II і з відповідними входами другого дешифратора у формувачі еквівалентів, другі входи елементів групи I з'єднані з виходом елемента АБО-II, треті входи елементів групи I і другі входи елементів групи I-II з'єднані з першим затриманим виходом генератора імпульсів, інверсні виходи елементів групи I-II з'єднані з інверсними входами V у відповідному лічильнику старшого розряду, виходи елементів групи I з'єднані з входом віднімання -1 у відповідному лічильнику старшого розряду, виходи переповнення усіх лічильників, за винятком самого найстаршого, з'єднані з входом +1 лічильника наступного розряду, входи +1 та -1 лічильника молодшого розряду є входами запису числа для перетворення у число-імпульсному коді, бітові виходи лічильника молодшого розряду з'єднані у формувачі еквівалентів з відповідними входами групи елементів I, виходи яких з'єднані з відповідними входами шифратора у формувачі еквівалентів, виходи першого дешифратора у формувачі еквівалентів з'єднані з відповідними входами групи елементів АБО, виходи яких з'єднані з відповідними входами шифратора у формувачі еквівалентів, виходи другого дешифратора у формувачі еквівалентів безпосередньо з'єднані з відповідними входами шифратора, виходи шифратора у формувачі еквівалентів з'єднані з відповідними входами накопичувального суматора, управляючий вхід накопичувального суматора з'єднаний з другим затриманим виходом генератора імпульсів, а виходи накопичувального суматора з'єднані з інформаційними входами перетворювача коду, який **відрізняється** тим, що в перетворювач коду додатково введено по одному тригеру в першу і другу групи CD-тригерів, один додатковий елемент I в групу елементів I, один додатковий елемент I-II в групу елементів I-II, по одному додатковому входу в перший і другий дешифратори з інверсними виходами у формувачі еквівалентів, в молодший розряд введено один дешифратор нуля, один дешифратор перевищення, один кодовий шифратор, одна група елементів АБО, перші входи додаткової групи елементів АБО є інформаційними входами для запису в перетворювач коду значення молодшого розряду, другі входи кожного з елементів цієї групи елементів АБО з'єднані з відповідними виходами додаткового кодового шифратора, входи якого в молодшому розряді з'єднані з відповідними виходами лічильника цього розряду і з відповідними входами дешифратора нуля і дешифратора перевищення цього розряду, вихід дешифратора нуля молодшого розряду з'єднаний з інформаційним D-входом додаткового тригера в першій групі тригерів, вихід додаткового дешифратора перевищення з'єднаний з інформаційним D-входом додаткового тригера в другій групі тригерів, входи синхронізації додаткових тригерів обох груп

з'єднані з прямим виходом генератора імпульсів, виходи додаткового елемента І і додаткового елемента І-НІ з'єднані відповідно з входом -1 та входом V лічильника молодшого розряду, прямі виходи додаткових тригерів стану першої і другої груп з'єднані з молодшими додатковими входами відповідно першого і другого дешифраторів у формувачі еквівалентів, інверсний нульовий вихід другого дешифратора з'єднаний з інверсним входом V першого дешифратора у формувачі еквівалентів, а інверсні виходи першого і другого дешифраторів з'єднані з відповідними входами шифратора у формувачі еквівалентів безпосередньо.



Фиг. 1

Таблиця
Послідовність перетворення числа $X=11,7,3, 8$ із $K=12$ в $K=2$

Номер такту	Число	Другий регістр	Перший регістр	Десятковий код ФЕ	Десятковий код SM	Двійковий код суматора			
						$Y_{14}Y_{13}Y_{12}$	$Y_{11}Y_{10}Y_9Y_8$	$Y_7Y_6Y_5Y_4$	$Y_3Y_2Y_1Y_0$
N	$X_3X_2X_1X_0$	$D_3D_2D_1D_0$	$C_3C_2C_1C_0$	FE_{10}	SM_{10}				
0	11,7,3,8	1101	1111	7492	0	000	0000	0000	0000
1	7,3,3,4	1001	1111	6916	7492	001	1101	0100	0100
2	3,3,3,0	0000	1110	1884	14408	011	1000	0100	1000
3	2,2,2,0	0000	1110	1884	16292	011	1111	1010	0100
4	1,1,1,0	0000	1110	1884	18176	100	0111	0000	0000
5	0000	0000	0000	0000	20060	100	1110	0101	1100

Fig. 2

Комп'ютерна верстка О. Гергіль

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601