

Поступила в редколлегию 01.03.2010

**Кошевой Николай Дмитриевич**, д-р техн. наук, профессор, зав. кафедрой, Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ». Научные интересы: автоматизация экспериментальных исследований, проектирование измерительных преобразователей, автоматизация производственных процессов. Адрес: Украина, 61070, Харьков, ул. Чкалова, 17, тел. 057-707-43-03.

**Бурлеев Олег Леонидович**, магистр, Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ». Научные интересы: автоматизация экспериментальных исследований, проектирование измерительных преобразователей. Адрес: Украина, 61070, Харьков, ул. Чкалова, 17, тел. 057-707-43-03.

**Костенко Елена Михайловна**, канд. техн. наук, доцент, проректор по учебно-педагогической и инновационной работе, Полтавская государственная аграрная академия. Научные интересы: автоматизация экспериментальных исследований, охрана труда. Адрес: Украина, 36003, Полтава, ул. Сковороды, 1/3, тел. 05322-7-36-93.

---

УДК 681. 325 (088. 8)

*Л.В. ЛАРЧЕНКО, В.Г. ЛОБОДА*

## **ЦИФРОВОЙ ФУНКЦИОНАЛЬНЫЙ ПРЕОБРАЗОВАТЕЛЬ ДВУХ ЧАСТОТ**

---

В настоящее время преобразование двух входных частот в выходную, равную корню квадратному из суммы их квадратов, осуществляется в преобразователях последовательно во времени посредством выполнения четырех арифметических операций. В предлагаемом устройстве это преобразование осуществляется за время выполнения трех из них при более простой технической реализации.

### **1. Введение**

В [1] предложен метод непрерывного формирования приращений ступенчатых функций с числоимпульсной формой представления аргумента, а в [2] – его техническая реализация на примере специализированного цифрового вычислителя для извлечения корня квадратного из суммы квадратов. Его достоинством является возможность воспроизведения и вычисления значений функций в реальном масштабе времени в темпе формирования кода аргумента при более простой технической реализации. Там же названы некоторые цифровые измерительные приборы, в которых рассмотренный вычислитель фиксирует результат измерения соответствующей физической величины в цифровом коде. Однако выполняемая им функция не ограничивает названную в [2] область его применения. Известны, например, цифровые преобразователи частотно-импульсных сигналов, в которых реализуемая устройством функция выполняется не над кодами входных чисел, а над их частотами. В качестве примера можно назвать преобразователи для формирования выходной частоты  $f$ , определяемой выражением

$$f = \sqrt{f_1^2 + f_2^2}, \quad (1)$$

где  $f_1$  и  $f_2$  – входные частоты преобразователя.

Такие устройства широко применяются в векторных анализаторах с частотными входами и выходом, при частотном представлении модуля рассогласования двух процессов, а также при построении преобразователей форм представления информации с промежуточным время-импульсным преобразованием для специализированных устройств обработки информации, цифровых контрольно-измерительных приборах, в системах автоматического управления и регулирования, работающих в комплексе с ЭВМ, повышая быстродействие всей системы.

Анализ функции (1) показывает, что в таких преобразователях в качестве основного узла может быть использована модификация предложенного в [2] вычислителя. Полученное при этом техническое решение функционального преобразователя частоты по сравнению с известными устройствами аналогичного назначения [3-5] проще в реализации и обеспечивает минимально возможное время преобразования частот  $f_1$  и  $f_2$  входных сигналов в выходную частоту  $f$  следования импульсов.

## 2. Математическое обоснование структуры преобразователя частоты

При синтезе функционального преобразователя частот, реализующего выражение (1), прежде всего нужно учесть диапазон возможных значений  $f_1$  и  $f_2$ .

Преобразование высоких входных частот в выходную осуществляют путем их промежуточного преобразования в код с помощью подсчета числа импульсов этих частот за фиксированный интервал времени, извлечения квадратного корня из суммы их квадратов с последующим преобразованием полученного значения в частоту следования импульсов. В этом случае описанный в [2] вычислитель должен оперировать с числами  $N_1$  и  $N_2$ , пропорциональными частотам  $f_1$  и  $f_2$  соответственно.

Если  $f_1$  и  $f_2$  лежат в области низких и инфранизких частот, преобразование частот  $f_1$  и  $f_2$  в  $N_1$  и  $N_2$  усложняется, так как в этом случае на первом этапе периоды  $T_1 = \frac{1}{f_1}$  и  $T_2 = \frac{1}{f_2}$  входных сигналов преобразуют в числовые эквиваленты  $N_{T_1} = f_0 T_1$  и  $N_{T_2} = f_0 T_2$

путем заполнения их импульсами высокой частоты  $f_0$ , на втором – получают квадраты  $N_{T_1}^2$  и  $N_{T_2}^2$  этих чисел, на третьем – вычисляют значения  $N_1 = \left[ \frac{k^2 f_0^2}{N_{T_1}^2} \right]$ ,  $N_2 = \left[ \frac{k^2 f_0^2}{N_{T_2}^2} \right]$ , где  $k$  – коэффициент пропорциональности, и на четвертом – извлекают корень квадратный из их суммы.

В результате получают число

$$N = \left[ \sqrt{\left[ \frac{k^2 f_0^2}{N_1^2} \right] + \left[ \frac{k^2 f_0^2}{N_2^2} \right]} \right], \quad (2)$$

которое преобразуют в выходную частоту  $f$ .

В связи с тем, что известные функциональные преобразователи частоты, реализующие выражение (2), имеют значительно более сложную структуру, остается актуальной задача их совершенствования как с точки зрения упрощения технической реализации, так и с точки зрения уменьшения времени функционального преобразования входных частот  $f_1$  и  $f_2$  в числовой эквивалент  $N$ .

Анализ исходного выражения (1) показывает, что улучшить названные характеристики преобразователя можно путем реализации (1), представленного в виде, отличном от (2), исключив операции деления в подкоренном выражении.

Для получения такого вида преобразуем исходное выражение (1) следующим образом. Перепишем его в виде

$$f = \sqrt{\frac{1}{T_1^2} + \frac{1}{T_2^2}}.$$

С учетом частоты заполнения  $f_0$  эталонного генератора оно преобразуется к виду

$$f = \frac{f_0}{f_0} \sqrt{\frac{1}{T_1^2} + \frac{1}{T_2^2}} = f_0 \frac{\sqrt{N_1^2 + N_2^2}}{N_1 N_2}, \quad (3)$$

где  $N_1 = f_0 T_1$  и  $N_2 = f_0 T_2$  – коды периодов  $T_1$  и  $T_2$  соответственно.

Из последнего выражения следует, что выходная частота  $f$  функционального преобразователя может быть получена путем умножения эталонной  $f_0$  в дробное число раз. При этом числитель дроби может быть реализован предложенным в [2] специализированным вычислителем. А так как на практике  $N_1^2 N_2^2 \gg N_1^2 + N_2^2$ , уже при  $N_1 = N_2 = 2$  имеет место  $f < f_0$ . Следовательно, числоимпульсная последовательность частоты  $f$  может

быть сформирована из числоимпульсной последовательности частоты  $f_0$  путем выборки определенных ее импульсов.

Так как числа  $N_1$  и  $N_2$  в выражении (3) целые, вычисление произведения  $N_1 N_2$  и квадратов  $N_{T1}^2$  и  $N_{T2}^2$  может быть выполнено в цифровом преобразователе без погрешности. Погрешность же вычисления корня квадратного может быть обеспечена не хуже  $|\delta_{\max}| = 0,5$ . В этом случае подлежащее реализации в преобразователе математическое выражение принимает вид

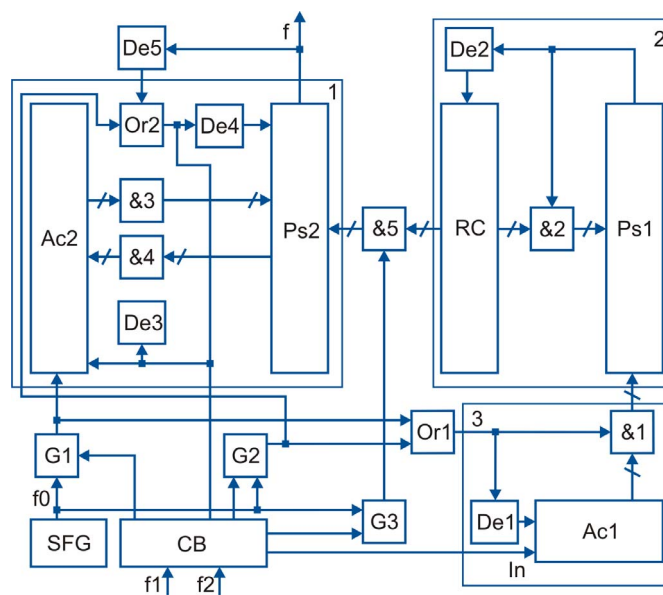
$$f = f_0 \frac{[\sqrt{N_1^2 + N_2^2} + 0,5]}{N_1 N_2}. \quad (4)$$

Целью разработки является уменьшение времени функционального преобразования двух входных частот преобразователя в выходную при более простой его технической реализации.

Для достижения поставленной цели решается задача – реализовать в техническом устройстве выражение (4) на базе известных унифицированных блоков посредством введения новых связей между ними.

### 3. Структурная схема функционального преобразователя двух частот

На рисунке приведена структурная схема преобразователя частоты, который реализует выражение (4).



Структурная схема функционального преобразователя двух частот

Устройство содержит блок управления СВ, генератор эталонной частоты SFG, делитель частоты (ДЧ) 1, устройство для извлечения корня квадратного (УИК) 2, квадрататор 3, управляемые вентили G1, G2, G3, логический элемент Or1 и группу элементов &5.

В состав квадрататора входят суммирующий счетчик Ac1, группа элементов &1 и элемент задержки De1. Выход De1 соединен со счетным входом второго триггера счетчика со стороны младших разрядов. Следовательно, при появлении импульса на выходе элемента De1 в счетчик записывается число 2.

В состав УИК входят параллельный сумматор Ps1, счетчик результата RC, группа элементов &2 и элемент задержки De2.

При подаче с блока управления СВ одиночного импульса на шину In счетчика квадрататора его триггеры устанавливаются в исходное состояние.

Группа элементов &1 квадрататора поразрядно соединяет выходы триггеров суммирующего счетчика со счетными входами триггеров сумматора Ps1 УИК. При наличии импуль-

са на выходе элемента Or1 посредством группы &1 прямой код числа, записанного в счетчике квадратора, заносится в сумматор Ps, где суммируется с его содержимым.

В УИК при наличии выходного импульса сумматора Ps1 посредством группы &2 в сумматор заносится число, хранящееся в счетчике результата RC, в обратном коде со сдвигом на один разряд в сторону старших разрядов. Следовательно, если в счетчике RC записано число  $n$ , в сумматор Ps1 заносится число  $2^i - 2(n+1)$ , где  $i$  – число триггеров сумматора Ps1.

В состав делителя частоты 1 входят суммирующий счетчик As2, параллельный сумматор Ps2, две группы элементов &3, &4, поразрядно соединяющие триггеры счетчика и сумматора по счетным входам, элемент Or2 и элементы задержки De3, De4, De5.

В исходном состоянии с блока управления СВ на вентили G1, G2, G3 поданы запирающие потенциалы. В счетчике As1 квадратора записано число 1, в сумматоре Ps1 – число  $2^i - 1$ , а показания счетчика результата RC, сумматора Ps2 и счетчика As2 – нулевые.

На первом этапе работы устройства, предшествующему началу генерирования импульсов частоты  $f$ , посредством блока управления СВ и управляемых им вентилях G1, G2, G3 осуществляется запись в счетчик результата RC УИК, счетчик As2 и сумматор Ps2 чисел  $[\sqrt{N_1^2 + N_2^2} + 0,5]$  и  $2^k - N_1 N_2$  соответственно для последующего преобразования частоты  $f_0$  эталонного генератора SFG в выходную  $f$ . Здесь  $k$  – число триггеров счетчика As2 и сумматора Ps2.

Функционирование преобразователя на этом этапе осуществляется следующим образом.

Блок управления СВ открывает клапан G1 на период  $T_1 = \frac{1}{f_1}$  первого входного сигнала частоты  $f_1$ . За это время в счетчик As2 ДЧ поступит число импульсов  $N_1$  частоты  $f_0$  эталонного генератора, равное  $N_1 = f_0 T_1$ . Это же число импульсов поступит на вход квадратора через элемент Or1.

При этом каждый импульс пачки  $N_1$  заносит в сумматор Ps1 число, хранящееся в счетчике As1, и увеличивает содержимое счетчика As1 на два. В результате со стороны счетчика As1 квадратора в сумматор Ps1 будут последовательно вводиться числа 1, 3, 5, ..., а по цепи обратной связи со стороны счетчика результата RC в сумматор Ps1 – числа  $2^i - 2, 2^i - 4, 2^i - 6 \dots$  При этом каждому входному импульсу квадратора будет соответствовать только один импульс переполнения сумматора Ps1. Покажем это.

С поступлением первого импульса пачки  $N_1$  на вход квадратора в сумматоре Ps1 число  $2^i - 1$  суммируется с числом 1. В результате на выходе сумматора Ps1 появится первый импульс переполнения, а его показания станут равными нулю. Импульс переполнения по цепи обратной связи со стороны счетчика результата RC вводит в сумматор Ps1 число  $2^i - 2$  и записывает в счетчик результата RC УИК число 1.

С приходом второго импульса пачки  $N_1$  на вход квадратора в сумматоре Ps1 суммируются числа  $2^i - 2$  и 3. В результате на его выходе появится второй импульс переполнения, а в нем останется записанным число 1 в прямом коде. Аналогично предыдущему импульс его переполнения посредством обратной связи записывает в сумматор Ps1 число  $2^i - 4$  и поступает на вход счетчика результата RC. В результате показания сумматора Ps1 станут равными  $2^i - 3$ , а счетчика результата RC – равными двум.

С приходом третьего импульса показания сумматора Ps1 станут  $2^i - 4$ , а счетчика результата RC УИК – равными трем.

При поступлении на вход квадратора очередных импульсов пачки  $N_1$  описанные процессы в этой части схемы будут циклически повторяться. Так как после каждого очередного переполнения сумматора Ps1 в нем остается записанным в прямом коде число меньше заносимого по цепи обратной связи со стороны счетчика результата RC в дополнительном коде, каждому входному импульсу квадратора соответствует один и только один

импульс переполнения сумматора Ps1. Следовательно, по окончании ввода в квадратор числа импульсов  $N_1$  в счетчике результата RC будет также зафиксировано число  $N_1$ , что не противоречит равенству  $\sqrt{N_1^2} = N_1$ .

По окончании периода  $T_1$  первого входного сигнала с блока управления СВ на шину In счетчика As1 квадратора подается единичный импульс, который устанавливает его триггеры в исходное состояние.

Одновременно блок управления СВ открывает клапан G2 на период  $T_2 = \frac{1}{f_2}$  второго входного сигнала. За это время через клапан на квадратор и ДЧ поступит  $N_2 = f_0 T_2$  импульсов частоты  $f_0$  эталонного генератора SFG. Проанализировав работу квадратора и УИК при обработке второй пачки импульсов  $N_2$ , можно убедиться в том, что по окончании ввода ее в квадратор в счетчике результата RC будет записано число  $[\sqrt{N_1^2 + N_2^2} + 0,5]$  в прямом коде.

Остановимся теперь на процессах, которые протекают в ДЧ в течение времени  $T_2$ .

На этом промежутке каждый импульс пачки  $N_2$ , прошедший через элемент &2, посредством группы элементов &3 со стороны счетчика As2 заносит в сумматор Ps2 число  $N_1$ . Следовательно, по окончании периода  $T_2$  второго входного сигнала в сумматоре As2 будет записано число  $N_1 N_2$ .

В это же время блок управления CD формирует единичный импульс, который выполняет следующие операции: устанавливает триггеры счетчика As2 в нулевое состояние; пройдя через элемент задержки De3, посредством группы &4 заносит в счетчик As2 дополнительный код числа  $N_1 N_2$ , записанного в сумматоре Ps2 (в результате его показания станут равными  $2^k - N_1 N_2$ , где  $k$  – число триггеров счетчика и сумматора); пройдя через элемент задержки De4, устанавливает триггеры сумматора Ps2 в нулевое состояние; пройдя через элемент Or2, посредством группы &3 записывает в сумматор Ps2 число  $2^k - N_1 N_2$ .

Таким образом, по окончании периода второго входного сигнала как в счетчике As2, так и в сумматоре Ps2 делителя частоты будет записано число  $2^k - N_1 N_2$ .

Условия правильной и надежной работы в этой части схемы будут обеспечены, если время задержки элемента De4 будет больше, чем De3.

На втором этапе работы устройства частота  $f_0$  эталонного генератора SFG преобразуется в выходную  $f$  следующим образом.

По окончании периода второго входного сигнала блок управления СВ открывает клапан G3. С этого момента импульсы частоты  $f_0$  эталонного генератора SFG начинают поступать на группу &5. При этом каждый импульс данной последовательности посредством группы &5 число  $[\sqrt{N_1^2 + N_2^2} + 0,5]$ , записанное в счетчике RC, заносит в сумматор Ps2. Так как  $[\sqrt{N_1^2 + N_2^2} + 0,5] < N_1 N_2$ , первое переполнение сумматора Ps2 произойдет при поступлении на вход группы &5 импульса с номером  $n$ , при котором  $n [\sqrt{N_1^2 + N_2^2} + 0,5] \geq N_1 N_2$ . В этот момент на выходе сумматора Ps2 появится первый импульс переполнения, а в нем останется записанным число  $\Delta_1 = n [\sqrt{N_1^2 + N_2^2} + 0,5] - N_1 N_2$ . Импульс переполнения сумматора Ps2 поступает на выход преобразователя и в цепь обратной связи. Пройдя через элементы De5 и Or2, он посредством группы &3 вновь записывает в сумматор Ps2 число  $2^k - N_1 N_2$ . В результате показания сумматора Ps2 станут равными  $2^k - N_1 N_2 + \Delta_1$ . Так как  $N_1 N_2 > \Delta_1$ , импульс переполнения сумматора Ps2 будет отсутствовать.

В дальнейшем при поступлении очередных импульсов частоты  $f_0$  на вход группы &5 описанные процессы в этой части схемы будут циклически повторяться. Нетрудно видеть, что за время поступления на вход группы &5  $N_1 N_2$  импульсов на выходе сумматора Ps2 появится ровно  $[\sqrt{N_1^2 + N_2^2} + 0, 5]$  импульсов переполнения. При этом временные интервалы между соседними выходными импульсами преобразователя могут принимать два значения: либо  $[\frac{N_1 N_2}{\sqrt{N_1^2 + N_2^2} + 0, 5}] T_0$ , либо  $[\frac{N_1 N_2}{\sqrt{N_1^2 + N_2^2} + 0, 5}] T_0 + T_0$ , где  $T_0 = \frac{1}{f_0}$ .

Из этих выражений следует, что если выполнить условия  $N_1 N_2 \gg [\sqrt{N_1^2 + N_2^2} + 0, 5]$  и  $T_0 \rightarrow 0$ , временные интервалы между двумя выходными импульсами преобразователя будут практически равны между собой, что может быть достигнуто соответствующим выбором эталонной частоты  $f_0$  и использованием быстродействующих сумматоров Ps1 и Ps2.

Повышение эталонной частоты SFG способствует не только более равномерному следованию выходных импульсов преобразователя, но и уменьшению погрешности преобразования временных интервалов  $T_1$  и  $T_2$  в числовые эквиваленты  $N_1$  и  $N_2$ .

Нами был рассмотрен вариант преобразователя частоты, в котором целое число  $[\sqrt{N_1^2 + N_2^2} + 0, 5]$  заменяет истинное дробное  $\sqrt{N_1^2 + N_2^2}$ , что приводит к появлению еще одной составляющей погрешности формирования частоты  $f$ , обусловленной этим округлением. Очевидно, эту составляющую можно уменьшить за счет более точного вычисления корня квадратного, например, до одной, двух или более значащих цифр после запятой. Естественно, что повышение точности вычислений при этом, как и в случае преобразования периодов  $T_1$  и  $T_2$  в числовые эквиваленты  $N_1$  и  $N_2$ , будет достигаться увеличением разрядности счетчиков и сумматоров преобразователя.

#### 4. Выводы

Предложен цифровой функциональный преобразователь двух входных частот в выходную частоту, равную корню квадратному из суммы их квадратов.

*Научная новизна* состоит в разработке алгоритма преобразования, при котором обеспечивается минимально возможное время преобразования.

*Практическая значимость* предложенного функционального преобразователя состоит в существенном упрощении его технической реализации.

Дальнейшие исследования будут направлены на разработку специализированных цифровых устройств для вычисления векторов в пространстве и частотным их представлением.

**Список литературы:** 1. Ларченко Л.В. Метод формирования приращений при функциональной обработке единичных кодов // Радиоэлектроника и информатика. 2001. № 3(16). С.61 – 63. 2. Ларченко Л.В., Хаханова А.В. Специализированный вычислитель для извлечения корня квадратного из суммы квадратов // Радиоэлектроника и информатика. 2010. №1. С.71 – 74. 3. Джексон Р. Г. Новейшие датчики. 2 – е изд., доп. Москва: Техносфера, 2008. 400с. 4. Волков В.Г. Устройство для измерения модуля рассогласования двух процессов. Описание изобретения по авторскому свидетельству № 993277, G 06 G, 7/14. Бюллетень №4, 1983. 5. Ларченко Л.В., Лобода В.Г., Черкесов А.Б. О системном проектировании ФОРУ систем управления // Изв. вузов, сер. Электромеханика. 1997. №1–2. С.110–112.

*Поступила в редколлегию 15.01.2010*

**Ларченко Лина Викторовна**, канд. техн. наук, доцент кафедры АПВТ ХНУРЭ. Научные интересы: функционально-ориентированные устройства, частотно-импульсные вычислительные устройства. Увлечения: путешествия, музыка, кино, театр. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326.

**Лобода Виталий Гаврилович**, канд. техн. наук, профессор кафедры АПВТ ХНУРЭ. Научные интересы: функционально-ориентированные устройства, частотно-импульсные вычислительные устройства. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326.