
УДК 681.325.53: 37: 004.5

В.В. ВАРЕЦА

СРАВНИТЕЛЬНЫЙ АНАЛИЗ ДВУХ СПОСОБОВ РЕАЛИЗАЦИИ ФОРМИРОВАТЕЛЕЙ ЭКВИВАЛЕНТОВ В ПРЕОБРАЗОВАТЕЛЯХ КОДОВ

Предлагается алгоритм построения таблиц законов функционирования основного нестандартного узла (формирователя эквивалентов) в преобразователях кодов по методу накопления эквивалентов. Описываются формулы для числа строк ФЭ.

1. Постановка задачи

Достоинством преобразователей кодов (ПК) по методу накопления эквивалентов по сравнению с другим методом является достаточно высокое быстродействие и возможность изменения в широких пределах соотношения между быстродействием и аппаратурными затратами.

Регулирование соотношения между быстродействием и затратами достигается путем выбора числа шагов преобразования (1,2,3,4 или более), выбора значений шагов, варианта декомпозиции многоразрядного ПК на блоки, а также благодаря использованию последовательной или параллельной стратегии обнуления входных разрядных счетчиков в многошаговых ПК.

Целью данной работы является анализ структуры функционирования ПК и формулировка алгоритма построения таблиц законов функционирования ФЭ для ПК с различным числом шагов преобразования:

- определение числа строк ФЭ, аппаратные затраты которых пропорциональны их числу;
- сравнительный анализ способов реализации ФЭ.

2. Последовательная стратегия использования шагов преобразования

Последовательная стратегия использования шагов схемно реализуется более просто. Максимальное число тактов преобразования любого k -ичного входного числа в двоичный код на выходе ПК для 2-шагового N_2 , 3-шагового N_3 и 4-шагового N_4 ПК определяется соответственно по формулам:

$$N_2 = \lceil (K-1)/a \rceil + a - 1;$$

$$N_3 = \lceil (K-1)/b \rceil + \lceil (b-1)/a \rceil + a - 1; \quad (1)$$

$$N_4 = \lceil (K-1)/c \rceil + \lceil (c-1)/b \rceil + \lceil (b-1)/a \rceil + a - 1,$$

где K – основание системы счисления на входе; a – второй шаг преобразования ($a > 1$); b – третий шаг преобразования ($a < b < c$); c – четвертый шаг преобразования; $\lceil \cdot \rceil$ – скобки означают округление до меньшего целого. Первый шаг всегда равен 1.

При последовательной стратегии использования шагов обнуление входных разрядных счетчиков вначале ведется с наибольшим шагом [1].

Затем, когда все разряды имеют значение меньше наибольшего шага, происходит переход на более меньший шаг и на последнем этапе выполняется преобразование с шагом 1.

Таблица 1

Шаги			
1	2	3	4
1	a	b	c
C_i	D_i	E_i	F_i

Для получения информации о превышении цифрой X_i шага преобразования используются триггеры регистров состояния (табл. 1) и дешифраторы превышения.

Дешифраторы превышения реализуются на базе комбинационных схем. Условие формирования значений сигналов с выходов дешифраторов превышения определяется выражениями:

$$C_i = \begin{cases} 1, & X_i \geq 1; \\ 0, & X_i < 1, \end{cases} \quad (2)$$

$$D_i = \begin{cases} 1, & X_i \geq a; \\ 0, & X_i < a, \end{cases} \quad (3)$$

$$E_i = \begin{cases} 1, & X_i \geq b; \\ 0, & X_i < b, \end{cases} \quad (4)$$

$$F_i = \begin{cases} 1, & X_i \geq c; \\ 0, & X_i < c. \end{cases} \quad (5)$$

3. Параллельная стратегия использования шагов преобразования

При применении параллельной стратегии использования различных шагов преобразования одновременно в различных разрядах может вестись уменьшение показаний разрядных счетчиков на величину значения наибольшего из шагов c, b, a или 1 (для 4-шагового преобразователя кодов)[2,3].

При этом значение цифры

$$X_i(t+1) = X_i(t) - \gamma, \quad (6)$$

где $\gamma = \max\{c, b, a, 1\}$.

Применение параллельной стратегии использования различных шагов преобразования одновременно в различных разрядах уменьшает максимальное число тактов преобразования в 2-шаговом ПК – от 5-ти до 4-х, а в 3-шаговом ПК от 4-х до 3-х. Чтобы определить

целесообразность использования параллельной стратегии, необходимо получить ряд оценок сложности ФЭ для двух стратегий, а также алгоритм построения закона функционирования ФЭ[2].

Оптимальные значения шагов преобразования для параллельной стратегии можно получить путем моделирования (табл. 2) или используя специальное программное обеспечение «Converter» [2]. В табл.2 NT означает номер такта преобразования.

Для одношагового ФЭ при числе разрядов $p=2$ имеем следующую таблицу ФЭ (табл. 3). В табл. 3 S означает общий вид эквивалента.

При построении таблиц законов функционирования ФЭ для параллельной стратегии используется полный лексико-графический перебор всех значений шагов преобразования (табл. 4-6).

Из анализа табл.3 следует, что в верхней ее части для двухшагового ПК располагается 2^p комбинаций младшей группы переменных.

Затем следует, что для каждой комбинации старшей группы с числом единиц j следует записать 2^{p-j} различных комбинаций в младшей группе, имеющих $p-j$ нулей, и перебрав все значения этих разрядов, получим 2^{p-j} комбинаций с единицами.

Число таких всевозможных комбинаций с j единицами в старшей группе равняется C_p^j .

Таким образом, для двухшагового ПК получим число строк ФЭ по формуле.

$$N_2 = 2^p + \sum_{j=1}^{p-1} C_p^j \cdot 2^{p-j} + 1 \quad (6)$$

После исследования числа строк таблиц ФЭ для различного количества разрядов (рисунок) было получено выражение:

$$N_m^{\Phi\Xi} = (m+1)^p, \quad (7)$$

где m – число различных шагов преобразования.

Определение числа строк ФЭ является комбинаторной задачей.

Количество и значения коэффициентов C_p^j определяются числами треугольника Паскаля (табл. 7).

Результаты расчета N_m для $m=1,4$ и $p=1,5$ представлены в табл. 8

Таблица 4

i	D ₂ D ₁	C ₂ C ₁	S
0	0 0	0 0	0
1	0 0	0 1	K ⁰
2	0 0	1 0	K ¹
3	0 0	1 1	K ¹ + K ⁰
4	0 1	0 1	aK ⁰
5	0 1	1 1	K ¹ + aK ⁰
6	0 1	1 0	aK ¹
7	1 0	1 1	aK ¹ + K ⁰
8	1 0	1 1	aK ¹ + aK ⁰

Таблица 2

NT	K=12 Набор шагов 1,4
	11 10 9 8 7 6 5 4 3 2 1 0
1	7 6 5 4 3 2 1 0 2 1 0 0
2	3 2 1 0 2 1 0 0 1 0 0 0
3	2 1 0 0 1 0 0 0 0 0 0 0
4	1 0 0 0 0 0 0 0 0 0 0 0
5	0 0 0 0 0 0 0 0 0 0 0 0
NT	K=12 Набор шагов 1,2,4
	11 10 9 8 7 6 5 4 3 2 1 0
1	7 6 5 4 3 2 1 0 1 0 0 0
2	3 2 1 0 1 0 0 0 0 0 0 0
3	1 0 0 0 0 0 0 0 0 0 0 0
4	0 0 0 0 0 0 0 0 0 0 0 0

Таблица 3

i	Шаг1		S
	C ₂	C ₁	
0	0	0	0
1	0	1	K ⁰
2	1	0	K ¹
3	1	1	K ¹ + K ⁰

Таблица 5

i	D ₂ D ₁	C ₂ C ₁	S
0	0 0	0 0	0
1	0 0	0 1	K ⁰
2	0 0	1 0	K ¹
3	0 0	1 1	K ¹ + K ⁰
4	0 1	x 1	aK ⁰
5	1 0	1 x	aK ¹
6	1 1	1 1	aK ¹ + aK ⁰

Таблица 6 График выигрыша (экономии) числа

i	E ₂ E ₁	D ₂ D ₁	C ₂ C ₁	S
0	0 0	0 0	0 0	0
1	0 0	0 0	0 1	K ⁰
2	0 0	0 0	1 0	K ¹
3	0 0	0 0	1 1	K ¹ + K ⁰
4	0 0	0 1	0 1	aK ⁰
5	0 0	0 1	1 1	K ¹ + aK ⁰
6	0 0	1 0	1 0	aK ¹
7	0 0	1 0	1 1	aK ¹ + K ⁰
8	0 0	1 1	1 1	aK ¹ + K ⁰
9	0 0	0 1	0 1	bK ⁰
10	0 1	0 1	1 1	K ¹ + bK ⁰
11	0 1	1 1	1 1	aK ¹ + bK ⁰
12	1 0	1 0	1 0	bK ¹
13	1 0	1 0	1 1	bK ¹ + K ⁰
14	1 0	1 1	1 1	bK ¹ + aK ⁰
15	1 1	1 1	1 1	bK ¹ + bK ⁰

строк параллельного ФЭ по сравнению со способом непосредственного выделения всех комбинаций ФЭ в параллельном ПК соответственно для двухшагового, трехша-

Таблица 7

p=0	1
p=1	1 1
p=2	1 2 1
p=3	1 3 3 1
p=4	1 4 6 4 1
p=5	1 5 10 10 5 1

Таблица 8

m	p				
	1	2	3	4	5
1	2	4	8	16	32
2	3	9	27	81	243
3	4	16	64	256	1024
4	5	25	125	625	3125
k ₂	0,75	1,125	1,69	2,53	3,8
k ₃	0,67	1,33	2,67	5,33	10,66
k ₄	0,625	1,56	3,91	9,76	24,41

гового, четырехшагового ПК определяется формулами:

$$k_2 = \frac{N_m}{2 \cdot N_1} = \frac{N_2}{2 \cdot N_1} = \frac{3^p}{2 \cdot 2^p}; \quad (8)$$

$$k_3 = \frac{4^p}{3 \cdot 2^p}; \quad (9)$$

$$k_4 = \frac{5^p}{4 \cdot 2^p}. \quad (10)$$

Обобщенная формула экономии числа строк параллельного ФЭ для любого числа шагов преобразования m описывается выражением:

$$k_i = \frac{N_m}{m \cdot N_1}. \quad (11)$$

Для двухшагового ПК с различным числом разрядов p (значения p приводятся в скобках) имеем систему формул :

$$N_2(1) = 2^p + 1,$$

$$N_2(2) = 2^2 + C_2^1 \cdot 2^{2-1} + 1 = 2^2 + 2 \cdot 2 + 1 = 4 + 4 + 1 = 9,$$

$$\begin{aligned} N_2(3) &= 2^3 + C_3^1 \cdot 2^{3-1} + C_3^2 \cdot 2^{3-2} + 1 = \\ &= 2^3 + 3 \cdot 2^2 + 3 \cdot 2 + 1 = 8 + 12 + 6 + 1 = 27, \end{aligned} \quad (12)$$

$$\begin{aligned} N_2(4) &= 2^4 + C_4^1 \cdot 2^3 + C_4^2 \cdot 2^2 + C_4^3 \cdot 2 + 1 = 2^4 + 4 \cdot 2^3 + 6 \cdot 2^2 + 4 \cdot 2 + 1 = \\ &= 16 + 32 + 24 + 8 + 1 = 81 \end{aligned}$$

$$\begin{aligned} N_2(5) &= 2^5 + C_5^1 \cdot 2^4 + C_5^2 \cdot 2^3 + C_5^3 \cdot 2^2 + C_5^4 \cdot 2 + 1 = \\ &= 32 + 5 \cdot 2^4 + 10 \cdot 2^3 + 10 \cdot 2^2 + 5 \cdot 2 + 1 = 32 + 80 + 80 + 40 + 10 + 1 = 243. \end{aligned}$$

Анализ таблиц ФЭ для других значений m показывает, что число строк $N_m^{\Phi Э}$ определяется формулой:

$$N_m = (m + 1)^p; m = 1, 2, \dots \quad (13)$$

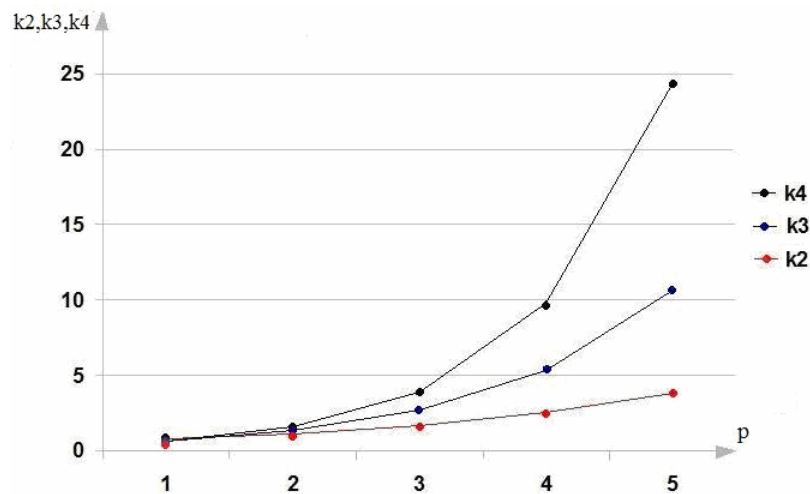


График изменения k_2, k_3, k_4 в функции от p числа разрядов ФЭ

4. Алгоритм построения таблиц законов функционирования ФЭ

Анализ табл. 3-6 позволяет сформулировать следующий алгоритм построения законов функционирования ФЭ в ПК с параллельным использованием шагов преобразования:

1. Выполнить полный перебор (начиная с нулевой комбинации) всех p разрядных двоичных комбинаций младшей группы переменных состояний. При этом в оставшихся $m-1$ старших группах (m -число различных шагов преобразования) все p разрядов переменных каждой группы принимают нулевые значения.

2. После получения единичной комбинации переменных группы, где выполнялся перебор, перейти к перебору значений переменных соседней старшей группы, исключив при этом нулевую комбинацию.

3. Определить число нулей в очередной комбинации значений переменных текущей группы. В столбце переменных текущей группы очередную комбинацию повторить 2^i раза. Во всех p разрядах переменных групп, более старших по отношению к текущей группе, следует выписать нулевые значения, а в разрядах, где переменные текущей группы имеют единичные значения, во всех более младших группах следует также записать единицы, перебрав все различные двоичные значения (от 000...0 до 111...1) в i нулевых разрядах очередной комбинации текущей группы.

4. После получения единичной комбинации переменных текущей группы следует сравнить набор текущей группы j с числом шагов преобразования m . Если $i < m$, то следует перейти к перебору значений переменных более старшей группы с номером $i+1$ (исключая нулевую комбинацию переменных). Если $i = m$, то переходят к вычислению эквивалентов.

5. Для получения десятичных значений эквивалента строки j таблицы закона функционирования ФЭ следует просуммировать степени основания k , соответствующие единичным значениям разрядов двоичных комбинаций переменных состояний текущей группы, а затем умножить сумму на величину шага преобразования, соответствующего текущей группе.

6. Выполнить перевод десятичного значения эквивалента в двоичную систему счисления.

7. Дооформить таблицу закона функционирования ФЭ путем указания всех исходных данных: основания системы счисления на входе, числа разрядов на входе, на выходе, числа шагов преобразования, значений шагов преобразования и стратегию использования шагов – параллельную.

Детальное системное проектирование многошаговых и многоблочных преобразователей кодов выполняется путем анализа аппаратурных затрат различных вариантов декомпозиции многоуровневого ПК на блоки в соответствии с методикой [4].

Выводы

Основные результаты: 1) Рассмотрены структуры и функционирование преобразователя кодов по методу накопления эквивалентов с применением параллельной стратегии использования шагов преобразования, что по сравнению с последовательной стратегией позволяет в двухшаговом параллельном ПК сократить число тактов преобразования ее с 5-ти до 4-х (повышать быстродействие на 20%), а в трехшаговом параллельном ПК сократить число тактов преобразования с 4-х до 3-х (повышать быстродействие на 25%).

2) Получено аналитическое выражение для определения числа строк в таблицах законов функционирования ФЭ в ПК с параллельной стратегией использования шагов преобразования в функции от основания системы счисления на входах, числа различных шагов преобразования m и числа переменных p на ФЭ.

3) Проанализированы два способа реализации ФЭ в ПК с параллельной стратегией использования шагов: а) на основе совокупности дешифраторов ДШ, выделяющих все строки ФЭ (затраты пропорциональны числу строк ФЭ) и б) на основе двух дешифраторов ДШ1 и ДШ2, функционирующих раздельно, младшие из которых управляются состоянием триггеров старшего регистра состояний.

Практическая значимость. Проведенные исследования позволяют ускорить этап системного проектирования ПК с параллельной стратегией использования шагов (повысить быстродействие ПК и уменьшить аппаратурные затраты по построению основного нестандартного узла ФЭ и всего ПК в целом).

Список литературы: 1. А.С. 1647908 5НОЗМ 7/12. Преобразователь двоично-К-ичного кода в двоичный код // *Н.Я. Какурин, Ю.К. Кирьяков, А.Н. Макаренко* // Открытия, изобретения. 1984. №17. С. 262-263. 2. *Какурин Н.Я., В.В. Варца, С.Н. Коваленко.* Параллельная стратегия использования шагов в двухшаговых преобразователях кода // АСУ и приборы автоматики. 2007. Вып. 141. С. 29-36. 3. *Коваленко С.Н.* Двухшаговый преобразователь кодов с параллельным использованием шагов преобразования // АСУ и приборы автоматики. 2007. Вып. 140. С. 103-109. 4. *Какурин Н.Я., Лопухин Ю.В., Макаренко А.Н., Замалеев Ю.С.* Системное проектирование преобразователей кодов дробных чисел по методу накопления эквивалентов // АСУ и приборы автоматики. 2009. Вып. 146. С. 33-39.

Поступила в редколлегию 28.02.2010

Варца Виталий Викторович, аспирант кафедры автоматизации проектирования вычислительной техники ХНУРЭ. Научные интересы: проектирование программного обеспечения, автоматизация проектирования цифровых устройств. Адрес: Украина, 61166, Харьков, пр. Ленина, 14, тел. 70-21-326.